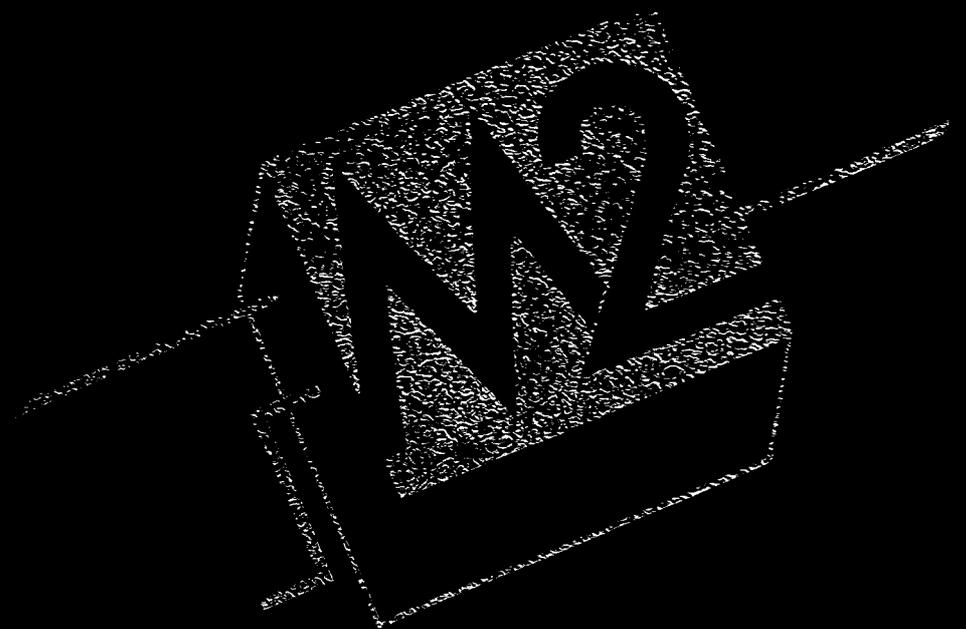


И.И. Купцов, В.В. Анисимов, Е.А. Демидович

УСТОЙЧИВОСТЬ
ВЛОКН
ПРОВОДНИКОВЫХ
ЭЛЕМЕНТОВ
МИКРОСХЕМ
ПАМЯТИ



**П.П.Урбанович
В.Ф.Алексеев
Е.А.Верниковский**

**В ИЗБЫТОЧНОСТЬ
ПОЛУПРОВОДНИКАХ
ИНТЕГРАЛЬНЫХ
МИКРОСХЕМАХ
ПАМЯТИ**

Минск
«Навука і тэхніка»
1995

УДК 621.3.049.77

Урбанович П. П., Алексеев В. Ф., Верниковский Е. А. **Избыточность в полупроводниковых интегральных микросхемах памяти.**— Мн.: Навука і тэхніка, 1995.— 262 с.— ISBN 5-343-01188-8.

Рассмотрены вопросы разработки и производства избыточных полупроводниковых микросхем памяти (МП). Описаны математические модели распределения статистически независимых и группирующихся дефектных и отказавших элементов на кристаллах МП, построенные на базе обширных статистических данных о характере и причинах возникновения неисправностей. Изложена методика прогнозирующего расчета выхода годных и надежности избыточных МП. Предложены методы построения и схемотехнические решения устройств нейтрализации ошибок, основанные на резервировании корректирующих кодов.

Предназначена для научно-технических работников, специализирующихся в области создания полупроводниковой памяти. Может быть полезна преподавателям, аспирантам и студентам старших курсов вузов соответствующих специальностей.

Табл. 54. Ил. 8. Библиогр.: 148 назв.

Научный редактор

академик В. А. Лабунов

Рецензенты:

д-р техн. наук О. П. Глудкин,
канд. техн. наук В. Я. Красницкий

621030000—006
У—57—93
М 316(03)—95

ISBN 5-343-01188-8

© П. П. Урбанович, В. Ф. Алексеев,
Е. А. Верниковский, 1995

ВВЕДЕНИЕ

На Международной конференции по твердотельной электронике впервые было сообщено [1] о создании кристалла запоминающего устройства (ЗУ) (информационной емкостью 64 бит) для одной из ЭВМ фирмы IBM, а на конференции 1970 г. — о создании фирмами «Honeywell» и «Intel» первого ЗУ (МОП ОЗУ динамической памяти с организацией 1024×1 бит) высокой степени интеграции [2]. С тех пор степень интеграции (число элементов на кристалле) возросла более чем в 1 млн раз, а быстродействие ЗУ увеличилось приблизительно в 10 раз. При этом информационная емкость кристалла МОП ЗУ повышалась в 4 раза приблизительно каждые 3...3,5 года, а размеры элементов памяти (ЭП) уменьшались почти в 3 раза (для статических ОЗУ (СОЗУ) темпы изменения характеристик несколько ниже). Успехи в создании полупроводниковых ЗУ стали одним из важнейших факторов впечатляющего прогресса цифровой техники.

Однако уменьшение геометрических размеров элементов с учетом отмеченных выше тенденций приводит к заметному усилению электрических полей и повышению плотности токов в кристалле, ужесточению требований по теплоотводу, повышенной восприимчивости кристалла к разным дестабилизирующим факторам. К основным из них относят собственные дефекты кристалла (вызваны несовершенством технологии и внешними условиями производства кристаллов), определяющие в основном выход годных (ВГ) изделий и приводящие к ранним отказам при эксплуатации приборов; электрические шумы и отдельные виды излучений (например, альфа-частицы, вызывающие кратковременные отказы (сбои) в работе памяти); последней из важнейших особенностей, еще более усугубляющих причины, которые препятствуют дальнейшему увеличению степени интеграции микросхем, является приближение к предельной разрешающей способно-

сти используемого технологического оборудования [3]. Одно лишь перечисление этих факторов показывает, что эффективность производства и эксплуатации современных интегральных схем (ИС) ЗУ определяется многими параметрами процесса проектирования, технологии изготовления и условиями эксплуатации. Все отмеченные параметры характеризуются одной общей чертой — они порождают неприемлемые отклонения поведения изготовленной ИС от спроектированной. Указанные отклонения ведут к снижению ВГ и надежности микросхем, а следовательно, к ухудшению технологичности изделий. Таким образом, важнейшей из общих проблем техники полупроводниковых ЗУ является проблема обеспечения требуемых ВГ и надежности кристаллов памяти.

В работе [4] весь цикл производства полупроводниковых приборов условно разбивают на несколько этапов: 1) нулевой ВГ изделий; 2) постановка проблемы ВГ и поиск ее решения; 3) проблема стабилизации ВГ; 4) решение проблемы надежности СБИС; 5) стабильный отлаженный техпроцесс. Нулевой ВГ изделий на I этапе связан с тем, что при переходе на новый этап в конструировании прибора и технологии требуется некоторое время для устранения ошибок топологии и доводки техпроцесса. Однако ставить и решать проблему эффективности производства сверхбольших интегральных схем (СБИС) только после запуска в производство первых партий пластин, а тем более отделять (хотя бы условно) по времени решение проблем повышения ВГ и надежности СБИС ЗУ вряд ли целесообразно и экономически оправдано. Необходимо отметить, что при разработке кристаллов памяти в отечественной промышленности нередко изготовитель главное внимание уделяет вообще лишь первой части рассматриваемой проблемы (ВГ изделий), полагая при этом, что повышать надежность ЗУ — задача создателей систем памяти на базе полупроводниковых ИС.

В концептуальном плане отмеченную двуединую проблему (ВГ и надежность) следует решать комплексно, преимущественно на этапе проектирования и создания СБИС. В пользу такого подхода свидетельствуют и данные о том, что между технологическим уровнем ВГ приборов и их эксплуатационной надежностью существует определенная связь [5—8]. В решении данной проблемы возможны два подхода: только путем улучшения технологии; адаптацией конструкции СБИС ЗУ с заданными пара-

метрами к условиям производства и эксплуатации. Первый путь требует значительных финансовых вложений. Прежде всего поэтому ученые и специалисты интенсивно изучают второй подход (естественно, не останавливаясь на путях совершенствования технологии). Разработаны, исследованы и на некоторых предприятиях внедрены методы, основанные на «обходе» дефектных (отказавших) элементов, их замене на резервные, или методы нейтрализации влияния неисправных элементов на функционирование ЗУ [5, 6, 9—19 и др.]. Такие методы названы избыточными.

В настоящее время используют и совершенствуют два направления: применение резервных ЭП, строк и (или) столбцов ЭП накопителя вместо дефектных; использование избыточных ЭП и логических схем, реализующих принципы помехоустойчивого кодирования информации. Первое из них наиболее эффективно для замены дефектных элементов непосредственно на кристалле (внутрикристалльная избыточность) чаще в процессе выходного функционального контроля (ФК) приборов. Оно обеспечивает некоторое, нередко значительное [5, 8, 11—14, 16, 18] повышение ВГ ИС. Второе направление целесообразно использовать как для внутрикристалльной коррекции ошибок в информации [11, 14, 15, 20, 21], обеспечивая увеличение не только ВГ ИС, но и их надежности [8, 14, 19], так в виде автономных систем обнаружения и коррекции ошибок (ОКО) в системах памяти на БИС [19, 21]. Данный подход развивается прежде всего создателями систем полупроводниковой памяти повышенной надежности на базе стандартных (без избыточности) кристаллов ЗУ.

Для реализации избыточных методов необходимо обеспечить их адекватность характеру наиболее вероятных дефектов и отказов в СБИС. Этого можно достичь в первую очередь посредством размещения на кристалле оптимального (с точки зрения ВГ ИС) объема дополнительных ЭП (при резервировании элементов) или использования известных и разработки новых видов корректирующих кодов под наиболее часто встречающиеся в данном типе ЗУ неисправности. Следует подчеркнуть, что характер дефектов и отказов в СБИС ЗУ может измениться не только при переходе на новую ступень интеграции, но и в рамках единого техпроцесса изготовления одного типоминимала ИС [22, 23].

Учесть отмеченные особенности при конструировании и производстве отказоустойчивых СБИС ЗУ, прогнозировании их ВГ и надежности можно путем создания соответствующих аналитических моделей. Разнообразие известных моделей для расчета выхода годных ИС с элементами структурной избыточности [23, 28] сводят к трем главным группам: 1) основанной на биномиальной статистике; 2) на пуассоновском распределении; 3) на обобщенном отрицательном биномиальном распределении (ООБР). Модели, базирующиеся на биномиальном и пуассоновском распределениях, предполагают статистическую независимость дефектов (ООБР учитывает группирование дефектов (кристаллов с дефектами) по площади пластины). Ряд последних исследований [например, 28, 29] посвящен методике определения параметра группирования дефектов, однако при этом не учитываются корреляционные связи между дефектами непосредственно на кристалле. Последняя особенность относится и к эксплуатационным отказам в СБИС ЗУ, для описания распределения которых применяют обычно пуассоновскую модель [8—10, 19, 30—35]. В данном случае для коррекции ошибок используют код Хэмминга и итеративный код [10, 19, 33—39]. В энергонезависимой памяти можно применять также специальные коды для коррекции дефектов (стираний) [19, 34, 40].

Становится все более очевидным, что в ближайшем будущем реализация ИС с большой площадью станет экономичнее при сохранении производительности и надежности, которых нельзя достигнуть другим путем. Ведутся интенсивные исследования и уже созданы опытные образцы СБИС ЗУ с интеграцией на целой пластине (ИЦП) [4, 6, 41, 42]. В этом плане задачи по разработке конструкции и схмотехнических решений по своей постановке аналогичны соответствующим задачам, рассмотренным выше применительно к корпусируемым СБИС, однако требуют изучения вопросы обхода неиспользуемых (полностью или частично) кристаллов, оптимизации вводимого резерва и мощности применяемого корректирующего кода с учетом характеристик распределения дефектов и отказов. К информации по данным вопросам в зарубежной печати необходимо относиться с учетом известных различий в уровнях технологий в нашей стране и в развитых странах. Известно, что отечественные исследования и разработки в данном направлении находятся

практически в зачаточном состоянии. В связи с этим возникает ряд актуальных задач.

1. Совершенствование адекватных методов реализации структурно-логической избыточности в микросхемах полупроводниковых ЗУ с учетом реального и прогнозируемого распределений дефектов и отказов элементов схемы.

2. Дальнейшее развитие основ теории и удобных на практике методов прогнозирующего расчета технологичности и надежности СВИС ЗУ с избыточностью.

3. Разработка конструкций и схмотехнических решений ИС под конкретную технологию, вычисление технических характеристик (прежде всего быстродействия) рассматриваемых устройств, определение алгоритмов по замене дефектных элементов резервными, объема вводимой на кристалл структурной избыточности, алгоритмов функционирования микросхем с избыточностью.

Несмотря на важность, научную и практическую значимость отмеченных вопросов, они не нашли в литературе достаточного отражения. Основное число публикаций имеет вид лаконичных журнальных статей или отчетов по НИР, непонятных или малодоступных широкому кругу разработчиков приборов полупроводниковой памяти. Сделанные в них рекомендации в большинстве случаев не могут быть использованы непосредственно, так как не учитывают специфики разных типов ИС. Поэтому цель настоящей публикации, во-первых, обобщить разрозненные, а по некоторым направлениям и немногочисленные публикации в периодической печати; во-вторых, изложить некоторые результаты, полученные авторами.

Глава 1

ПРОБЛЕМА ТЕХНОЛОГИЧНОСТИ И НАДЕЖНОСТИ ПОЛУПРОВОДНИКОВЫХ ИС ЗУ

1.1. ПРИНЦИПЫ ПОСТРОЕНИЯ И ФУНКЦИОНИРОВАНИЯ ЗУ

Запоминающее устройство позволяет записывать, хранить и осуществлять выдачу хранимой информации. На рис. 1.1 показана общая классификация полупроводниковых ЗУ с учетом технологии их изготовления. Здесь ОЗУ — оперативные ЗУ, в которых данные могут быть прочитаны или записаны по любому адресу практически за одно и то же время обращения; ПЗУ — постоянное (энергонезависимое) ЗУ, допускающее только чтение информации, которая может заноситься потребителем (ППЗУ, СППЗУ, ЭСППЗУ) или на стадии изготовления (масочное ПЗУ); данные в такой памяти могут храниться сколь угодно долго при отключении питания; ППЗУ (программируемое ПЗУ) — устройство, в которое данные заносятся однократно путем пережигания плавких перемычек или пробоя $p-n$ -перехода; его содержимое не может изменяться после программирования; СППЗУ — стираемое программируемое ПЗУ, которое позволяет заносить данные неоднократно с помощью электрических сигналов; информация стирается под воздействием ультрафиолетового излучения через прозрачное окно в корпусе; ЭСППЗУ — электрически стираемое программируемое ПЗУ, содержимое которого можно стирать электрически.

По принципу хранения информации ЗУ разделяют на статические и динамические. В СОЗУ информация хранится в бистабильных ЭП (триггерах), причем для ее хранения необходимо постоянное протекание тока в ЭП. В динамических оперативных ЗУ (ДОЗУ) информация хранится в виде заряда на конденсаторах. В данном случае мощность не потребляется. Однако из-за неидеально-

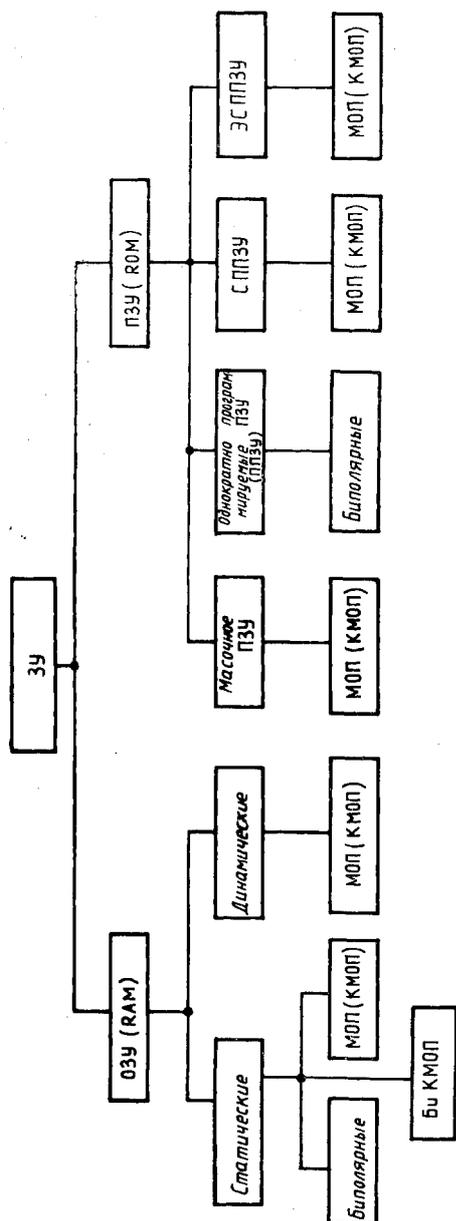


Рис. 1.1. Общая классификация полупроводниковых ЗУ

сти конденсаторов (наличия очень малых токов утечки) со временем происходит стекание заряда и, следовательно, разрушение информации. Поэтому периодически необходимо восстанавливать заряд на конденсаторе за счет внешнего источника питания. Описанный процесс называют регенерацией.

Полупроводниковые ЗУ изготавливают как на МОП (КМОП), так и на биполярных структурах, а в последнее время используют симбиоз двух технологий, получивший название БиМОП (БиКМОП). Наибольшее распространение получили ЗУ на комплементарных МОП-структурах (КМОП). Данные устройства обладают самой низкой мощностью рассеяния и высоким быстродействием. На биполярных структурах изготавливают в основном специализированные приборы, обладающие очень высоким быстродействием.

На рис. 1.2 изображена типовая структура ЗУ. Устройство состоит из матрицы ЭП (накопителя), дешифратора строк (D_X), дешифратора столбцов (D_Y), блока управления записью и считыванием информации, блока

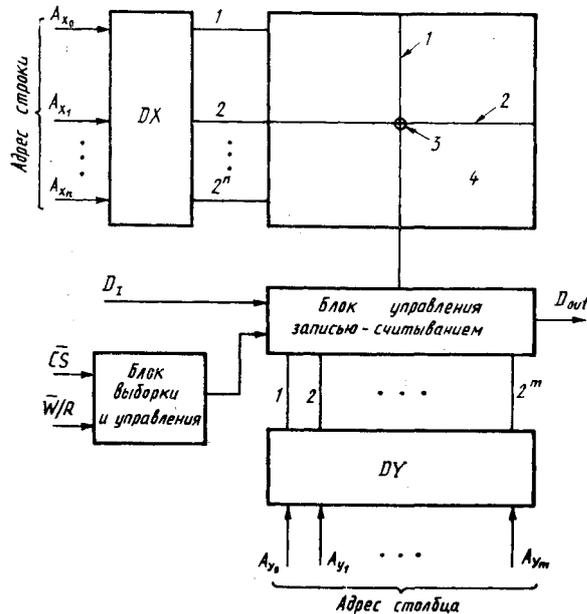


Рис. 1.2. Типовая структура ЗУ: 1 — РШ; 2 — СШ; 3 — ЭП; 4 — матрица памяти (накопитель)

выборки. Дешифраторы выбирают один (или несколько) ЭП из матрицы в соответствии со входными адресными сигналами A_x и A_y . Дешифратор X выбирает одну из словарных шин (СШ). Данные из ЭП, подключенных к выбранной СШ, передаются в блок управления записью-считыванием (число ЭП в строке равно числу разрядных шин). Дешифратор Y выбирает данные одной разрядной шины (РШ) и передает их на выход D_{out} . Принципы построения ОЗУ и ПЗУ практически одинаковы. Число адресных входов A_x, A_y определяется емкостью накопителя. Сигналы CS (*chip select*), W/R (*write/read*) являются управляющими и определяют режимы работы ЗУ: хранение, запись или считывание данных. При $CS=1$ (здесь и далее это означает соответствие сигнала уровню лог. «1») ЗУ считается невыбранным (находится в режиме хранения информации). При этом запись и считывание невозможны. В таком режиме для снижения мощности потребления в ЗУ обычно отключаются все схемы и блоки, не участвующие в хранении информации в накопителе. При $CS=0$ происходит выбор ЗУ, т. е. инициализация всей системы, и в зависимости от сигнала W/R осуществляется операция записи или считывания: при $W/R=0$ — запись информации, при $W/R=1$ — считывание.

На схеме символом D_i обозначен сигнал входной информации, D_{out} — сигнал выходной информации. Число входов D_i и выходов D_{out} определяется разрядностью хранимого слова. Обычно разрядность слова в микросхемах ЗУ соответствует 1, 4, 8 бит. Поэтому в многоразрядных ЗУ число накопителей, дешифраторов X и блоков записи-считывания равно разрядности информационного слова. В ДОЗУ в качестве ЭП обычно используют однотранзисторную ячейку с накопительным конденсатором (рис. 1.3). Транзистор выборки Q , затвор которого под-

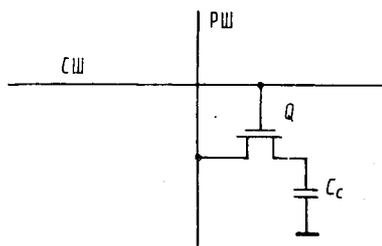


Рис. 1.3. Элемент памяти накопителя ДОЗУ

соединен к СШ, осуществляет подключение накопительного конденсатора C_c к РШ. На рис. 1.4 показан фрагмент схемы, поясняющей принцип работы ДОЗУ. Дешифратор X выбирает одну из СШ. Когда уровень сигнала на выбранной СШ становится высоким, транзистор Q открывается, и заряд Q_s , накопленный на емкости C_c , передается в РШ через транзистор Q . Заряд, накопленный ЭП, пере-

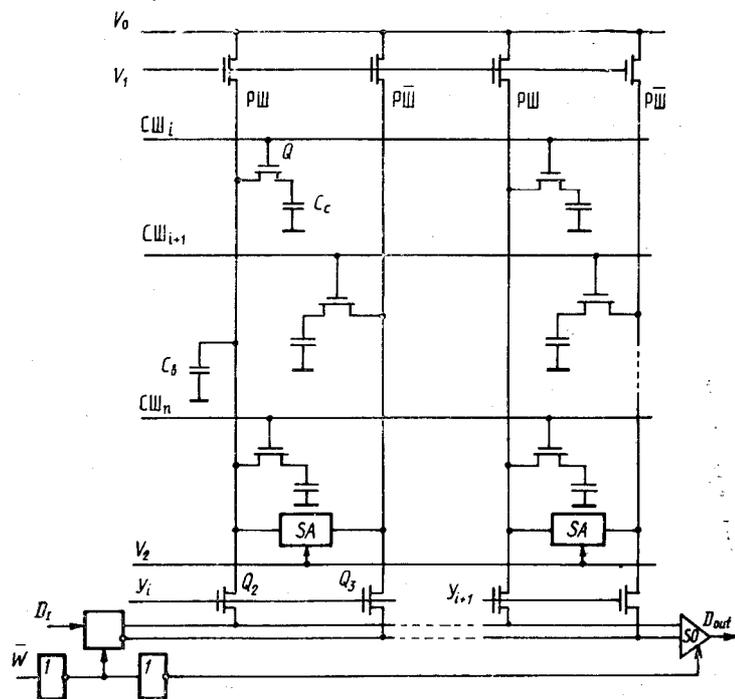


Рис. 1.4. Фрагмент схемы ДОЗУ: SA — предварительный усилитель-зашелка, SO — выходной усилитель

распределяется, в результате чего напряжение на РШ изменяется.

Величина ΔU (изменение напряжения на РШ) определяется начальным напряжением на разрядных шинах, которое равно опорному U_0 , и начальным напряжением на накопительном конденсаторе C_c , а также соотношением емкостей разрядной шины C_b и емкости ЭП C_c : $\Delta U =$

$= (U_s - U_0) / (1 + C_b / C_c)$. Следовательно, если в ЭП хранится лог. «1», т. е. $U_s > U_0$, потенциал РШ возрастет на величину U_b , если хранится лог. «0» ($U_s < U_0$) — уменьшается на величину U_b . При этом на $\overline{РШ}$ останется опорный потенциал U_0 . На паре разрядных шин РШ— $\overline{РШ}$ для каждого столбца формируется разность потенциалов U_b , которая воспринимается усилителем считывания-регенерации SA. Он представляет собой бистабильный элемент — триггер. Далее информация с усилителя SA выбранного столбца через транзисторы-ключи Q_2, Q_3 , управляемые сигналом y_i дешифратора Y, поступает через выходной усилитель на выход D_{out} .

Одной из особенностей ДОЗУ является разрушение данных в ЭП при их считывании. Поэтому после считывания проводится восстановление заряда на емкости соответствующих ЭП, из-за чего данный процесс называется регенерацией. Он осуществляется автоматически посредством использования специальной конструкции усилителя SA, представляющего собой триггер-защелку. После считывания информации усилитель формирует на разрядных шинах РШ— $\overline{РШ}$ необходимые уровни лог. «0» и лог. «1», которые и восстанавливают логическое состояние в ЭП через включенный транзистор Q.

В ДОЗУ вследствие того, что передача информации на разрядные шины из ЭП при возбуждении СШ происходит значительно медленнее выбора столбца, стало возможным использовать мультиплексирование адреса практически без потери быстродействия. Это позволяет уменьшить число адресных входов и, следовательно, число выводов корпуса. Принцип мультиплексирования адреса в ДОЗУ показан на рис. 1.5. Управление мультиплексированными адресными сигналами в ДОЗУ осуществляется сигналами строба адреса строки (RAS) и строба адреса столбца (CAS). Адрес строки и адрес столбца поступают последовательно по одним и тем же адресным входам (рис. 1.6). По сигналу RAS в регистр Rg_x «защелкивается» адрес строки A_x . Далее на адресные входы поступает адрес столбца A_y , который «защелкивается» в регистр Rg_y по сигналу CAS .

Отличия между СОЗУ и ДОЗУ обусловлены различием применяемых ЭП. Динамический ЭП благодаря малому числу элементов занимает на кристалле в несколько раз меньшую площадь по сравнению с ЭП статического

типа. В связи с этим по плотности информации ДОЗУ обычно опережают СОЗУ в 4 раза. Так, первые серийные образцы СОЗУ емкостью 1 Мбит созданы немного позже, чем серийные образцы ДОЗУ емкостью 4 Мбит. В свою очередь СОЗУ имеют более высокое быстродействие и потребляют в режиме хранения меньшую мощность. Кроме того, они проще, поскольку не требуют внешних до-

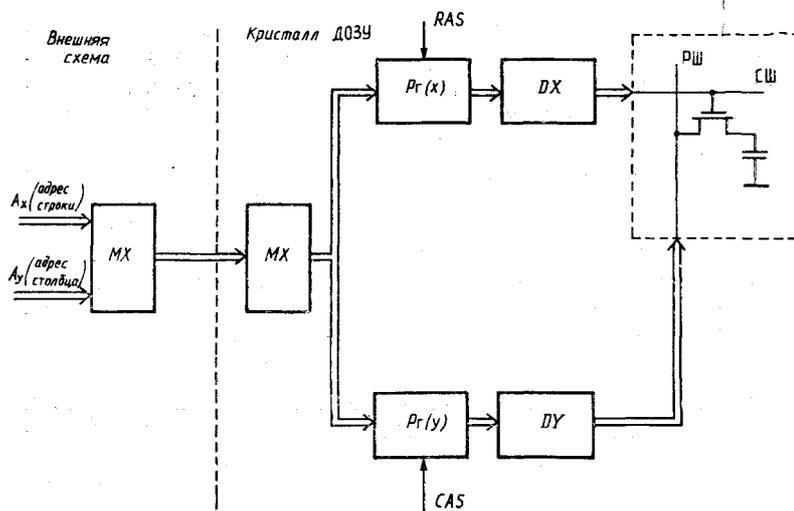


Рис. 1.5. Структура ДОЗУ с мультиплексированным вводом адреса ЭП

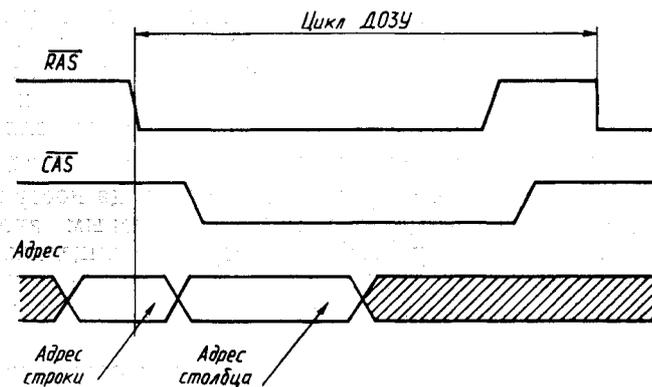


Рис. 1.6. Временная диаграмма подачи мультиплексированных сигналов в ДОЗУ

полнительных схем для мультиплексирования адреса и регенерации информации.

Масочные ПЗУ могут быть двух типов: ПЗУ типа «ИЛИ» и типа «И». Схема ПЗУ типа «ИЛИ» изображена на рис. 1.7 (для упрощения показана матрица ПЗУ емкостью 9 бит). В невыбранном состоянии дешифратор X формирует на СШ низкий уровень, а в выбранном — высокий. Если выбрана шина СШ 2, все транзисторы, подключенные к шинам СШ 1 и СШ 3, закрыты, а к СШ 2 — открыты (отмеченные крестиком линии при программировании разрушаются). Поэтому на шинах РШ 1, РШ 3 будет низкий потенциал, на РШ 2 — высокий. Схема ПЗУ типа «И» изображена на рис. 1.8. Дешифратор X установит

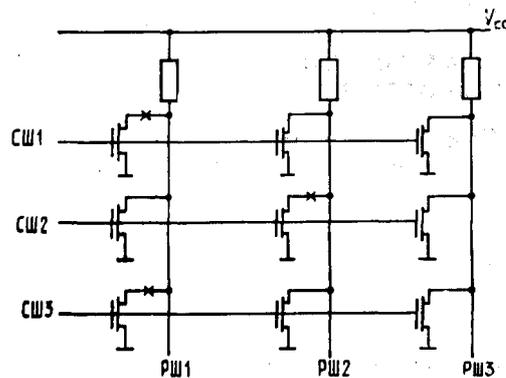


Рис. 1.7. Структура накопителя ПЗУ типа «ИЛИ»

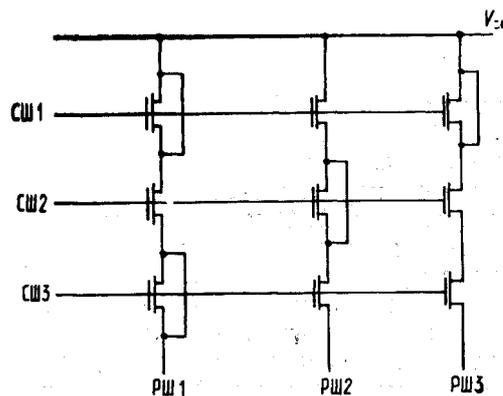


Рис. 1.8. Структура накопителя ПЗУ типа «И»

ливают на невыбранных СШ высокий уровень, на выбранной — низкий. Следовательно, все транзисторы (ЭП) невыбранной СШ открыты, а подключенные к выбранной СШ закрыты. Программированием в данном случае является закорачивание соответствующих транзисторов в процессе производства. При наличии проводимости на РШ присутствует высокий уровень, в противном случае — низкий. Так, если выбрана шина СШ 2, на шинах РШ 1, РШ 3 будет установлен низкий уровень, на РШ 2 — высокий. По сравнению с ПЗУ типа «ИЛИ» устройства данного типа имеют меньшие размеры ЭП, в результате чего их, как правило, используют для построения ПЗУ больших информационных емкостей, хотя они и обладают меньшим быстродействием.

1.2. ФАКТОРЫ, ОПРЕДЕЛЯЮЩИЕ ТЕХНОЛОГИЧНОСТЬ ПРИБОРОВ

Отмеченная нами выше определенная связь, существующая между уровнями ВГ СБИС и эксплуатационной надежностью этих приборов, общность решения двуединой проблемы технологичности (прежде всего ВГ) ИС предопределяют единый подход к рассмотрению причинно-следственных связей или таксономии понятий из области дефекто- и отказоустойчивости МП (или СБИС вообще).

Отклонение параметров изготовленной и эксплуатируемой ИС от спроектированной может быть вызвано причинами, обусловленными, во-первых, кристаллом, во-вторых, корпусированием, в-третьих, условиями и временем эксплуатации. Первые две причины определяют ВГ изделий, на надежность же оказывают влияние все три. Согласно данным работ [5, 43], приблизительно половина всех отклонений параметров изготавливаемых и используемых приборов зависит от кристаллов. Эти отклонения возникают еще до корпусирования и выявляются на стадии зондовых испытаний. Отмеченные несоответствия могут в свою очередь возникать по следующим причинам: конструкционным, из-за ошибок фотолитографии, технологическим. Первые обусловлены непреднамеренными ошибками проектировщиков. К ним относят ошибки функционального проектирования (в результате которых имеем другую схемную функцию), а также ошибки, вызванные неправильным выбором ширины проводников,

уровней напряжений, топологических размеров или величины критического заряда и др.

Перечисленные конструкционные причины обычно устраняют на этапе контроля первых партий пластин (этап нулевого выхода годных). На этом же этапе исправляют в основном и ошибки фотолитографии: пропущенные или лишние контактные окна, межслойные контактные отверстия, соединения между разными частями прибора, неправильные совмещения и т. д. Наиболее трудно устранимы причины, связанные с технологией: а) дефекты оксида (низкое качество оксида, проколы в оксиде); б) дефекты металлизации (большой размер зерен, отслаивание металла, короткие замыкания); в) дефекты имплантации (неправильная или лишняя примесь, неправильно выбранная энергия имплантации); г) дефекты пластины, загрязнения, пыль; д) дефекты соединений (короткие замыкания и обрывы в диффузионных или поликремниевых проводниках); е) межслойные дефекты (короткие замыкания между поликремнием и металлом); ж) дефекты контактов (высокое контактное сопротивление, плохое облегание металлом рельефа в контактных участках); з) дефекты плавких перемычек (для программируемых соединений). Именно качество технологического процесса определяет прежде всего ВГ и надежность СБИС. Установленное ГОСТ [44] определение дефекта (дефекта кристалла) как каждого отдельного несоответствия продукции установленным требованиям не отражает групповой характер изготовления ИС.

Определение дефекта (и также приводимых ниже других понятий) часто не совпадает у разных авторов публикаций по данной проблеме. Под дефектом будем понимать нарушение однородности или протяженности конструктивного элемента, приводящее к физической неисправности или отказу схемных элементов (транзистора, диода, резистора и т. д.) ИС. Часто понятия дефекта и неисправности отождествляют. Причинно-следственные отношения в рассматриваемом случае проявляются таким образом, что дефект (неисправность) служит причиной отказа ИС. Отказ — событие, заключающееся в нарушении работоспособного состояния объекта, выражающееся в непредусмотренном и нежелательном изменении его поведения [45], т. е. это недопустимое отличие между требуемыми и фактическими параметрами ИС.

Отказы, связанные с плоскостными, линейными или

некоторыми видами объемных [4] дефектов, которые выводят из строя большие участки пластин, можно выявить на стадии визуального контроля. Пластины с такими дефектами, называемыми иногда глобальными дефектами [4], бракуют. Остальные дефекты рассматривают как точечные (локальные). Они распределены по площади пластины или отдельного кристалла определенным образом (см. ниже). Точечные дефекты (их доля составляет $\approx 60\%$ [5] от общего снижения ВГ) определяют зависимость ВГ от площади кристалла и контролировать их значительно труднее, чем дефектные области. При современных возможностях производства СБИС подавляющее большинство точечных дефектов имеют очень малые размеры (1...2 мкм), так что наблюдать локальные дефекты с помощью стандартной измерительной техники очень трудно.

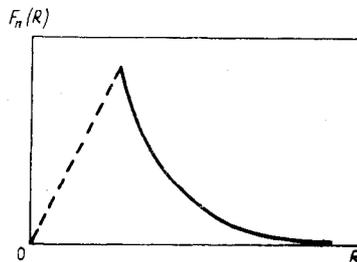
В отличие от явных дефектов кристалла, проявляющихся еще на этапе зондовых испытаний, существуют так называемые скрытые дефекты (или потенциальные отказы), нарушающие работоспособность ИС уже в процессе эксплуатации (обычно на ранней стадии, а возможно, и в ходе электро- и термотренировки прибора — ЭТТ). Авторы работы [23] выявили 12 типов дефектов в технологическом процессе производства полупроводниковых ИС фирмы IBM. При этом указаны характеристики плотности приведенных дефектов и критические площади разных схемных элементов. Здесь же отмечено, что отсутствие контактных окон обычно наблюдается по всей площади пластины, а прочие неисправности можно считать точечными единичными дефектами. Другие авторы [5, 6, 46, 47] отмечают типы дефектов, наблюдаемых в рамках известных им техпроцессов, но вне связи с вероятностью появления или распределения по размерам. Общий вид типичного распределения дефектов [4] представлен на рис. 1.9. Небольшой объем опубликованной информации можно объяснить тем, что эти сведения стремятся не разглашать. Однако разработчикам СБИС ЗУ, очевидно, придется сталкиваться с плотностями дефектов от 0,01 до 0,15 деф/мм² (согласно данным статьи [48] — не менее 20 деф/см²).

Таким образом, не все кристаллы, успешно прошедшие испытания на ВГ, являются бездефектными. Скрытые дефекты и необнаруженные проектные ошибки, невыявленные из-за недостаточно совершенной методики

испытаний (ведь исчерпывающие испытания на все возможные виды отказов, особенно с учетом увеличения чувствительности ИС к дефектам с уменьшением проектных норм, провести просто невозможно), влияют прежде всего на эксплуатационную надежность памяти [49].

Вторая из названных выше причин отличия параметров изготовленной и спроектированной ИС (корпусирование) связана с несовершенством процесса приварки

Рис. 1.9. Плотность распределения годных кристаллов на пластине (R —радиус пластины)



контактов корпуса к площадкам, с дефектами паяных соединений, механическими напряжениями и другими причинами, которые могут вызывать отказы уже после изготовления и тестирования полупроводниковых кристаллов. Даже если предположить, что кристалл изготовлен идеально, то в дальнейшем во время эксплуатации его параметры могут ухудшаться из-за электромиграции, инжекции горячих электронов, потерь на растекание заряды [50].

В работах [5, 50--55] предложены и исследованы модели зависимости логических отказов от физических неисправностей. В общем отказы ИС можно классифицировать по разным параметрам [54]. В отношении СБИС ЗУ целесообразным и важным является разделение отказов по продолжительности действия и критерию устойчивости выполнения логической функции дефектным элементом. По продолжительности действия отказы делят на два типа: постоянные, или «жесткие» (*hard*), и неустойчивые. Первое название пояснений не требует. Неустойчивые же отказы в свою очередь можно разделить на повторяющиеся (время от времени), или перемежающиеся, и неповторяющиеся.

В СБИС ЗУ существует особый класс неповторяющихся отказов, которые определяют как «мягкие» (*soft*). Отказы этого типа приводят к неповторяющимся случай-

ным сбоям. Например, обрыв в металлизации вследствие электромиграции проявляется в виде постоянного отказа; микротрещина в металлизации под оксидной пленкой, которая иногда все же проводит ток, вызывает перемежающийся отказ; сбой происходит при накоплении разрядной шиной или элементом памяти заряда, создаваемого альфа-частицами, которые испускаются изотопами урана и тория, содержащимися в материалах корпусов и даже в пластмассе [56, 57], а также под действием космических лучей [58]. Особенно восприимчивы к воздействию альфа-частиц ДОЗУ вследствие основополагающего принципа построения ЭП (см. параграф 1.1).

При повышении степени интеграции сбоям могут быть подвержены не только ДОЗУ, но и СОЗУ [59, 60]. Результатом воздействия альфа-частиц является изменение хранящейся в ЭП информации [61]. Особенность сбоев состоит в том, что их нельзя предсказать на стадии проектирования СБИС. Важность нейтрализации такого вида отказов станет более очевидной при последующем рассмотрении одновременного действия постоянных отказов и сбоев.

По критерию устойчивости выполнения логической функции дефектным элементом (в наибольшей степени это относится к ЭП) отказы можно разделить на детерминированные и недетерминированные. Первые проявляются в устойчивом изменении логической функции устройства (ЭП устанавливается в одно логическое состояние — лог. «0» или лог. «1» независимо от записываемой в него информации), вторые — в поведении элементов, не поддающихся описанию булевой функцией [50, 51]. Введя ряд обоснованных допущений по примеру [58], можно положить, что интенсивность случайных сбоев в кристалле СБИС ЗУ размером ≈ 1 см может быть равна $1 \cdot 10^{-4} \dots 1 \cdot 10^{-3} \text{ ч}^{-1}$. Это означает, что продолжительность безотказного функционирования системы памяти на СБИС ЗУ без защиты от сбоев не превышает нескольких часов. Если принять, что интенсивность отказов для СБИС ЗУ составляет $1 \cdot 10^{-7} \dots 1 \cdot 10^{-6} \text{ ч}^{-1}$ [62], то становится очевидным, что интенсивность случайных сбоев может стать преобладающим фактором, определяющим надежность микро-схем по мере дальнейшего повышения степени интеграции.

Следствием отказов в СБИС ЗУ являются ошибки в информации, записанной в накопитель для хранения. Таким образом, под ошибкой будем понимать изменение

под действием отказа одного или многих битов информации (по отношению к записанным), хранящейся в накопителе, или неправильное обращение (в циклах записи, чтения или в режиме регенерации) к ЭП накопителя. Нередко ошибки также делят на жесткие (*hard error*) и мягкие (*soft error*), подразумевая при этом под ошибкой явление или причину, вследствие которой возникает отказ. В подобных случаях термины «ошибка» и «неисправность» используют как синонимы [54].

Приведенные выше рассуждения позволяют завершить построение «основной цепочки» событий и причинно-следственных связей: дефект (неисправность) — отказ — ошибка. На рис. 1.10 показана схематично таксономия понятий и причинно-следственных связей из области дефекто- и отказоустойчивости СБИС ЗУ. Связь с помощью штриховой линии между блоками нижних уровней озна-

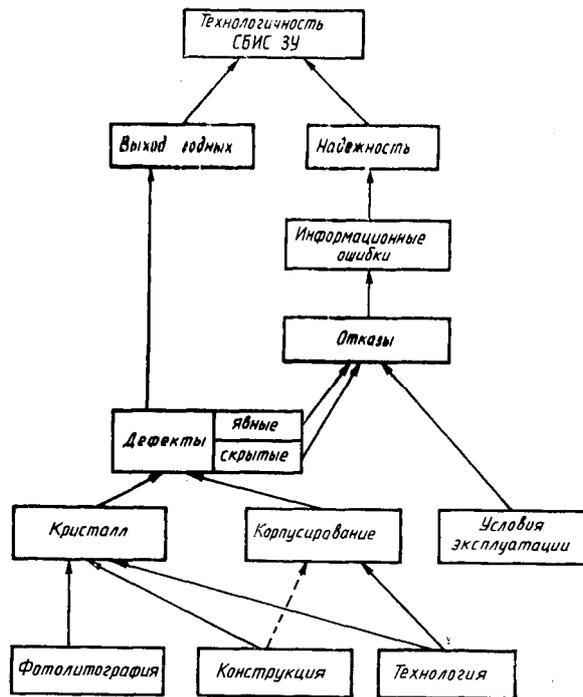


Рис. 1.10. Таксономия понятий и причинно-следственных связей из области дефекто- и отказоустойчивости СБИС ЗУ

чает прежде всего влияние размеров кристалла на выбор типа корпуса. Другая такая же линия подразумевает использование частично годных (имеющих дефекты, например, отдельных ЭП накопителя) СБИС ЗУ.

1.3. ОСНОВНЫЕ ПОКАЗАТЕЛИ НАДЕЖНОСТИ СБИС ЗУ

К числу основных показателей, характеризующих надежность устройств (в том числе и кристаллов памяти), можно отнести следующие [33].

1. Вероятность $P(t)$ безотказной работы устройства в интервале времени от 0 до t — вероятность того, что в пределах заданной наработки отказ не возникнет, или вероятность того, что время работы устройства до отказа окажется больше заданного времени работы t :

$$P(t) = 1 - F(t),$$

где $F(t)$ — функция распределения случайного времени работы устройства до отказа ($F(t)$ имеет физический смысл вероятности отказа за время, меньшее t). Производная от $F(t)$ является плотностью распределения вероятностей $\varphi(t)$ случайной величины t :

$$\varphi(t) = dF(t)/dt = -dP(t)/dt.$$

2. Средняя наработка до отказа — математическое ожидание наработки ЗУ до первого отказа

$$t_0 = M(t_0) = \int_0^{\infty} P(t) dt.$$

3. Средняя наработка на отказ (наработка на отказ) — отношение наработки восстанавливаемого устройства к математическому ожиданию числа его отказов в течение данной наработки.

4. Интенсивность отказов $\lambda(t)$ — условная плотность вероятности возникновения отказа невосстанавливаемого устройства, определяемая для рассматриваемого момента времени при условии, что до этого отказ не возникает. Величину $\lambda(t)$ находят по результатам эксплуатации и испытаний устройств и рассчитывают по формуле

$$\lambda(t) = n_n(t, \Delta t) / N_n(t) \Delta t.$$

Здесь $N_{и}(t)$ — число устройств, исправных к моменту t ; $n_{и}(t, \Delta t)$ — число устройств, отказавших в интервале времени $(t, t + \Delta t)$ при малом Δt [33].

5. Параметр потока отказов $\omega(t)$ — отношение среднего числа отказов восстанавливаемого устройства за произвольно малую величину его наработки к значению данной наработки. Статистическое значение параметра $\omega(t)$ определяется выражением

$$\omega(t) = n_{и}(\Delta t) / N_{и} \Delta t,$$

где $N_{и}$ — общее число изделий, поставленных на испытания; $n_{и}(\Delta t)$ — число изделий, отказавших в интервале времени Δt .

Приведенные понятия и их определения являются классическими и применяются в приложении к анализу работы в основном резервированных устройств самого широкого назначения (табл. 1.1). При этом под резерви-

Таблица 1.1. Показатели, характеризующие надежность

Средний линейный показатель	Заданный показатель			
	$F(t)$	$P(t)$	$\lambda(t)$	$\varphi(t)$
$F(t)$	—	$1 - P(t)$	$1 - e^{-\int_0^t \lambda(\tau) d\tau}$	$\int_0^t \varphi(\tau) d\tau$
$P(t)$	$1 - F(t)$	—	$e^{-\int_0^t \lambda(\tau) d\tau}$	$\int_t^{\infty} \varphi(\tau) d\tau$
$\lambda(t)$	$\frac{dF(t)/dt}{1 - F(t)}$	$\frac{dP(t)/dt}{P(t)}$	—	$\frac{\varphi(t)}{\int_0^{\infty} \varphi(\tau) d\tau}$
$\varphi(t)$	$\frac{dF(t)}{dt}$	$-\frac{dP(t)}{dt}$	$\lambda(t) e^{-\int_0^t \lambda(\tau) d\tau}$	—
t_0	$\int_0^{\infty} [1 - F(t)] dt$	$\int_0^{\infty} P(t) dt$	$\left[\frac{1}{\lambda_{и}(t = t_0)} \right]^*$	$\int_0^{\infty} t \varphi(t) dt$

* Относится к СБИС ЗУ с корректирующим кодом.

рованными понимают такие устройства, в которых допускается восстановление или ремонт (в наиболее тривиальном смысле слова), или замена дефектных элементов данных устройств в процессе работы резервными (холодный и горячий резерв). Класс же рассматриваемых нами объектов (кристаллы ЗУ) с точки зрения использования избыточности и последствия отказов значительно отличается (данные особенности будут рассмотрены ниже). Отметим только, что в СБИС ЗУ применяют практически лишь статическое резервирование, т. е. замену дефектных элементов резервными до использования указанных приборов в системах памяти. Именно такое резервирование нами рассматривается (в отличие от динамического в системах с самодиагностикой и самовосстановлением, где подключение резервных элементов внутри кристалла может осуществляться в процессе работы системы памяти без выпайки корпуса БИС с дефектом).

Применение корректирующего кода не связано с резервированием, заменой или обходом отказавших узлов. Поэтому отметим, что резервированные БИС ЗУ почти не отличаются по уровню надежности от безыбыточных [11, 19], т. е. мы их не будем считать восстанавливаемыми устройствами. С другой стороны, кристаллы памяти с исправлением ошибок также нельзя отнести к классу восстанавливаемых объектов в классическом понимании, поскольку восстанавливаются не структурные свойства устройств, а информация, которая хранится в ЗУ. Интенсивность отказов в избыточном и безыбыточном вариантах одного и того же устройства (при одинаковых проектных нормах и технологии изготовления) будет отличаться на величину, пропорциональную разнице площадей обоих кристаллов [31, 64], т. е. отношение интенсивностей физических отказов для обоих типов устройств является линейным: $\lambda_{и} = \beta \lambda_{б}$, где $\lambda_{и}$, $\lambda_{б}$ — интенсивности отказов избыточного и безыбыточного ЗУ; β — коэффициент избыточности.

В зависимости от мощности применяемого кода некоторая часть ошибок, вызванных отказами, будет исправлена, т. е. отказы будут «нейтрализованы» автоматически и поведение ЗУ с точки зрения функционирования никак не изменится. Естественно, если кратность ошибок в информационных словах превысит в какой-то момент корректирующую способность кода, то вызвавший появление такой ошибки отказ следует считать «фатальным», при-

Таблица 1.2. Некоторые характеристики выпускаемых ИС ЗУ с избыточностью

Фирма-изготовитель	Изделие	Метод программирования	Число резервных шин		Относительное увеличение кристалла, %
			строк	столбцов	
AT&T	256К ДЗУПВ	Лазерный, полукремневые плавкие перемычки	2×4*	2×4	—
«Bell Labs» IBM	1М ДЗУПВ 32К×8 ДЗУПВ	То же Электрический, металлические плавкие перемычки	8×4 4	4×4 Однорядная матрица	—
	1М×1 или 512К×2 или 256К×4 ДЗУПВ	Электрический, полукремневые перемычки	0	4×2	—
«Intel»	64К ДЗУПВ	То же	4	4	7,5
«Mostek»	1М ДЗУПВ	Лазерный	16	8	—
NTT	256К ДЗУПВ	Электрический, полукремневые перемычки	2×2	2×4	10,0
«Toshiba»	1М ДЗУПВ	Лазерный, плавкие Мо-перемычки	4	4	—
	128×8 ЭППЗУ	ПЗУ с УФ стиранием	2	0	3,0
«Mitsubishi»	256К ДЗУПВ	Лазерный, полицидные перемычки	4	4	2,0
«Motorola»	256К ДЗУПВ	Лазерный, полукремневые перемычки	8	4	2,0
«Siemens»	256К ДЗУПВ	Лазерный, полукремневые перемычки	8	8	3,0**
	16К СЗУПВ	Электрический, полукремневые перемычки	4	2	4,0***

* Выражение $A \times B$ означает, что каждый из A блоков (поднакопителей) имеет B резервных элементов.

** Информация взята из работы [14].

*** Информация взята из работы [18].

водящим к отказу всего ЗУ. В соответствии с этим целесообразно ввести такое понятие, как интенсивность некорректируемых ошибок $\lambda_n(t) = \lambda(t) - \lambda_k(t)$ при фикси-

рованном t ($\lambda_k(t)$ — интенсивность корректируемых ошибок). Если принять, что зависимость интенсивности отказов от времени имеет известную U -образную форму, а период нормальной работы ЗУ соответствует его линейному участку, на котором $\lambda(t) = \text{const}$, то приходим к выводу, что $\lambda_n(t) = \lambda - \lambda_k(t)$ при фиксированном t .

Рассматривая только $\lambda(t)$ как величину постоянную, можно подтвердить вывод [33] о том, что в период нормальной эксплуатации интенсивность физических отказов $\lambda(t)$ и параметр потока отказов $\omega(t)$ численно равны и постоянны. Под параметром надежности «средняя наработка ЗУ до отказа» далее будем понимать первый отказ, который не может быть «нейтрализован». Связь показателей надежности между собой видна из табл. 1.1. При этом следует учесть, что для безызбыточных устройств, для которых закон распределения наработки до отказа соответствует экспоненциальному закону, $t_0 = 1/\lambda$.

1.4. ОСОБЕННОСТИ КОНСТРУКЦИИ СБИС ЗУ С ЭЛЕМЕНТАМИ СТРУКТУРНО-ЛОГИЧЕСКОЙ ИЗБЫТОЧНОСТИ

1.4.1. Резервирование элементов памяти накопителя

Идеи резервирования на компонентном уровне возникли в начале 60-х годов. В это время американская компания ИВМ интенсивно исследовала возможности повышения ВГ биполярных ЗУ с произвольной выборкой (ЗУПВ), в результате чего, по-видимому, появилась первая работа по резервированию в полупроводниковой памяти [64].

Для создания методов резервирования на уровне кристаллов памяти потребовалось более 10 лет в связи с отсутствием надежных способов подключения резервных элементов вместо дефектных. Сущность методов внутрикристалльного резервирования заключается в том, что на базовом кристалле формируются дополнительные (избыточные) логические элементы и ЭП. Резервные ЭП (отдельные ЭП, строки или столбцы ЭП) подключаются к схемам управления вместо соответствующих дефектных ЭП, адрес которых фиксируется в процессе зондовых испытаний кристалла и запоминается посредством дополнительной технологической операции (пережигания

плавких перемычек). Программируемые (пережигаемые) перемычки разрушаются лазерным лучом или с помощью электрических импульсов. В отличие от электрического пережигания перемычек, когда на кристалле СБИС размещают дополнительные контактные площадки и логические элементы, использование лазера требует минимального увеличения размеров кристалла, но является относительно дорогостоящим [65].

Выбор резерва определяется в каждом конкретном случае в зависимости от преобладающих типов дефектов в ИС ЗУ. Резервирование строк применяют, когда отказы строк и отдельных ЭП преобладают над другими. Структурная схема кристалла ЗУ, в которой используют резервные строки для замены дефектных элементов, изображена на рис. 1.11. При работе схемы код адреса опрашиваемого ЭП поступает со входа 1 через буфер адреса 2 в основной дешифратор (ОД) 6 и одновременно в схему сравнения 4, выполненную в виде программируемой логической матрицы (ПЛМ) или ПЗУ (ППЗУ), где сравнивается с логическим состоянием программируемых элементов, соответствующим адресам дефектных ЭП основного накопителя (ОН) 7. При совпадении состояний программируемых элементов с поступающим адресом вырабатывается сигнал совпадения (например, лог. «1»). Сигнал с выхода схемы 4 подключает выбранную резервную строку резервного накопителя (РН) 8 и через схему 9 (обычно элемент ИЛИ — НЕ) отключает ОД, а тем самым — основную дефектную строку. Обычно схема сравнения выполняет и функцию резервного дешифратора (РД). В ней хранится информация об адресах дефектных

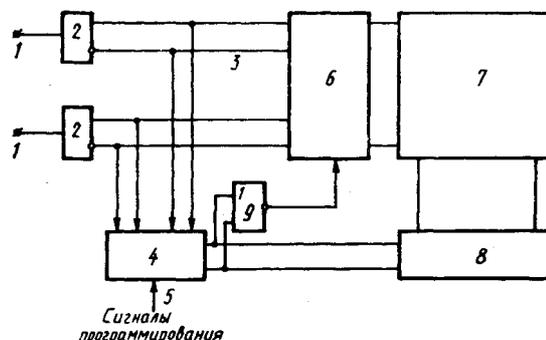


Рис. 1.11. Структурная схема ИС ЗУ с резервированием строк

элементов (ОН). Число запоминаемых адресов в зависимости от емкости ЗУ и плотности дефектов обычно составляет от 2 до 8 [19]. Если разрядность кода адреса равна, например, 8, то схема 4 должна содержать от 16 до 64 разрядов двоичной информации. Поэтому одним из основных требований, предъявляемых к схеме сравнения (РД), кроме высокого быстродействия, является требование компактности. Недостаток метода резервирования строк — вносимая дополнительная задержка избыточными схемами, что ухудшает динамические характеристики всего устройства [5, 11, 12, 14, 16, 19]. При смене обращения от резервной строки к строке ОН вносится дополнительная задержка, равная времени переключения логического элемента ИЛИ — НЕ.

Наиболее часто резервирование строк применяют в ЗУ с многоразрядными словами [14, 22]. В данном случае аппаратные затраты на реализацию дополнительных логических схем и плавких перемычек, в том числе пережигаемых, минимальны, что является более важным, чем небольшие потери быстродействия. Отмеченное обстоятельство объясняют тем, что резервная строка из-за особенности конструкций кристаллов позволяет устранять ошибки в многоразрядных словах, как однократные, так и многократные, без точного знания их местоположения в информационном слове. В связи с этим в ЗУ с многоразрядными словами необходимо выбирать такую конструкцию ЭП, чтобы устранить появление столбцовых отказов.

Для исключения дополнительной задержки сигналов при резервировании строк можно применять схему, изображенную на рис. 1.12. Она содержит значительно большее число дополнительных элементов: РН 8 должен иметь в ОЗУ усилители записи-считывания (УЗС) 11, идентичные усилителям ОН 10. В результате отпадает необходимость в блокировке через дополнительную схему ИЛИ — НЕ дефектной строки ОН, поскольку данные считываются параллельно как с основного, так и с резервного накопителя. Коммутация выходных усилителей 12, 13 осуществляется сигналом с РД 4 через элемент ИЛИ 9. Он появляется намного раньше, чем считанные данные на выходах УЗС 10, 11. Поэтому дополнительная задержка отсутствует. Однако на практике такую схему из-за большого числа дополнительных УЗС почти не применяют.

Резервирование столбцов используют в случае, когда неисправности столбцов преобладают над остальными типами неисправностей [12, 14, 22]. Обобщенная структурная схема ЗУ с резервными столбцами показана на рис. 1.13. Число дополнительных УЗС значительно уменьшается по сравнению с предыдущей схемой и равно числу вводимых резервных столбцов. Резервный дешифратор 4, программируемый в процессе производства на

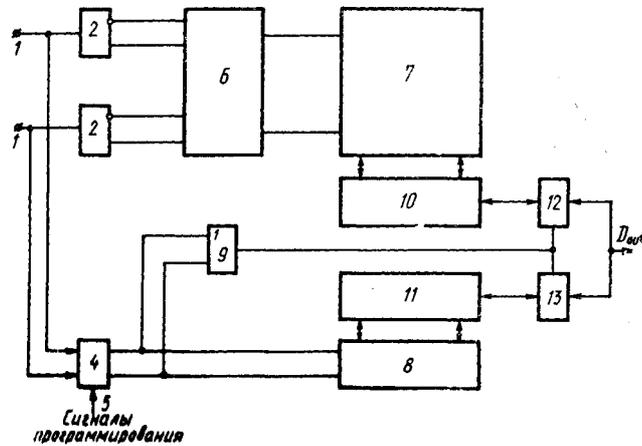


Рис. 1.12. Структурная схема ИС ЗУ с резервированием строк и коммутацией шин ввода-вывода информации

адреса дефектных столбцов, сигналами 5 через схему 9 и мультиплексор 12 управляет выбором подключения считываемой (записываемой) информации на выход (вход) устройства. При поступлении адреса дефектного столбца возбуждается один из выходов РД 4 одновременно с одним из выходов ОД 3. Однако сигнал лог. «1» на выходе элемента ИЛИ 9 пропускает на выход 13 через мультиплексор 12 считанный сигнал с резервного столбца 8.

Основным достоинством БИС ЗУ с резервированием столбцов является отсутствие дополнительно вносимой задержки. Схемотехническая реализация мультиплексора 12 такова, что задержки сигнала в нем практически не происходит. Резервирование столбцов можно применять и в ЗУ с многоразрядными словами [12, 16]. Здесь предпочтительнее вводить резервные столбцы в каждый разряд (поднакопитель), хотя при этом число таких столб-

цов будет больше. В случае использования общего массива резервных столбцов требуется значительная аппаратная избыточность, поскольку нужно хранить информацию не только об адресах дефектных столбцов, но и информацию разряда, в котором произошел отказ ЭП.

Смешанное резервирование совмещает два предыдущих: резервирование строк и резервирование столбцов. Кристалл ЗУ в отмеченном случае возрастает на боль-

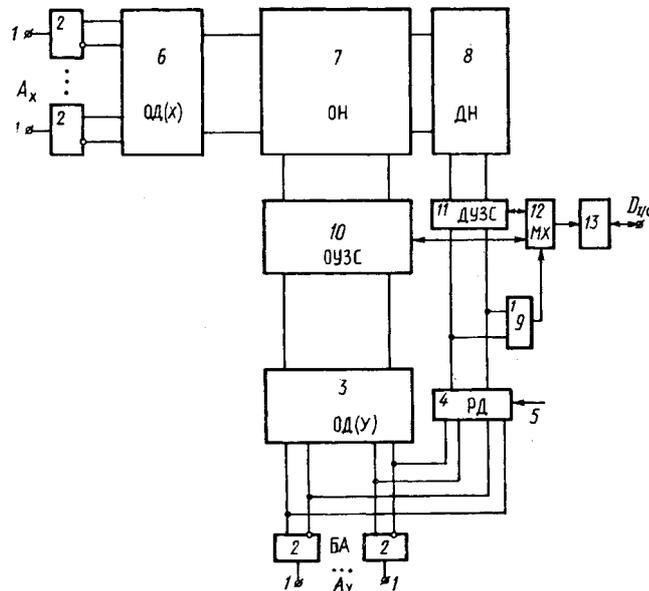


Рис. 1.13. Структурная схема ИС ЗУ с резервированием столбцов: 1 — адресная шина; 2 — буфер адреса; 3, 6 — ОД; 7, 8 — ОН и ДН; 10, 11 — ОУЗС и ДУЗС; 12 — МХ; 13 — блок ввода-вывода информации

шую величину вследствие необходимости введения двух резервных поднакопителей и двух РД. Однако, несмотря на это, данный способ позволяет в максимальной степени увеличить ВГ избыточных СБИС из-за возможности устранения практически любых отказов элементов накопителя путем совместного применения резервных строк и столбцов. Вследствие приведенного преимущества смешанное резервирование широко используют многие зару-

бежные фирмы при производстве ДОЗУ емкостью более 64 Кбит и СОЗУ емкостью 64 Кбит и выше [14, 22].

Блочное резервирование, предусматривающее замену отдельных блоков ЭП накопителя, применяют гораздо реже рассмотренных из-за значительной избыточности. Обобщенная структурная схема, реализующая способ блочного резервирования, показана на рис. 1.14. На кристалле содержится один или несколько резервных бло-

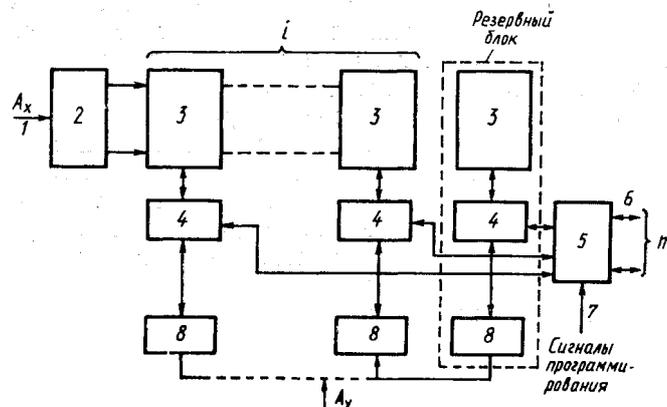


Рис. 1.14. Структурная схема ИС ЗУ с блочным резервированием

ков, имеющих не только резервные матрицы ЭП 3, но и дешифраторы столбцов 8, УЗС 4, логические схемы выбора столбца и буфер ввода-вывода данного [66]. Обычно этот способ используют в ЗУ с многоразрядными словами, и резервный блок может заменять любой отказавший разряд устройства. Программируемый мультиплексор 5 отключает информационные входы-выходы 6 от дефектного блока (одного из i блоков) и подключает их к резервному.

Достоинствами блочного резервирования являются малое число плавких перемычек, возможность устранения дефектов группового типа. Недостаток способа — невозможность устранения большинства дефектов в строчных линиях. Следует отметить, что при увеличении информационной емкости ЗУ (>1 Мбит на кристалл) блочный метод резервирования получит более широкое применение. Последнее связано с секционированием ЗУ на отдельные блоки с целью роста быстродействия устрой-

ства и надежности его работы. При этом необходимость обеспечения высокого ВГ ЗУ потребует, очевидно, использования внутреннего резервирования в каждом блоке посредством введения резервных элементов (строк и столбцов). Еще более широкого применения метода следует ожидать при создании СБИС ЗУ на одной пластине кремния [6, 67, 68].

Между изготовителями полупроводниковых кристаллов памяти нет единого мнения относительно того, каким методам построения избыточных схем, каким способам подключения резервных ЭП вместо дефектных следует отдать предпочтение. В табл. 1.2 приведена информация, позволяющая судить о реализации разных подходов в создании резервных кристаллов памяти. Из этих данных, а также из анализа другой аналогичной информации видно, что относительная площадь под резерв изменяется от единиц до десятков процентов. Быстродействие резервных ЗУ также зависит от используемого метода: при резервировании строк снижение быстродействия может составлять единицы процентов, а при резервировании столбцов оставаться постоянным [12, 69].

Степень повышения ВГ резервированных ИС сильно зависит от плотности дефектов на кристалле, т. е. от величины ВГ безызбыточных приборов. Согласно имеющимся данным, ВГ опытных образцов возрастает приблизительно в 30 раз, а для отработанной технологии — лишь в несколько раз [14]. В другой литературе [12] приведены сведения о том, что пятипроцентный ВГ безызбыточных устройств увеличился приблизительно в 2—3 раза, а четырехпроцентный — в 1,5 раза. Эти цифры являются реальными и ожидаемыми также для СБИС ЗУ мегабитового класса. В вопросе использования избыточности один факт стал неоспоримым: применение резервирования в СБИС ЗУ экономически выгодно, целесообразно и используется практически везде.

1.4.2. Особенности реализации методов избыточного кодирования информации

Теория избыточного кодирования, основы которой заложены в работах Р. Хэмминга [70], К. Шеннона [71] и развиты позднее в многочисленных трудах (например, [72—78]), создавалась для повышения помехоустойчивости каналов связи, однако, по-видимому, с наиболь-

шей эффективностью нашла практическое приложение к цифровым устройствам вообще [10, 79—81] и к ЗУ в частности. Для применения в ЗУ разработаны основные направления реализации рассматриваемых методов [9, 14, 15, 19, 33, 34, 82—84 и др], специальные классы кодов, позволяющих с высокой эффективностью обнаруживать и корректировать ошибки разной кратности [11, 19, 36, 40, 84—93] с помощью как специализированных БИС [11, 19, 21, 94—96], так и методов внутрикристалльной избыточности [11, 14, 17, 20—22, 37—39, 56]. Последнее стало возможным благодаря достижениям в области микроэлектроники, позволившим интегрировать на одном кристалле как ЗУ, так и схемы ОКО. В этом случае код позволяет исправлять ошибки, вызванные не только эксплуатационными отказами, но и производственными дефектами (штриховая линия связи на рис. 1.10).

Любой код характеризуется следующими параметрами. *Основание кода* — число различных элементарных символов, выбранных для построения кода; при коррекции ошибок в ЗУ используется код по основанию два (кодовые слова составляют наборы символов двоичной арифметики). *Мощность кода* M_k — число разных кодовых комбинаций ($M_{k \max} = 2^n$, где n — число элементов, образующих кодовую комбинацию).

Для построения корректирующего кода из полного набора комбинаций выбирают M_k комбинаций, отстоящих на возможно большее расстояние. Степень удаления любых двух или более комбинаций оценивают *расстоянием Хэмминга* d , равным числу несовпадающих позиций (например, коды 0011 и 1101 отстоят на расстояние, равное 3 ($d=3$)). Для обнаружения ошибок расстояние Хэмминга должно быть не менее $d=q+1$, а для исправления q ошибок — не менее $d=2q+1$.

Линейный (n, k) -код представляет собой подпространство размерностью k линейного n -мерного пространства над полем, определяемым основанием кода. Код можно задавать перечислением всех кодовых (разрешенных) векторов или только базисных векторов подпространства.

Совокупность базисных векторов будем далее записывать в виде матрицы G размерностью $k \times n$ с единичной подматрицей в первых k строках и столбцах:

$$G = [I | P].$$

Матрицу G называют порождающей матрицей линейного корректирующего кода в приведенно-ступенчатом виде. Кодовые слова являются линейными комбинациями строк матрицы G (кроме слова, состоящего из нулевых символов). Кодирование заключается в умножении вектора сообщения длины k разрядов на порождающую матрицу по правилам матричного умножения, когда все операции выполняются по модулю два. Очевидно, что в данном случае k первых символов кодового слова равны соответствующим символам сообщения, а последние r символов образуются как линейные комбинации первых. Для всякой порождающей матрицы G существует матрица H , имеющая размерность $r \times n$, задающая базис нулевого пространства кода и удовлетворяющая равенству $GH^T = 0$. Матрицу H называют проверочной (символ «т» означает, что матрица транспонирована).

Результат умножения считываемого из памяти вектора-сообщения на транспонированную проверочную матрицу называют *синдромом* (вектором ошибки) S . Если синдром равен нулю ($S=0$), то полагают, что ошибок в считываемом сообщении не произошло. При ненулевом синдроме по его виду можно определить местоположение ошибки в слове и (или) исправить ее.

Рассмотрим кратко основные типы используемых в ЗУ кодов.

Код Хэмминга и его модификации. Двоичные коды Хэмминга имеют параметры $n=2^r-1$, $k=2^r-r-1$, $d=3$, при этом $r=\log_2 k+1$. Их задают с помощью проверочной матрицы, столбцами которой служат все ненулевые двоичные векторы длиной r . Например, для кода (7, 4) проверочная матрица в приведенно-ступенчатой форме имеет вид

$$H_{7,4} = \begin{bmatrix} 0 & 1 & 1 & 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 0 \\ 1 & 1 & 0 & 1 & 0 & 0 & 1 \end{bmatrix}. \quad (1.1)$$

Проверочную матрицу в общем виде можно привести к следующей стандартной форме:

$$H_{n,k} = \begin{bmatrix} h_{11} & h_{12} & \dots & h_{1k} & | & 1 & 0 & \dots & 0 \\ h_{21} & h_{22} & \dots & h_{2k} & | & 0 & 1 & \dots & 0 \\ \dots & \dots & \dots & \dots & | & \dots & \dots & \dots & \dots \\ h_{r1} & h_{r2} & \dots & h_{rk} & | & 0 & 0 & \dots & 1 \end{bmatrix} = [H_k \mid I_r], \quad (1.2)$$

где k столбцов подматрицы H_k соответствуют информационным разрядам, а r столбцов единичной матрицы I_r — контрольным (проверочным).

Если в основные ЭП строки накопителя (назовем его основным накопителем) записывается для хранения двоичное информационное слово $X = x_1, x_2, \dots, x_k$, то значения контрольных битов $x_{k+1}, x_{k+2}, \dots, x_{k+r}$ формируются так, чтобы выполнялось условие

$$x_{k+i} = \sum_{j=1}^k h_{ij} x_j. \quad (1.3)$$

При считывании информации любой из битов записанного кодового слова может быть ошибочным, вследствие чего для разграничения записанного и считанного кодовых слов символы последнего обозначим через y_1, y_2, \dots, y_n . Вычисление контрольных соотношений для считанных k разрядов слов осуществляем по аналогии с (1.3):

$$y'_{k+i} = \sum_{j=1}^k h_{ij} y_j. \quad (1.4)$$

Если поразрядно сложить значения y_{k+i} и y'_{k+i} , получим r -разрядный синдром $S = s_1, s_2, \dots, s_r$, где

$$s_i = y_{k+i} + y'_{k+i}. \quad (1.5)$$

При одиночной ошибке синдром однозначно указывает на местоположение ошибки и численно равен соответствующему столбцу проверочной матрицы.

Пример. Пусть в память записывается слово $X = 0110$, т. е. $k = 4$. При обнаружении и исправлении одиночной ошибки (*SED-SEC-code*) на основе матрицы (1.1) и с учетом (1.3) имеем систему для вычисления контрольных символов кода:

$$x_5 = x_2 + x_3 + x_4,$$

$$x_6 = x_1 + x_3 + x_4,$$

$$x_7 = x_1 + x_2 + x_4.$$

Тогда при кодировании получим $x_5 = 0, x_6 = 1, x_7 = 1$. Кодовое слово длиной семь разрядов (0110011) заносится в накопитель. Пусть при хранении этого слова во втором раз-

ряде возникла ошибка, т. е. считывается код 0010011. Разряды синдрома в соответствии с (1.5) находим по формулам

$$s_1 = y_2 + y_3 + y_4 + y'_5 = 1,$$

$$s_2 = y_1 + y_3 + y_4 + y'_6 = 0,$$

$$s_3 = y_1 + y_2 + y_4 + y'_7 = 1.$$

Синдром 101 совпадает со вторым столбцом матрицы, и, следовательно, необходимо при считывании данных проинвертировать второй разряд слова Y . Таким образом, основными блоками избыточной части ЗУ с кодом являются блок кодирования (БК), вычисляющий соотношения (1.3) и (1.4), блок вычисления синдрома, дешифратор синдрома и блок коррекции ошибок.

Код с $d=3$ может быть удлинен введением общей проверки на четность. При этом кодовое расстояние становится равным четырем, что позволяет исправлять все одиночные ошибки с одновременным обнаружением всех двойных ошибок (*DED-SEC-code*). Например, удлинив код (7, 4), получим матрицу кода (8, 4):

$$H_{8,4} = \begin{bmatrix} 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix} =$$

$$= \begin{bmatrix} 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}.$$

Как видно из последней записи матрицы, всем одиночным ошибкам соответствует синдром нечетного веса, а двойным ошибкам — синдром четного веса (число единичных символов).

Во многих случаях целесообразно модифицировать коды Хэмминга для придания им дополнительных полезных свойств, обеспечивающих практическую реализацию или расширяющих круг потребителей. Основными целями модификаций являются упрощение кодирующих и декодирующих блоков, обеспечение при кодировании и

декодировании одинаковой задержки сигналов во всех разрядах, обеспечение адекватности байтовой организации памяти и способности к наращиванию кода, уменьшение вероятности неправильного декодирования при многократных ошибках. Упрощения кодирующих и декодирующих устройств достигаются минимизацией числа единиц в проверочной матрице и совмещением функций оборудования при вычислении отдельных символов (см. подпараграф 5.1.2 и рис. 5.9).

Так как каждая лог. «1» в проверочной матрице при кодировании и декодировании реализуется сумматором по модулю два, то общее число сумматоров определится весом матрицы без r (для блока вычисления синдрома) и весом без числа, равного $2r$ (для кодера). Проанализируем вопросы аппаратной и временной избыточности в ИС ЗУ для кодов с $k=2^z$ ($z=2, 10$). Очевидно, что для больших n в $H_{n,k}$ непосредственный подсчет единиц затруднен. Поэтому используем рекуррентные соотношения [19], которые упрощают построение матриц высоких порядков. При такой проверочной матрице очевидно следующее правило: число столбцов с весом ω_c в матрице $H_{n+1,k+1}$ равно сумме числа столбцов с весом ω_c-1 в матрице $H_{n,k}$ и числа столбцов с весом ω_c в $H_{n,k}$; число столбцов с весом r равно единице, а число столбцов с единичным весом — r . Используя данное правило, можно определить число столбцов с заданным весом для любой матрицы и затем найти ее вес. Например, для кода (31, 26) число столбцов с весом, равным 1, 2, 3, 4, 5, соответственно составляет 5, 10, 10, 5, 1.

Коды Хэмминга с кодовым расстоянием $d=3$ удлиняются общей проверкой на четность, при этом $d=4$. Подобную операцию можно провести по следующему правилу [34]: код Хэмминга с $d=4$ получают из кода с $d=3$ путем прибавления столбца из нулей и строки из элементов, равных единице, если вес столбца над ним четный, и равных нулю, если нечетный. Для определения числа столбцов с заданным весом в кодах с $d=4$ используем очевидное следствие из приведенного выше правила: если в матрице кода с $d=3$ было некоторое число столбцов с четным весом, то в матрице с $d=4$ их останется столько же, но с весом, на единицу большим; если в первой из матриц было определенное число столбцов с нечетным весом, то и во второй их будет столько же с тем же весом. Применяя это следствие, можно получить рас-

пределение числа столбцов для кодов Хэмминга с $d=4$. Легко показать, что веса матриц, построенных таким образом, являются минимальными из возможных. В результате необходимое число сумматоров для кодирования информации находим так:

$$N_{\oplus k} = \omega_H - 2r,$$

где $N_{\oplus k}$ — число сумматоров кодера; ω_H — вес соответствующей матрицы Хэмминга; r — число проверочных разрядов или число строк в $H_{n, k}$.

Перейдем к декодированию. Данный этап состоит из следующих операций: вычисления синдрома (в соответствии с (1.4), (1.5)), дешифрации синдрома, коррекции искаженного символа. Число сумматоров в блоке вычисления синдрома

$$N_{\oplus S} = \omega_H - r.$$

Приступим к реализации дешифратора. Применим правила де-Моргана. Тогда, например, для двухвходового дешифратора будем иметь: $\overline{s_1 s_2} = \overline{s_1} \vee \overline{s_2}$, $\overline{s_1} \overline{s_2} = \overline{s_1} \vee \overline{s_2}$, $\overline{s_1} \overline{s_2} = \overline{s_1} \vee \overline{s_2}$ — один инвертор и элемент ИЛИ—НЕ, $s_1 s_2 = \overline{s_1} \vee \overline{s_2}$ — два инвертора и элемент ИЛИ—НЕ.

Подобное построение дешифраторов можно выполнить и для любого числа входов. С учетом того что единицы в матрице повторяются в некоторых позициях, необходимое оборудование для дешифратора можно определить следующим образом:

$$N_{\overline{\Gamma}_d} = \omega_H, \quad N_{\overline{\vee}_d} = n, \quad N_{\vee_d} = n(r - 2).$$

Здесь $N_{\overline{\Gamma}_d}$, $N_{\overline{\vee}_d}$, N_{\vee_d} — соответственно число инверторов, двухвходовых элементов ИЛИ—НЕ и элементов ИЛИ.

Блок коррекции должен выполнять инвертирование разряда слова в соответствии с вычисленным синдромом, если произошла ошибка. Поэтому его можно реализовать на n (k) двухвходовых сумматорах. Перейдем к оценке временных затрат, для чего определим глубину выполнения дешифрации, коррекции, вычисления синдрома, кодирования. Под глубиной понимают число логических элементов, через которые необходимо пройти сигналу (в наихудшем случае) для получения необходимого отклика на выходе схемы. Глубина коррекции, очевидно, равна одному сумматору: $l_k = 1 \oplus$. Глубина дешифратора

$$l_d = l_{\bar{v}} + l_{\bar{r}} + (r-2)v.$$

Подобная запись означает: задержка определяется одним элементом ИЛИ — НЕ, одним элементом НЕ и $r-2$ элементами ИЛИ. Глубину блока вычисления синдрома рассчитываем по максимальному числу единиц в строке матрицы ($\omega_{r \max}$):

$$l_c = \omega_{r \max} - 1.$$

Величину $\omega_{r \max}$ можно найти из следующих соображений. Поскольку в матрице линейные комбинации строк не изменяют свойств кода, а операции проводят по модулю два (операции неравнозначности), то максимальное число единиц в любой из строк определяем так:

$$\omega_{r \max} = \lceil \omega_H / r \rceil,$$

где ω_H — вес матрицы; $\lceil \cdot \rceil$ — ближайшее большее целое. Тогда

$$l_c = (\lceil \omega_H / r \rceil - 1) \oplus.$$

Используя полученные соотношения, можно вычислить аппаратные и временные затраты для кодов Хэмминга с $d=3$ и $d=4$. Результаты расчетов сведены в табл. 1.3 (принятое для упрощения обозначение матрицы H_r соответствует $H_{n,k}$ при $r=n-k$).

Итеративный код. Кодовые слова при использовании этого кода записывают в виде таблицы, строки и столбцы которой образуют слова корректирующих кодов. Простейшим является код, в котором строки и столбцы содержат четное (нечетное) число единиц. Он имеет кодовое расстояние $d=4$. Местоположение ошибки находится на пересечении строки и столбца с нарушенной четностью (нечетностью). В общем случае кодовое расстояние кода равно произведению минимальных кодовых расстояний составляющих его подкодов [36]. Например, при записи в накопитель информационного слова 01110111 кодовое слово в виде таблицы с четностью по строкам и столбцам будет иметь вид

0	1	1	0
1	0	1	0
1	1	1	1
0	0	1	1

Таблица 1.3. Аппаратные затраты на реализацию избыточных блоков

Код	Число				Глубина (l)	
	\oplus	$\bar{1}$	\vee	$\bar{\vee}$	кодера (\oplus)	декодера и корректора
7,4	22	3	7	7	3	$1\bar{1}+1\vee+1\bar{\vee}+1\oplus$
12,8	44	4	24	12	4	$l_{H_3}+1\vee+1\oplus$
21,16	92	5	63	21	7	$l_{H_4}+1\vee+3\oplus$
38,32	194	6	152	38	11	$l_{H_5}+1\vee+4\oplus$
71,64	492	7	355	71	22	$l_{H_6}+1\vee+11\oplus$
136,128	928	8	792	136	49	$l_{H_7}+1\vee+27\oplus$
265,256	2013	9	1792	265	97	$l_{H_8}+1\vee+48\oplus$
522,512	4462	10	4176	522	197	$l_{H_9}+1\vee+100\oplus$
1035,1024	9636	11	9297	1035	391	$l_{H_{10}}+1\vee+194\oplus$
8,4	28	4	16	8	2	$1\bar{1}+2\vee+1\bar{\vee}+1\oplus$
13,8	56	5	39	13	4	$l_{H_4}+1\vee+2\oplus$
22,16	112	6	88	22	7	$l_{H_5}+1\vee+3\oplus$
39,32	224	7	195	39	12	$l_{H_6}+1\vee+6\oplus$
72,64	480	8	432	72	26	$l_{H_7}+1\vee+13\oplus$
137,128	1172	9	956	137	52	$l_{H_8}+1\vee+26\oplus$
266,256	2336	10	2129	266	103	$l_{H_9}+1\vee+51\oplus$
523,512	4972	11	4707	523	202	$l_{H_{10}}+1\vee+99\oplus$
1036,1024	10432	12	10340	1036	391	$l_{H_{11}}+1\vee+189\oplus$

Определим линейный итеративный код (по основанию два) как блочный (n_1, k_1, n_2, k_2) -й код, формирующий кодовые последовательности длиной k ($k = k_1 k_2$) информационных и $k_1 + k_2$ или $k_1 + k_2 + 1$ проверочных разрядов. Схематичный вид кода изображен на рис. 1.15. Для определенного набора k двоичных информационных символов кодовое слово можно представить в виде k_1 n_2 -разрядных кодовых слов строк (обозначим их через $X_{ri} = \{x_{rj}\}_i, x_i; j = 1, k_2, i$ — фиксировано ($1 \leq i \leq k_1$)) и k_2 n_1 -разрядных кодовых слов столбцов ($X_{cj} = \{x_{ci}\}_j, x_j; i = 1, k_1, j$ — фиксировано ($1 \leq j \leq k_2$); x_i, x_j — одноразрядные проверочные слова. Таким образом, $X = \{X_{ri}, \{X_{cj}\}$. Учитывая,

что $\{\{x_j\}_i\} = \{\{x_i\}_j\} = \{x_{ij}\}$, обозначив $\{x_i\} = X_r$, $\{x_j\} = X_c$, можно записать

$$X = \{x_{ij}\}, X_r, X_c. \quad (1.6)$$

В другом случае кодовое слово X можно представить в виде неповторяющихся наборов разных комбинаций строчных и столбцовых кодовых слов. Зона, соответ-

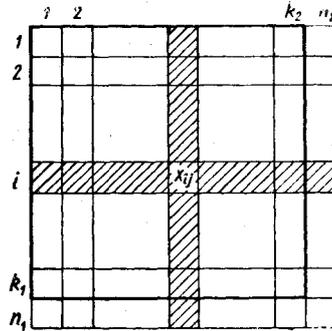


Рис. 1.15. Схематичная структура итеративного кода

ствующая одной из таких комбинаций (X_{ij}), на рис. 1.15 заштрихована; информационный символ x_{ij} принадлежит i -му кодовому слову строки и j -му кодовому слову столбца. Однако и при представлении X в виде набора X_{ij} должно выполняться условие 1.6.

В наиболее общем приведенно-ступенчатом виде проверочная матрица H -кода, построенная на основе рис. 1.6, имеет вид

$$H = \left[\begin{array}{c|c} H_r & I \\ \hline H_c & \end{array} \right], \quad (1.7)$$

т. е. состоит из трех подматриц: H_r , H_c , I (свойства кода не изменяются, если H_r и H_c поменять местами). Подматрица H_r имеет размерность $k_1 \times k$, H_c — $k_2 \times k$, I — диагональная матрица размерностью $k_1 + k_2 + 1$. В свою очередь

$$H_r = \begin{bmatrix} h_{r1} & 0 & \dots & 0 \\ 0 & h_{r2} & \dots & 0 \\ \dots & \dots & \dots & \dots \\ 0 & 0 & \dots & h_{rk_1} \end{bmatrix}, \quad H_c = [h_{c1} h_{c2} \dots h_{ck_2}],$$

где h_{ri} — $(1 \times k_2)$ -единичная матрица-строка для всех i , $1 \leq i \leq R_1$; h_{cj} — диагональная матрица размерностью k_1 для всех j , $1 \leq j \leq k_2$; 0 — нулевая матрица-строка.

Проверочное кодовое слово X_r , X_c вычисляются таким же образом, как и при использовании кода Хэмминга. Дополнительный, $(k_2 + k_1 + 1)$ -й, проверочный разряд равен свертке по модулю два информационных разрядов:

$$X_{cr} = \sum_{\substack{i=1 \\ j=1}}^{k_1, k_2} x_{ij}. \quad (1.8)$$

Минимальное кодовое расстояние кодовых слов строк d_r и столбцов d_c равно двум.

Лемма 1 [36]. Линейный итеративный $(k_1 + 1, k_1, k_2 + 1, k_2)$ -й код с $k_1 + k_2$ проверочными символами в кодовом слове имеет минимальное кодовое расстояние $d = d_r + d_c - 1 = 3$.

Лемма 2. Линейный итеративный $(k_1 + 1, k_1, k_2 + 1, k_2)$ -й код, формирующий в кодовом слове $k_1 + k_2 + 1$ проверочных символов, позволяет обнаруживать и корректировать все одиночные, а также многократные ошибки в информационных разрядах, принадлежащих разным кодовым словам строк и столбцов, и обнаруживает все двойные ошибки.

Доказательство. Прежде всего отметим, что все столбцы проверочной матрицы (1.7) имеют нечетный вес (число единичных символов), если рассматриваемую матрицу дополнить единичной строкой; т. е. минимальное кодовое расстояние в данном случае равно четырем. Поэтому возможность обнаружения одиночных и двойных ошибок, а также исправления одиночных ошибок доказательства не требует. Проанализируем выполнимость процедуры коррекции многократных ошибок. С одной стороны, корректирующая способность кода определяется его кодовым расстоянием, с другой — каждому типу ошибки должен соответствовать свой, отличный от других синдром S (здесь определение синдрома соответствует традиционному: S — двоичное слово, численно равное сумме по модулю два соответствующих местоположению ошибок столбцов матрицы (1.7)). Синдром, определяемый матрицей (1.7), состоит из трех слов: S_r , S_c , S_{cr} . Число разрядов в S_r и S_c соответственно равно k_1 и k_2 ; S_{cr} — одноразрядное слово. С точки зрения кодового

расстояния многократную ошибку удобно рассматривать как совокупность одиночных ошибок в словах X_{ij} . Например, первой из многократных ошибок присвоим номер один. Тогда кодовые слова $X_{i_1j_1}$ и $X'_{i_1j_1}$ будут отличаться в трех разрядах: $x'_{i_1j_1} = \overline{x_{i_1j_1}}$, $x_{i_1} = \overline{x_{i_1}}$, $x_{j_1} = \overline{x_{j_1}}$, т. е. кодовое расстояние между ними равно трем. Поэтому в силу леммы 1 и соотношения между d и числом корректируемых ошибок следует, что ошибка будет исправлена.

Такое утверждение справедливо только в одном случае: ошибочный символ в словах X_{r_i} , X_{c_j} является единственным и $x_{i_1j_1} \in X_{r_i}$, X_{c_j} . Другая одnorазрядная ошибка из рассматриваемой многоразрядной в разряде $x_{i_2j_2}$ ($i_2 \neq i_1$, $j_2 \neq j_1$) будет скорректирована на том же основании и т. д. С другой стороны, при q -разрядной ошибке ($i_1 \neq i_2 \neq \dots \neq i_q$, $j_1 \neq j_2 \neq \dots \neq j_q$) вес синдромов S_r , S_c всегда одинаков и численно равен q . Однако всегда синдромы многократной ошибки различны при разном q , что подтверждает справедливость леммы 2. Нетрудно убедиться, что если одна или несколько одиночных ошибок слова X_{ij} появляются в проверочных разрядах, то такая многократная ошибка не всегда может быть исправлена.

Следствие леммы 2. Максимальная кратность корректируемых кодом ошибок не превышает меньшего из значений k_1 и k_2 ; при $k_1 = k_2$ максимальная кратность корректируемой ошибки равна k_1 .

Справедливость этого положения подтверждена результатами анализа рис. 1.15: число корректируемых ошибок не может превысить ни число кодовых слов X_r , ни число кодовых слов X_c . С практической точки зрения представляет интерес рассмотрение особенностей и преимуществ коррекции двойных ошибок.

Лемма 3. Максимальная эффективность исправления двойных ошибок $(k_1 + 1, k_1, k_2 + 1, k_2)$ -м итеративным кодом, формирующим $k_1 + k_2 + 1$ проверочных символов в кодовом слове, достигается при $k_1 = k_2$.

Доказательство. Общее число N_Σ возможных двойных ошибок в кодовом слове определим как число сочетаний из $(n_1 n_2)$ по два:

$$N_\Sigma = n_1 n_2 (n_1 n_2 - 1) / 2, \quad n_1 = k_1 + 1, \quad n_2 = k_2 + 1.$$

Число N_2 двойных ошибок в k разрядах, каждая из которых корректируется, вычислим по формуле:

$$N_2 = k_1 k_2 (k_1 - 1)(k_2 - 1)/2. \quad (1.9)$$

Относительная часть θ корректируемых двойных ошибок есть отношение N_2/N_2 . Максимальному θ будет соответствовать максимальное N_2 . Положим $k_1 = (k_1 + k_2 + 1)\rho$, тогда $k_2 = (k_1 + k_2 + 1)(1 - \rho)$. Подставим последние выражения в (1.9). Продифференцировав N_2 по ρ и приравняв полученное значение нулю, после простых вычислений

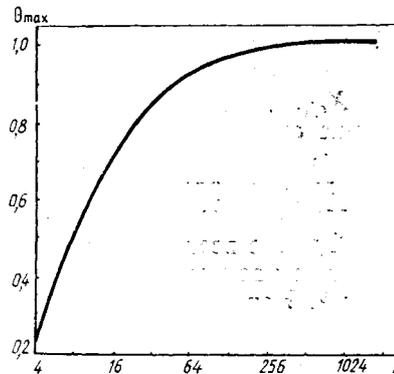


Рис. 1.16. Эффективность исправления двойных ошибок итеративным кодом

имеем: максимальному θ соответствует $\rho = 0,5$, т. е. $k_1 = k_2 = k_m$, что и требовалось доказать. На основе этого

$$\theta_{\max} = k_m (k_m - 1)^2 / (k_m + 2)(k_m + 1).$$

На рис. 1.16 изображена зависимость $\theta_{\max} = f(k_m)$, анализ которой показывает, что, например, при длине слова $k = 1024$ разряда почти все (81%) двойные ошибки будут исправлены (в данном случае $k_m = 32$).

Таким образом, при обработке или хранении (в микросхемах памяти) информации в виде двоичных слов использование итеративного (n_1, k_1, n_2, k_2) -го кода, формирующего проверочное слово длиной $k_1 + k_2 + 1$ разрядов, позволяет практически без усложнения кодера и декодера эффективно исправлять не только одиночные, но и многократные ошибки, которые появляются в информации вследствие физических отказов микросхем памяти или под действием помех. При этом эффективность коррекции многократных ошибок повышается с увеличением длины слов. Целесообразность коррекции многократных

ошибок будет проанализирована ниже при анализе надежности ЗУ (см. гл. 3).

Для итеративного кода при $k = k_1 k_2$ число контрольных разрядов r , как следует из проведенного анализа, равно $k_1 + k_2$ или $k_1 + k_2 + 1$. Если положить $k = 2^z$, то

$$r = \begin{cases} 2\sqrt{k} + 1 & \text{при четном } z, \\ 3\sqrt{k/2} + 1 & \text{при нечетном } z. \end{cases}$$

Коэффициент избыточности накопителя β_n ($\beta_n = n/k$) уменьшается с ростом k .

Для сравнения на рис. 1.17 представлены сравнительные характеристики по аппаратным затратам и быстродействию избыточных блоков при использовании кода Хэмминга и итеративного кода. Следует отметить, что при исправлении стираний (разновидность ошибки, местоположение которой известно) код должен иметь кодовое расстояние

$$d \geq q_c + 1. \quad (1.10)$$

Если же необходимо исправлять одновременно q ошибок и q_c стираний, то требуется код с кодовым расстоянием

$$d \geq 2q + q_c + 1. \quad (1.11)$$

В наиболее общем виде алгоритм работы СБИС ЗУ с использованием рассмотренных типов кодов можно свести к последовательности следующих операций.

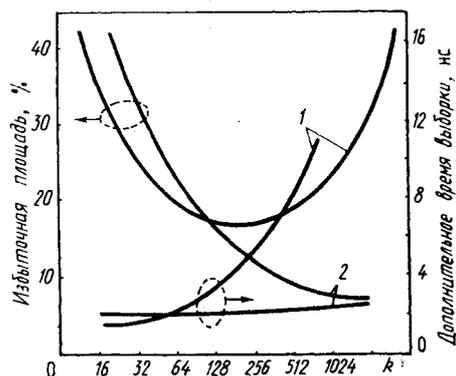


Рис. 1.17. Сравнительная оценка аппаратных затрат на реализацию избыточных блоков в ЗУ и быстродействие этих блоков при использовании кода Хэмминга (1) и итеративного кода (2)

В цикле записи: 1) формирование проверочных соотношений (кодového слова); 2) запись информационного и проверочных символов в соответствующие ЭП строки.

В цикле считывания: 1) считывание кодového слова; 2) формирование проверочных соотношений на основе k считанных информационных символов; 3) сравнение считанных и вновь сформированных r разрядов кодových слов (обнаружение ошибки); 4) определение местоположения ошибки (декодирование) и ее исправление.

Очевидно, что алгоритм функционирования избыточных энергонезависимых ЗУ определяется только циклом чтения информации. В таких устройствах занесение информации в избыточные ЭП проводится при программировании памяти.

Структурная схема ИС ОЗУ с корректирующим кодом изображена на рис. 1.18. В цикле записи информации при поступлении k информационных сигналов $D_{I1}, D_{I2}, \dots, D_{Ik}$ кодирующий блок (кодер) 4, построенный на основе сумматоров по модулю два, формирует r дополнительных контрольных разрядов, которые заносятся в дополнительный накопитель 3 согласно коду адреса опрашиваемого слова. В режиме считывания (коррекции ошибок) сигналы о состоянии опрашиваемых ЭП с усилителей считывания (или УЗС) 5 и 6 поступают в блок вычисления синдрома 8, где по закону, определяемому типом кода, формируется r -разрядное слово (синдром). Основу блока вы-

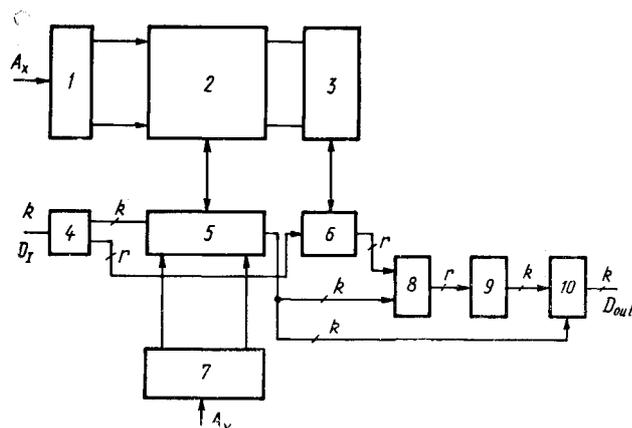


Рис. 1.18. Структурная схема кристалла памяти с корректирующим кодом (1, 2, 7 — соответственно ДХ, ОН, ДУ)

числения синдрома, как и блока кодирования, составляют сумматоры по модулю два. Далее синдром поступает на дешифратор синдрома 9, на одном из выходов которого (или нескольких в зависимости от мощности кода и кратности ошибки) устанавливается сигнал лог. «1», соответствующий разряду (разрядам) кодового слова, где произошла ошибка. Если кратность ошибки больше корректируемой кодом, то наличие единичных сигналов на выходах дешифратора синдрома не обязательно будет соответствовать номеру ошибочных разрядов. В блоке коррекции 10 по данному сигналу происходит исправление ошибки. Исправленное слово поступает на выходы устройства.

Реализация ОЗУ с одноразрядными словами, когда опрашивается только один ЭП, является более сложной задачей, поскольку при кодировании для вычисления проверочных соотношений необходимо иметь сведения как о входной информации, так и о хранимых в ОН информационных символах всего кодового слова. Это требует проведения перед записью предварительного считывания (зондирования [19, 83]) информации из опрашиваемой ячейки (возможно, с декодированием и исправле-

Т а б л и ц а 1.4. Характеристики методов введения избыточности в СБИС ЗУ

Метод	Достоинство	Недостаток
Резервирование	Эффективно исправляет практически любой отказ накопителя, адресных и разрядных формирователей Площадь кристалла увеличивается незначительно (на 2...10%) Технические характеристики (мощность, быстродействие) ухудшаются незначительно	Изменение технологии изготовления из-за необходимости создания программируемых элементов (плавких перемычек) Не применим в БИС ПЗУ. Требует дополнительного оборудования для пережигания плавких перемычек
Корректирующих кодов	Эффективно устраняет одиночные отказы ЭП в любом типе ЗУ (ОЗУ, ППЗУ, ПЗУ) Эффективно устраняет сбои при эксплуатации ЗУ Не требует дополнительных технологических операций	Наблюдается ухудшение технических параметров (мощности, быстродействия) более чем на 10% Возрастает площадь кристалла на 10...20% и более

нием ошибок). Только затем формируется новое кодовое слово с учетом изменения (или неизменения) информации в опрашиваемой ЭП [80, 83]. Особенностью реализации рассматриваемого метода является значительное ухудшение временных характеристик ЗУ, поскольку цикл записи в таких ЗУ увеличивается в 1,5—2 раза. Кроме того, требуются большие аппаратные затраты на реализацию схем кодирования и декодирования [19, 83].

Использование корректирующих кодов дает возможность эффективно устранять ошибки в хранимой информации, обусловленные отказами отдельных ЭП и столбцов, но не позволяет устранять строчные отказы. Основное достоинство метода — его универсальность, т. е. способность устранения как производственных, так и эксплуатационных отказов независимо от причины их возникновения, а также отсутствие каких-либо дополнительных технологических операций.

Выбор способа введения избыточности прежде всего продиктован конечной целью. Это может быть достижение максимального ВГ, заданного уровня надежности устройства, предельного быстродействия избыточных ИС или комплекс перечисленных и других ограничений.

Результаты качественного сравнения методов введения избыточности в СБИС ЗУ сведены в табл. 1.4.

Глава 2

МОДЕЛИРОВАНИЕ И АНАЛИЗ ХАРАКТЕРИСТИК РАСПРЕДЕЛЕНИЯ ДЕФЕКТОВ И ОТКАЗОВ В КРИСТАЛЛАХ ПАМЯТИ

2.1. СТАТИСТИЧЕСКИЙ АНАЛИЗ НЕИСПРАВНОСТЕЙ

Для применения методов обеспечения отказо- и дефектоустойчивости необходимо знать, какие дефекты (отказы) для проектируемого (выпускаемого) изделия или конкретной технологии превалируют и как они распределены. Наиболее достоверный ответ на поставленные вопросы можно получить только на основе изучения реальных статистических данных о распределении неисправностей по кристаллу или по пластине в целом. Подобный процесс является трудоемким, требует вмешательства (или некоторого его изменения) в маршрут изготовления СБИС. Кроме того, для полноты исследований необходимо сравнительно много времени, поскольку по мере улучшения технологии и отработки конструкции плотность дефектов изменяется [4, 14, 23]. В известных публикациях анализируются чаще характеристики распределения дефектов по кристаллу в целом или по пластине [5, 14, 25, 97—99]. Для выбора адекватных корректирующих кодов необходимо также знать, каким образом неисправные ЭП распределены по строкам (или отдельным частям строк) накопителя, поскольку все отказы на кристалле сказываются в итоге на функционировании соответствующих ЭП.

2.1.1. Характеристики дефектов

Комплекс исследований проведен авторами [100—102] применительно к биполярным СОЗУ емкостью 4 и 16 Кбит и ДОЗУ емкостью 256 Кбит (КМОП). Наиболее полные результаты получены при изучении ОЗУ емкостью 4 Кбит, в котором применяли «сверхинтегрированный» ЭП [103], с одно- и четырехразрядной органи-

зацией. Исследования кристалла емкостью 4 Кбит, накопитель которого построен на «сверхинтегрированном» ЭП [100—101], проводили в течение нескольких лет. Они состоят из нескольких периодов, характеризующих качество технологического процесса изготовления приборов: освоение производства (I), совершенствование схемных решений устройства и технологии его изготовления (II), установившийся технологический процесс (III).

Хотя испытания охватывают отдельные периоды, эти периоды были достаточно продолжительными для того, чтобы результаты испытаний можно было считать статистически достоверными. Определенная трудность при анализе полученных данных обусловлена тем, что иногда наблюдались непродолжительные периоды, в течение которых дефектность кристаллов была особенно высока. В итоге при обработке результатов одной из важнейших задач считали разграничение статистических характеристик на те, которые могли оказать влияние нетипичные условия производства и контроля, и те, которые присущи данным устройствам и являются для них типичными (для каждого из отмеченных выше периодов изготовления).

Проанализированы дефекты ЭП на 1508 кристаллах БИС ЗУ: 568 — на I этапе, 652 — на II, 288 — на III. Общее число БИС состоит из 19 контрольных выборок (партий) приборов. На I этапе были исследованы приборные девяти партий, на II — шести, на III — четырех. Установлено, что характер распределения дефектных ЭП на кристаллах одноразрядных устройств такой же, как и в многоразрядных.

Один из важнейших параметров, характеризующих качество изготовления БИС ЗУ, — частота (вероятность) p_e появления дефектного ЭП. Этот параметр представляет собой отношение числа дефектных ЭП к общему их числу, т. е. к суммарной емкости всех приборов рассматриваемой совокупности.

В табл. 2.1 приведены показатели, характеризующие объем отдельных партий, а также полученные для них значения p_e . Кроме того, отмечена вероятность p_{1e} появления дефектного ЭП без учета кристаллов, на которых дефектны более 15 таких элементов.

Как показали результаты исследований, на дефектном кристалле расположены чаще не более одного-двух десятков неработоспособных ЭП (иногда их число на несколько порядков выше). В процессе вычислений уста-

Таблица 2.1. Суммарные статистические результаты объема исследований и вероятности появления (в отн. ед.) дефектных ЭП

Этап	Партия	Вероятность появления дефектного ЭП	
		p_e	p_{ie}
I	1	20,40	6,75
	2	8,22	5,00
	3	4,38	3,72
	4	4,78	3,34
	5	5,47	3,72
	6	9,09	2,97
	7	8,69	4,38
	8	14,43	4,78
	9	12,31	6,19
		10,43*	4,47*
II	1	8,50	4,19
	2	8,12	6,31
	3	4,38	2,94
	4	7,91	3,38
	5	4,38	3,16
	6	6,75	5,63
		6,81**	3,47**
III	1	1,56	2,03
	2	1,19	1,00****
	3	2,06	1,97
	4	1,53	1,44
		1,56***	1,63***

- * Средние значения для этапа I.
- ** Средние значения для этапа II.
- *** Средние значения для этапа III.
- **** Минимальная величина, принятая за единицу отсчета.

показано, что именно небольшое число приборов, значительная часть элементов накопителя которых не функционирует, сильно влияет на общий уровень дефектности ЭП. Сравнение значений p_e , p_{ie} позволяет оценить воздействие отмеченных выше нетипичных (случайных) факторов на качество изготавливаемых БИС ЗУ.

Анализ таблицы показывает, что наряду с партиями приборов, характеризующихся относительным постоянством параметра p_e (на данном этапе производства), отмечено появление устройств, в которых частота дефектов значительно возросла. Особенно заметно такое разли-

чие между партиями I этапа. Здесь в сочетании с БИС, частота появления дефектного ЭП в которых близка к средней по этапу (партии 2, 4—7, 9), обнаружены и такие партии, в которых плотность дефектов повышалась в несколько раз (партии 1, 3). У БИС ЗУ, изготовленных на II и III этапах, отмеченная тенденция менее заметна. Очевидно, что постепенное сглаживание в неравномерности качества отдельных партий приборов обусловлено объективной закономерностью: совершенствованием технологии производства кристаллов.

Рост частоты появления нефункционирующих ЭП на кристалле связан со значительным числом дефектных линий (строк и столбцов) и отдельных элементов, сгруппированных на небольшой площади кристалла (накопитель). Оценим вероятность p_e по величине частоты появления дефектных ЭП и объему выборки, т. е. по числу исследованных ЗУ [104]. Определение частоты будем осуществлять без учета нефункционирующих устройств.

Оценку объема выборки N_i для обеспечения достаточной для практики точности p_{ei} проведем, используя известную теорему Бернулли [105]. Согласно этой теореме, при достаточно большом числе испытаний l_i ($l_i = N_i \cdot 4096$) частота сколь угодно мало отличается от вероятности в отдельном испытании. Следуя работе [104], положим, что с вероятностью $P=0,99$ величины частоты и вероятности будут отличаться не более чем на 2,5%, т. е.

$$P(|p_{ei}^* - p_{ei}| < \varepsilon_i) = 2\Phi(\varepsilon_i/\sigma_i) - 1. \quad (2.1)$$

Здесь Φ — нормальная функция распределения; $\sigma_i = \sqrt{p_{ei}^*(1-p_{ei}^*)/l_i}$; $\varepsilon_i = 2,5 \cdot 10^{-2} p_{ei}^*$; p_{ei}^* — частота.

Обозначим $\varepsilon_i = t_i \sigma_i$, причем $t_i = \text{const}$ при $i = \text{I, II, III}$ (этапы исследований). Так как $t_i = \arg \Phi[(1+p_p)/2]$, где $\arg \Phi$ — функция, обратная Φ , а p_p — доверительная вероятность, то $p_p = 0,99$. Используя (2.1), определяем необходимый и достаточный объем выборки N_i на каждом этапе для выполнения [104] установленных ограничений (P, ε_i) при требуемом t_i (2,576):

$$N_i = \frac{(t_i)^2 p_{ei}^* (1 - p_{ei}^*)}{4096 \varepsilon_i}. \quad (2.2)$$

Вычисления по формуле (2.2) показали, что $N_{\text{I}} \geq 50$, $N_{\text{II}} \geq 115$, $N_{\text{III}} > 250$ БИС ЗУ, т. е. установленная точность

определения вероятности $p_{e(i)}$ появления дефектного ЭП обеспечена объемом исследований БИС ЗУ.

В результате обработки экспериментальных данных получены следующие основные статистические характеристики дефектов: вероятность p_{q_e} появления кристалла с q_e дефектными ЭП; вероятность p_{q_d} появления кристалла с q_d дефектными линейками ЭП; вероятность $p_{q_{|e}}$ появления кристалла, в строках или столбцах которого дефектны не более $q_{|e}$ ЭП.

Вероятность появления кристалла с q_e нефункционирующими ЭП для каждого этапа исследований рассчитывали на основе распределения кристаллов по числу q_e . На рис. 2.1 изображены усеченные гистограммы (в отн. ед.) этого распределения для всех этапов исследований. Улучшение технологии производства БИС влияет прежде всего на относительное уменьшение числа БИС с большим числом дефектов и приводит к изменению «веса» БИС ЗУ с разным q_e в общем объеме выпускаемых изделий. Если на начальной стадии производства отмечено значительное преобладание кристаллов с тремя дефектными ЭП, то в дальнейшем (на II этапе) большинство устройств содержат по два-три таких элемента, а на III преобладают кристаллы с одним-двумя дефектными элементами. Отметим, что число частично годных БИС ЗУ, содержащих не более четырех неисправных ЭП, для раз-

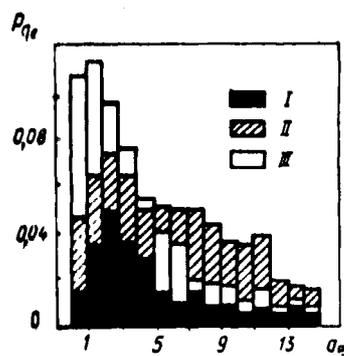


Рис. 2.1. Гистограмма распределения кристаллов 4 Кбит ЗУ по числу дефектных ЭП для трех этапов исследования

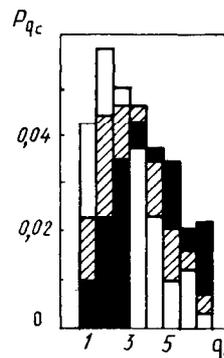


Рис. 2.2. Гистограмма распределения кристаллов 4 Кбит ОЗУ по числу дефектных строк (этапы исследований соответствуют рис. 2.1)

Т а б л и ц а 2.2. Отношение вероятностей появления дефектных строк и вероятностей появления дефектных столбцов

Этап	$q_{дл}$							
	1	2	3	4	5	6	7	8
I	1,40	1,20	1,15	1,10	1,00	1,05	1,00	1,00
II	1,30	1,15	1,20	1,15	1,05	1,00	1,05	1,00
III	1,30	1,25	1,25	1,10	1,10	0,95	1,00	1,00

ных этапов почти эквивалентно отношениям полученных значений ВГ для соответствующих этапов. Вероятность $p_{q_{дл}}$ появления кристаллов с разным числом дефектных строк или столбцов рассчитана с учетом того, что в линейке может быть неисправным разное число ЭП: от 1 до 64.

На рис. 2.2 показаны усеченные гистограммы распределения кристаллов по числу дефектных строк. Результаты анализа показывают, что каждый этап выпуска ЗУ характеризуется разным уровнем дефектности строк. В начальный период чаще появляются устройства с четырьмя дефектными строками, тогда как на стадии установившегося техпроцесса большая часть из числа функционирующих составляют ЗУ с двумя дефектными строками. Следует также отметить, что с уменьшением наиболее вероятного числа дефектных строк на кристалл увеличивается относительная часть устройств, имеющих это число дефектных линеек.

Характер распределения кристаллов по числу дефектных столбцов в целом не отличается от распределения по строкам. Однако установлено, что число кристаллов с несколькими дефектными строками превышает число кристаллов с такой же дефектностью столбцов. В табл. 2.2 приведены отношения общего числа устройств с одинаковыми показателями дефектности строк и дефектности столбцов.

Следует подчеркнуть, что на каждом этапе значительное большинство двойных отказов ЭП в строке расположены рядом, т. е. неработоспособными являются соседние ЭП. Это связано с топологической особенностью пары элементов строки. Указанные соотношения между дефектностью в строках накопителя характерны и для устройства с многоразрядной организацией обращения к памяти.

При определении вероятности $p_{q_{|el}}$ появления кристал-

ла, в линейках ЭП которого дефектны не более $q_{|e|}$ элементов, большой интерес представляют численные характеристики распределения дефектов по строкам накопителя (по сравнению с распределением по столбцам), поскольку они позволяют оценить эффективность использования корректирующих кодов для исправления дефектов. Соответствующая гистограмма изображена на рис. 2.3.

Проанализируем, насколько соответствуют полученные статистические результаты биномиальному распределению, предполагающему статистическую независимость распределения дефектов. В табл. 2.3 даны отношения экспериментальных и расчетных значений p_{q_e} [100, 101]. Видно, что различие уменьшается по мере совершенствования технологии. Кроме того, один из главных выводов заключается в том, что с течением времени изменяется характер распределения дефектов: от группирующегося к статистически независимому. Такой вывод подтверждают результаты исследований дефектности кристаллов

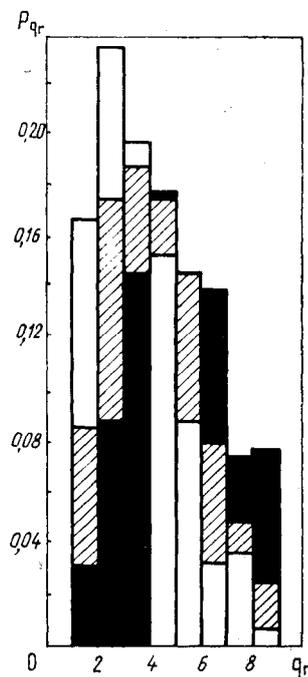


Рис. 2.3. Гистограмма распределения кристаллов 4 Кбит ОЗУ по числу дефектных столбцов (этапы исследований соответствуют рис. 2.1)

Таблица 2.3. Отношение экспериментальных результатов к расчетным (биномиальный закон) для трех этапов производства ИС емкостью 4 Кбит

Этап	q													
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I	$1 \cdot 10^4$	$7 \cdot 10^3$	500	200	200	70	7	5	1,1	0,7	0,1	0,3	0,1	0,7
II	300	80	2,1	0,7	0,2	0,1	0,06	0,04	0,03	0,02	0,02	0,02	0,01	0,01
III	70	10	1,4	0,9	0,2	0,1	0,2	0,1	0,2	0,1	0,1	0,3	0,1	0,5

памяти емкостью 16 Кбит, накопитель которых строится также на базе «сверхинтегрированного» ЭП. На рис. 2.4 показаны соответствующие гистограммы для этапа серийного производства устройства. Штриховые линии соответствуют теоретическим данным, полученным с использованием пуассоновской модели. Для обоих отмеченных типов устройств характерна приблизительно равная вероятность появления кристаллов с одиночными дефектами ЭП и дефектами строк (на III этапе).

Кроме «сверхинтегрированного» ЭП в конструкциях биполярных ОЗУ, в том числе емкостью > 16 Кбит, применяются двухтиристорный ЭП [106]. Такие конструкции отличаются друг от друга тем, что словарные и разряд-

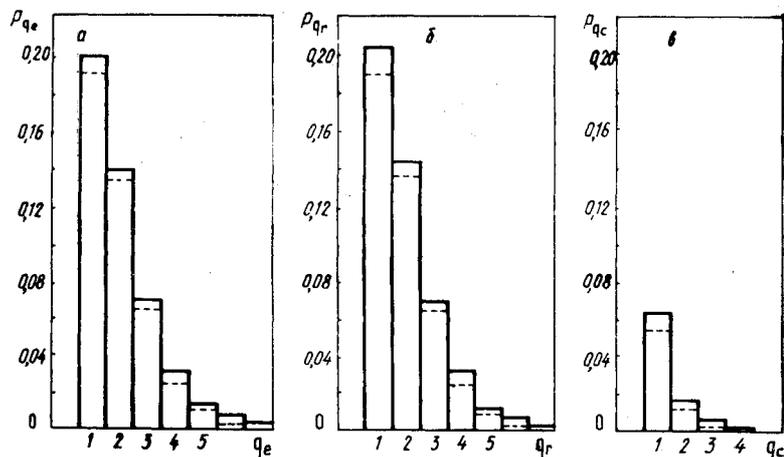


Рис. 2.4. Гистограммы экспериментальных (сплошная линия) и теоретических (штриховая) распределений кристаллов ОЗУ 16 Кбит по числу дефектных ЭП (а), строк (б), столбцов (в)

ные шины выполнены в разных слоях металла. Это главное конструктивное отличие приводит к различным видам отказов функционирования ЭП в накопителе для одних и тех же типов дефектов. В частности, имеется высокая вероятность коротких замыканий в первом и втором слоях металлизации, поскольку в топологии обоих ЭП в рассматриваемых слоях требуются жесткие проектные нормы.

Для «сверхинтегрированного» ЭП замыкания в первом слое металлизации, вызываемые дефектами размером $< 1...2$ мкм, которые происходят в основном между внутренними узлами ЭП и разрядными шинами, приводят к неисправности одного ЭП и с меньшей вероятностью — к неисправности строки. Закоротки во втором слое металлизации вызывают отказ одной или двух строк ЭП в зависимости от месторасположения дефекта.

Для «двухтиристорного» ЭП замыкания в первом слое металлизации приводят к отказу одной или двух строк и с меньшей вероятностью — к отказу ЭП. Закоротки во втором слое металлизации всегда вызывают отказ двух столбцов, что требует как минимум двух резервных линий. Более крупные дефекты, размером > 4 мкм, приводящие к разрывам металлизированных дорожек первого и второго слоев, также по-разному влияют на тип отказа в накопителе. Например, для «сверхинтегрированного» ЭП дефект в первом слое металлизации вызывает отказ столбца и с меньшей вероятностью — отказ ЭП, дефект во втором слое приводит к отказу строки. Для «двухтиристорного» ЭП характерно обратное: дефект, вызывающий разрыв металлизированной дорожки первого слоя, приводит к отказу строки, а разрыв металлизированной дорожки второго слоя — к отказу столбца.

Особо следует отметить одновременные отказы столбцов и строк, вызываемые закороткой между шинами первого и второго слоев металлизации. Причиной таких закороток может быть дефект любого размера, приводящий к отсутствию диэлектрика между металлизированными шинами первого и второго слоев. Как правило, такие совместные отказы строк и столбцов трудноустраняемы с помощью резервных элементов.

Результаты анализа соответствия отказов в накопителе ВИС ЗУ наблюдаемым типам дефектов для рассматриваемых топологий ЭП приведены в табл. 2.4, 2.5. Исследования проводили для 10 наиболее вероятных типов

Таблица 2.4. Типы отказов накопителя при использовании «сверхинтегрированного» ЭП

Тип дефекта	Тип отказа			Способ нейтрализации		
	ЭП	строка	столбец	резервирование		кодирование
				строка	столбец	
Закоротка в слое первого металла	+	+		+		
Разрыв шины первого металла	+		+		+	
Закоротка в слое второго металла		+, ++		+		
Разрыв шины второго металла		+		+		
Отсутствие контакта между первым и вторым слоями металла (не вскрыто окно)	++			+		+
Закоротка между первым и вторым слоями металла (лишнее окно)	+	+		+		
Закоротка в скрытом слое		+		+		
Дефект разделения (не разделены активные структуры)	+			+	+	+
Отсутствие контакта (не вскрыто окно в базовом оксиде)	+			+	+	+
Утечка в активной структуре ЭП	+			+	+	+

дефектов, возникающих в процессе производства биполярных БИС ЗУ по технологии «Изопланар-II». При этом предполагали, что дефекты могут быть трех видов для каждой технологической операции (фотолитографии): точечные отверстия, лишние и отсутствующие элементы рисунка. Для каждого из типов дефектов с учетом топологических проектных норм и особенностей технологии найдены оценки их воздействия на функционирование ЭП, строк и столбцов ЭП. Появление отказа, вызванного данным типом дефекта, в табл. 2.4, 2.5 отмечено знаком «+», одновременный отказ двух соседних элементов — знаком «++». Знаком «+, ++» обозначено, что данный тип дефекта может приводить к отказу отдельного элемента, соседних ЭП, что определяется местоположением дефекта.

Учитывая, что неисправности отдельных ЭП могут быть устранены посредством резервных строк и резервных столбцов, а также с помощью корректирующих ко-

Таблица 2.5. Типы отказов накопителя в случае применения двухтисторного ЭП

Тип дефекта	Тип отказа			Способ нейтрализации		
	ЭП	строка	столбец	резервирование		кодирование
				строка	столбец	
Закоротка в слое первого металла	+	+, ++		+		
Разрыв шины первого металла	+	+		+		
Закоротка в слое второго металла			++		+	
Разрыв шины второго металла			+		+	
Отсутствие контакта между первым и вторым слоями металла	+			+	+	+
Закоротка между первым и вторым слоями металла	+		+		+	
Закоротка в скрытом слое	+			+	+	+
Дефект разделения	+			+	+	+
Отсутствие контакта	+			+	+	+
Утечка в активной структуре ЭП	+			+	+	+

дов, при выборе метода введения избыточности или состава резерва следует принимать во внимание соотношение между отказами строк и столбцов. Например, при «сверхинтегрированном» ЭП для достижения максимально возможного ВГ необходимо отдать предпочтение резервированию строк, а для двухтисторного ЭП — столбцов или, что еще предпочтительней, — смешанному резервированию столбцов и строк. Отсюда следует одно важное преимущество конструкции (топологии) «сверхинтегрированного» ЭП: такую конструкцию ЭП можно эффективно применять как с одnorазрядными, так и с многоразрядными словами, поскольку для микросхем памяти с многоразрядными словами предпочтительным способом резервирования является резервирование строк. В этом случае упрощаются конструктивные решения, уменьшается число вводимых резервных элементов, испытания кристаллов оказываются более простыми.

Проведенный анализ ЭП позволил реализовать новую конструкцию (топологию) «двухтисторного» ЭП, максимально приближенного к конструкции «сверхинтегрированного» ЭП, т. е. словарные шины можно вы-

Таблица 2.6. Типы отказов накопителя при использовании модифицированного и «двухтисторного» ЭП и возможные способы их устранения

Тип дефекта	Тип отказа			Способ нейтрализации		
	ЭП	строка	столбец	резервирование		кодирование
				строка	столбец	
Закоротка в слое первого металла	+			+	+	+
Разрыв шины первого металла	+		+		+	
Закоротка в слое второго металла		+		+		
Разрыв шины второго металла		+		+		
Отсутствие контакта между первым и вторым слоями металла	+			+	+	+
Закоротка между первым и вторым слоями металла	+	+		+		
Закоротка в скрытом слое	+			+	+	+
Дефекты разделения	+			+	+	+
Отсутствие контакта	+			+	+	+
Утечка в активной структуре ЭП	+			+	+	+

полнить во втором слое металлизации, а разрядные — в первом. Площадь ЭП при этом не изменяется. Такое топологическое решение позволяет устранить двойные отказы соседних строк (ЭП строки) и столбцов, которые были вызваны закоротками в первом и втором слоях металлизации. Кроме того, значительно уменьшается число столбцовых отказов, которые в первом варианте

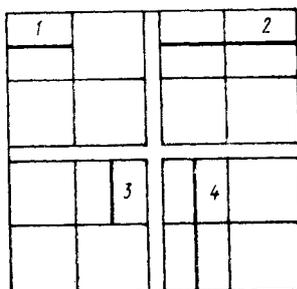


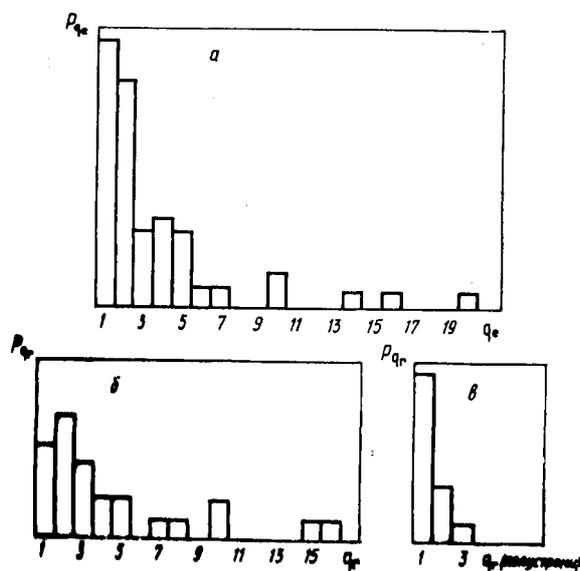
Рис. 2.5. Условное разбиение накопителя МОП ЗУ 256 Кбит с изображением типов дефектов: 1, 2 — дефекты полустроки и строки соответственно; 3, 4 — дефекты полустолбцов и столбцов соответственно

ЗУ возникают при разрывах РШ, выполненных во втором слое металлизации.

Результаты анализа предложенной конструкции «двухтисторного» ЭП на соответствие отказов наблюдаемым дефектам и возможные способы их устранения даны в табл. 2.6.

Для ИС ПЗУ, программируемых с помощью маски фотошаблона, практически не пригодны все существующие для БИС ОЗУ методы резервирования путем замены дефектных элементов на резервные, так как требуют 100% резерва. Наиболее приемлемым для построения избыточных ПЗУ является использование корректирующих кодов. Однако в данном случае возможна коррекция отказов отдельных ЭП, столбцов и невозможна коррекция отказавших строк, поскольку отказ строки приводит к отказу всех разрядов считываемого слова. Поэтому необходимо применять в ЗУ с корректирующими кодами такие конструкции ЭП, которые бы снижали вероятность отказов строк в накопителе.

При изучении статистических характеристик распределения дефектов на МОП-кристаллах ЗУ 256 Кбит вследствие большой информационной емкости и высокой степени интеграции последнего кристалл (накопитель)



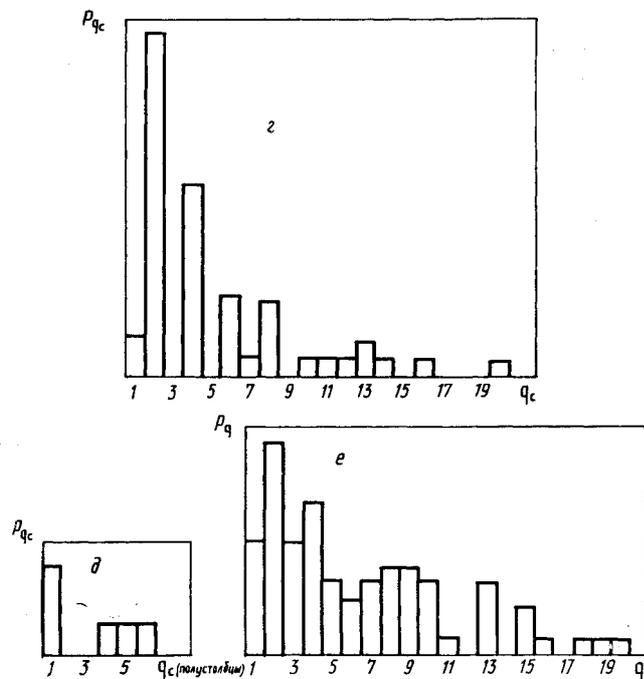


Рис. 2.6. Гистограммы распределения кристаллов ДОЗУ 256 Кбит по числу дефектных одиночных ЭП (а), строк (б), полустрок (в), столбцов (г), полустолбцов (д), общему числу дефектов (е)

условно разделяли на четыре равные части (рис. 2.5); статистические данные набирали для каждого из четырех поднакопителей. Примеры типов отмечаемых отказов показаны на том же рисунке. Обработка полученных результатов позволила построить распределения кристаллов по типу дефектов (рис. 2.6) и показать, что они характерны для начала условно принятого нами II этапа: распределение дефектов сильно отличается от биномиального.

2.1.2. Характеристики отказов

Получить реальные статистические данные о характере и интенсивности отказов в кристаллах ЗУ в процессе их работы очень трудно. Поэтому основными источниками такой информации являются электро- и

термотренировка (ЭТТ) приборов [5], а также имитация на ЭВМ статистических испытаний ЗУ [33].

Параллельно с исследованиями дефектности кристаллов ЗУ емкостью 4 Кбит, основные результаты которых описаны в подпараграфе 2.1.1, выборочные приборы, полностью прошедшие функциональный контроль на ВГ и имеющие единичные отказы ЭП и линеек ЭП, подвергали ЭТТ. На каждом из трех (I, II, III) этапов эксперимента

Таблица 2.7. Характер отказов в БИС ЗУ

Тип отказа	Этап		
	I	II	III
Одиночный	45,7	55,0	57,5
Строчно-столбцовый	37,5	35,0	35,0
«Фатальный»	15,0	10,9	7,5

исследовали по 40 БИС, взятых произвольно из разных партий. В табл. 2.7 приведены обобщенные результаты (в процентах). Их анализ показывает, что интенсивность отказов линеек ЭП на всех этапах приблизительно одинакова, изменяется лишь соотношение между отказами одиночных ЭП и полным отказом кристалла («фатальный» дефект). Следует отметить, что во всех случаях полный отказ наступал в устройствах, имевших несколько рядом расположенных дефектных (в нормальных условиях) линеек ЭП. В среднем в 70...80% случаев появления строчно-столбцовых отказов эти линейки имели несколько неисправных ЭП. Наиболее часто, что особенно характерно для I этапа, отказывали крайние столбцы накопителя.

Установлено, что в строках с одним дефектным ЭП новые отказы, как правило, не возникают. Приблизительно 60% отказов одиночных ЭП представляют собой сбои и при повторных испытаниях (в тех же нагрузочных условиях) обнаружены не были. Числовые характеристики и типы возникающих отказов (которые мы условились относить к категории ранних) в исследованных устройствах незначительно отличаются от соответствующих характеристик отказов, свойственных другим типам БИС ЗУ. Это подтверждает сопоставление полученных результатов с изложенными в работах [5, 21, 33, 34]. Оно яв-

ляется свидетельством зависимости характера дефектов и интенсивности отказов от относительной площади на кристалле, занятой основными блоками ЗУ [31]. Последнее положено в основу имитационного моделирования отказов в ДОЗУ, проведенного с помощью ЭВМ.

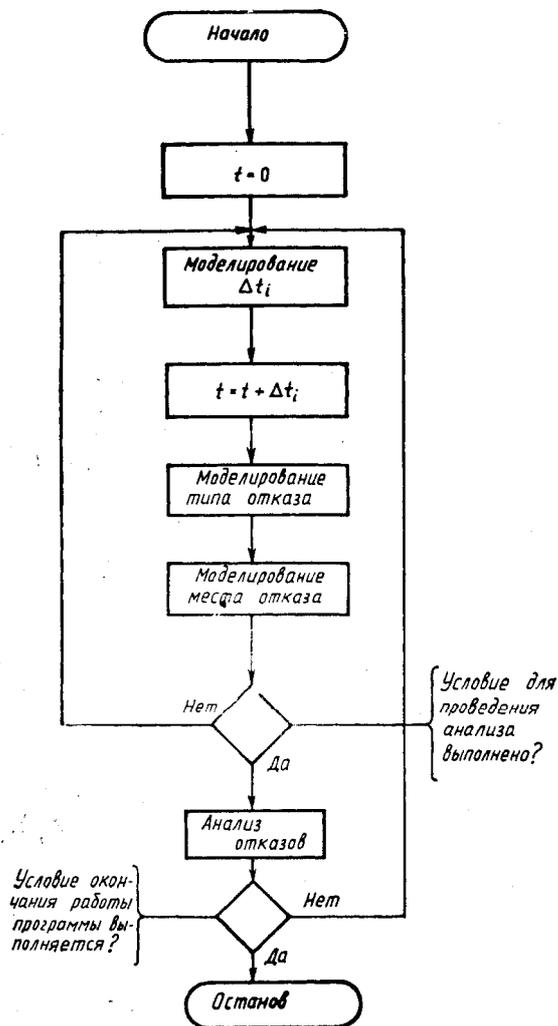


Рис. 2.7. Алгоритм моделирования отказов

Таблица 2.8. Удельный вес СБИС, %, у которых число отказов ЭП в модуле не превышает заданного

Время наработки, $\times 10^3$, ч	Число модулей в строке	Число отказов в модуле			
		0	1	2	3
29,5	1	82	15	1	
	2	82	16	0	
	4	82	16	0	
	8	82	16	0	
50,2	1	67	23	2	
	2	67	25	0	
	4	67	25	0	
	8	67	25	0	
67,2	1	57	28	4	
	2	57	30	2	
	4	57	32	0	
	8	57	32	0	
87,4	1	50	27	8	
	2	50	30	5	
	4	50	33	2	
	8	50	34	1	
107,6	1	41	32	9	
	2	41	35	6	
	4	41	39	2	
	8	41	39	2	
128,7	1	35	32	12	
	2	35	35	9	
	4	35	40	4	
	8	35	41	3	
148,6	1	31	31	14	2
	2	31	35	11	1
	4	31	41	6	0
	8	31	44	3	0
171,2	1	26	30	17	1
	2	26	35	13	0
	4	26	41	7	0
	8	26	45	3	0
192,0	1	24	29	16	1
	2	24	34	12	0
	4	24	39	7	0
	8	24	43	3	0
213,0	1	21	27	20	1
	2	21	32	16	0
	4	21	37	11	0
	8	21	43	5	0

Метод основан на машинном моделировании деградации ЗУ вплоть до его отказа. Многократное повторение данного процесса обеспечивает получение статистических характеристик распределения отказов и в итоге значений

показателей надежности СБИС ЗУ. При статистическом моделировании необходимо хранить в памяти моделирующей ЭВМ информацию о числе и номерах искаженных при отказах адресов строк, столбцов и отдельных ЭП. Представление в памяти моделирующей ЭВМ такой информации об отказах составляет суть модели отказов. Требуемая для размещения и сохранения указанной информации емкость ЭВМ прежде всего зависит от емкости моделируемой СБИС ЗУ и числа накопленных отказов. Поэтому все виды моделей отказов СБИС памяти оценивают по требуемой емкости ЭВМ [33]. В данном случае используют модель с запоминанием адресов дефектных элементов и соответственно адресов отказавших ЭП в накопителе СБИС. Достоинство такого подхода состоит в возможности моделирования (с помощью метода Монте-Карло) разных видов отказов при относительной его простоте.

Исходным при моделировании является предположение о том, что в момент времени $t=0$ ни одна из исследуемых СБИС ЗУ (информационная емкость каждого из 100 кристаллов ДОЗУ составляет 64 Кбит) отказов не содержит. Алгоритм моделирования показан на рис. 2.7. После запуска программы, для реализации которой потребовалась суммарная емкость моделирующей ЭВМ 8 Мбайт, моделируется время между отказами (Δt_i), распределенное по экспоненциальному закону при интенсивности отказов в одной СБИС $\lambda=1 \cdot 10^{-7}$ ч⁻¹. Далее моделируется тип отказа: одного ЭП, строки, столбца, поднакопителя (в многорядном устройстве), всей СБИС (рис. 2.7).

Таблица 2.9. Удельный вес кристаллов, %, имеющих в любой строке не более одного или двух дефектных модулей

Число отказавших модулей	Число модулей в строке	Текущее время, $\times 10^3$, ч									
		29,6	50,2	67,2	87,4	107,6	128,7	148,6	171,2	192,0	213,0
0	2, 4, 8	82	67	57	50	41	35	31	26	24	21
1	2	15	24	32	33	37	39	39	40	38	37
	4	15	23	29	29	34	36	36	36	34	32
	8	15	23	29	28	33	34	33	34	32	30
≥ 2	2	3	9	11	17	22	26	30	34	38	42
	4	3	10	14	21	25	29	33	38	42	47
	8	3	10	14	22	26	31	36	40	44	49

Т а б л и ц а 2.10. Удельный вес кристаллов, %, у которых число отказов в информационном слове данных не превышает заданного

Время нара- ботки, $\times 10^3$, ч	Число моду- лей в строке	Число отказов в информационном слове									
		0	1	2	3	4	5	6	7	8	
29,6	1	82	18								
	2	82	16	2							
	4	82	16			2					
	8	82	16							2	
50,2	1	67	33								
	2	67	26	7							
	4	67	25	2		6					
	8	67	25	2						6	
67,2	1	57	43								
	2	57	34	9							
	4	57	33	3		7					
	8	57	33	3						7	
87,4	1	50	50								
	2	50	37	13							
	4	50	36	3		11	1				
	8	50	36	3						11	
107,6	1	41	59								
	2	41	43	16							
	4	41	42	4		10	3				
	8	41	42	4						8	
128,7	1	35	65								
	2	35	46	19							
	4	35	45	4		16					
	8	35	45	4					2	14	
148,6	1	31	69								
	2	31	49	20							
	4	31	48	4		17					
	8	31	48	4						17	
171,0	1	26	74								
	2	26	52	27							
	4	26	49	7		18					
	8	26	49	7						18	
192,0	1	24	76								
	2	24	44	27							
	4	24	47	6		23					
	8	24	47	6						23	
213,0	1	21	79								
	2	21	50	29							
	4	21	48	7	2	22					
	8	21	48	7						24	

Моделирование завершается определением места отказа, т. е. координат нефункционирующих ЭП в матрице накопителя. Условием окончания работы является достиже-

Таблица 2.11. Удельный вес кристаллов по числу дефектных строк и столбцов

Время наработки, $\times 10^3$, ч	Число строк с отказами						Число столбцов с отказами					
	0	1	2	3	4	≥ 8	1	2	3	4	5	≥ 8
29,6	82	10	1			7	14	2				2
50,2	67	17	2			14	21	4				8
67,2	57	18	6			19	22	9	1			11
87,4	50	18	9	1		22	20	12	2	1		15
107,6	41	23	9	2		25	24	11	4	1	1	18
148,6	31	20	12	5		31	20	17	5	3	2	22
174,0	26	16	13	5		39	16	20	7	4	1	26
192,0	24	13	15	5	4	39	12	22	7	4	1	30
213,0	21	12	13	4	5	45	12	19	11	5		32

ние определенного текущего времени. Полученные данные приведены в табл. 2.8—2.11. В результате их анализа можно сделать следующие основные выводы.

1. При времени наработки ЗУ приблизительно до 60 тыс. ч почти при любой организации накопителя в модуле возникает не более одного отказа. Кодирование информации в устройствах данного типа позволяет нейтрализовать ошибки кратностью единица почти во всех кристаллах при длине информационного слова в 64 или 32 бита (в строке накопителя размещается четыре или восемь слов) до времени наработки ≈ 50 тыс. ч (табл. 2.8). При этом, как и для производственных неисправностей, для эксплуатационных отказов ЭП кратностью более единицы характерно преобладание парных отказов.

2. Уменьшение длины информационной части кодового слова (k) до восьми разрядов почти не изменяет числа ошибок в слове (см. табл. 2.8, 2.10; в последней число модулей эквивалентно k).

3. Для коррекции модуля ошибок могут быть применены соответствующие модульные коды [19, 89, 90] любой длины, поскольку эффективность их использования при варьировании длины модуля изменяется незначительно (см. табл. 2.9).

Таблица 2.11. Удельный вес кристаллов по числу дефектных строк и столбцов

Время наработки, $\times 10^3$, ч	Число строк с отказами						Число столбцов с отказами					
	0	1	2	3	4	≥ 8	1	2	3	4	5	≥ 8
29,6	82	10	1			7	14	2				2
50,2	67	17	2			14	21	4				8
67,2	57	18	6			19	22	9	1			11
87,4	50	18	9	1		22	20	12	2	1		15
107,6	41	23	9	2		25	24	11	4	1	1	18
148,6	31	20	12	5		31	20	17	5	3	2	22
174,0	26	16	13	5		39	16	20	7	4	1	26
192,0	24	13	15	5	4	39	12	22	7	4	1	30
213,0	21	12	13	4	5	45	12	19	11	5		32

ние определенного текущего времени. Полученные данные приведены в табл. 2.8—2.11. В результате их анализа можно сделать следующие основные выводы.

1. При времени наработки ЗУ приблизительно до 60 тыс. ч почти при любой организации накопителя в модуле возникает не более одного отказа. Кодирование информации в устройствах данного типа позволяет нейтрализовать ошибки кратностью единица почти во всех кристаллах при длине информационного слова в 64 или 32 бита (в строке накопителя размещается четыре или восемь слов) до времени наработки ≈ 50 тыс. ч (табл. 2.8). При этом, как и для производственных неисправностей, для эксплуатационных отказов ЭП кратностью более единицы характерно преобладание парных отказов.

2. Уменьшение длины информационной части кодового слова (k) до восьми разрядов почти не изменяет числа ошибок в слове (см. табл. 2.8, 2.10; в последней число модулей эквивалентно k).

3. Для коррекции модуля ошибок могут быть применены соответствующие модульные коды [19, 89, 90] любой длины, поскольку эффективность их использования при варьировании длины модуля изменяется незначительно (см. табл. 2.9).

2.2. АНАЛИТИЧЕСКИЕ МОДЕЛИ РАСЧЕТА И ОПТИМИЗАЦИИ ВГ МИКРОСХЕМ ПАМЯТИ С ИЗБЫТОЧНОСТЬЮ

2.2.1. Теоретические основы статистических моделей ВГ

После статьи Б. Т. Мэрфи [107], опубликованной в 1964 г., появилось много работ по статистическим моделям для прогнозирующего расчета ВГ кристаллов памяти по известным характеристикам распределения дефектов. Простые теоретические рассуждения показывают, что в наиболее тривиальном случае ВГ пропорционален экспоненте, у которой показатель степени представляет собой среднее число неисправностей на кристалл. Зависимость ВГ ИС (БИС и СБИС) от площади кристалла исследована детально. На основе распределений плотности дефектов предложены различные теории и выведены аналитические выражения, соответствующие некоторым статистическим данным [5, 23—25, 29, 108—110 и др.]. В качестве исходного допущения теорий, лежащих в основе моделей ВГ, принято, что в начале производственного процесса изготовления ИС ни один кристалл, ни одна схема не содержат неисправностей.

Все существующие модели можно разделить на два класса в зависимости от того, каким принимается характер распределения дефектов: статистически независимым или с признаками группирования. В первом случае модели основываются на биномиальном или пуассоновском распределении, во втором — используется ООБР. Для дальнейшего рассмотрения введем ряд параметров. Число дефектов на кристалл есть целочисленная случайная функция. Вероятность появления на кристалле q дефектов обозначим через $P(q)$, а ожидаемое или среднее число дефектов на кристалл — через \bar{q} . Производящую функцию вероятности обозначим через $G(z)$. Она связана с величиной Y (ВГ) следующим образом: $Y = G(z=0)$. Математическое выражение для расчета указанных величин имеет вид: для пуассоновского распределения

$$P(q) = \exp(-\bar{q}) (\bar{q})^q / q!$$

$$G(z) = \exp[-\bar{q}(z-1)],$$

$$Y = \exp(-\bar{q}),$$

для биномиального

$$P(q) = \binom{N}{q} (\bar{q}/N)^q (1 - \bar{q}/N)^{N-q},$$

$$G(z) = [1 + (z - 1)\bar{q}/N]^N, \quad Y = (1 - \bar{q}/N)^N,$$

для ООБР

$$P(q) = \Gamma(\alpha + q)(\bar{q}/\alpha)^q / [q! \Gamma(\alpha)(1 + \bar{q}/\alpha)^{q+\alpha}],$$

$$G(z) = [1 + (1 - z)\bar{q}/\alpha]^{-\alpha},$$

$$Y = (1 + \bar{q}/\alpha)^{-\alpha},$$

где N — общее число элементов на кристалле; $\Gamma(\dots)$ — гамма-функция; α — некоторый параметр, позволяющий учесть группирование дефектов.

При использовании любой из перечисленных моделей следует иметь в виду, что понимают под величиной q . Это может быть число физических дефектов или число появившихся (в результате влияния дефектов) отказов ЭП. Первый подход предусматривает или установление числа дефектов (разных типов) с помощью визуального контроля и специальных тестов, или контроль функционирования только ЭП накопителя с последующим пересчетом отказов ЭП к дефектам (например, один дефект может вызвать отказ одного ЭП, одной или нескольких линеек ЭП, привести к отказу всего кристалла и т. д.). Во втором случае весь набор нефункционирующих ЭП накопителя не идентифицируется с какими-то одиночными дефектами кристалла, а может лишь рассматриваться как некоторое абстрактное множество дефектных ЭП без установления причинно-следственной связи их появления. Очевидно, что при втором подходе параметры распределения q , α существенно изменяются по сравнению с их значениями в первом случае. Преимущества второго подхода связаны со сравнительной простотой определения и подсчета дефектных (отказавших) ЭП, а также возможностью нахождения степени группирования неисправностей не только по площади кристалла, но и в отдельных строках или столбцах накопителя, что очень важно при расчете объема аппаратной избыточности кодовых методов повышения ВГ и надежности ИС. Кроме того, зная точное число отказавших ЭП на кристалле, можно перей-

ти от величины $\bar{q}(q_e)$ к вероятности p_e появления дефектного ЭП. Нередко используют также вероятности отказа столбца p_c и строки p_r накопителя.

2.2.2. Модель распределения группирующихся дефектов в строках накопителя

Число дефектных (отказавших) ЭП в строке накопителя является величиной случайной. Пусть η_m — число дефектных элементов в строке (длиной N_c разрядов), которая взята из множества строк, содержащих m и более дефектных элементов. Тогда для любой фиксированной емкости БИС (фиксированного N_c) существует совокупность случайных величин $\eta_0, \eta_1, \dots, \eta_{N_c}$. Вероятность того, что случайная величина η_m принимает значение q ($m \leq q \leq N_c$), обозначим через P_{qmr} . Очевидно, что $\sum_{q=m}^{N_c} P_{qmr} = 1$, а P_{q0r} (для упрощения P_{qr}) есть вероятность появления строки с q ($0 \leq q \leq N_c$) дефектами. В соответствии с этим вероятность P_{qmr} можно вычислить, используя следующее соотношение:

$$P_{qmr} = P_{qr} / \sum_{q=m}^{N_c} P_{qr}. \quad (2.3)$$

Математическое ожидание μ_m случайной величины η_m (в дальнейшем математическое ожидание порядка m) определяется выражением

$$\mu_m = \sum_{q=m}^{N_c} q P_{qmr},$$

или, учитывая (2.3),

$$\mu_m = \sum_{q=m}^{N_c} q P_{qr} / \sum_{q=m}^{N_c} P_{qr}. \quad (2.4)$$

Оценим величину математического ожидания при $m=0$. Нетрудно убедиться, что в (2.4)

$$\sum_{q=0}^{N_c} P_{qr} = 1 \quad \text{и} \quad \mu_0 = \sum_{q=0}^{N_c} q P_{qr}.$$

Числовое значение P_{qr} зависит от отношения числа строк N_{rq} с q дефектами к общему числу строк в кристаллах анализируемой выборки $N_{\Sigma r}$ при $N_{\Sigma r} = NC/N_c$, где N — общее число кристаллов; C — информационная емкость кристалла, бит. Учитывая, что сумма $\sum_{q=0}^{N_c} N_{rq}$ эквивалентна числу дефектных ЭП в выборке, а NC — общему числу ЭП, математическое ожидание нулевого порядка будет определяться вероятностью p_e появления дефектного ЭП (при достаточно большом числе кристаллов в анализируемой выборке) и длиной строки N_c , т. е. $\mu_0 = kp_e$. Нормированное длиной строки N_c математическое ожидание нулевого порядка (обозначим его через μ_0) будет соответствовать p_e . Учитывая это, а также тот факт, что

$$\sum_{q=0}^{N_c} qP_{qr} = \sum_{q=1}^{N_c} qP_{qr},$$

перепишем (2.4) для случая $m=1$:

$$\mu_1 = \mu_0 / \sum_{q=1}^{N_c} P_{qr} = N_c p_e / \sum_{q=1}^{N_c} P_{qr}. \quad (2.5)$$

Так как $\sum_{q=1}^{N_c} P_{qr}$ — вероятность (обозначим ее через $P_{др}$) появления дефектной строки в накопителе, выражение (2.5) примет вид

$$\mu_1 = p_e / (P_{др} / N_c).$$

Чтобы определить μ_1 , предположим, что дефектные ЭП распределены случайно и независимо, а $q/N_c \ll 1$. Последнее ограничение будет выполняться в том случае, если в строке накопителя с матричной организацией появляются не более одного-двух дефектных элементов. С учетом этого $(P_{др}/N_c) \rightarrow p_e$, а $\mu_1 \rightarrow 1$, т. е. нормированное математическое ожидание первого порядка при случайном и независимом характере распределения дефектов будет определяться лишь длиной строки. Поскольку имеется определенная аналогия между каналами связи и устройствами памяти [19, 34], для характеристики распределения дефектов целесообразно ввести, как и для каналов связи [112], параметр группирования дефектов α , изме-

няющийся от нуля до единицы. При независимом и случайном распределении дефектов $\alpha = 0$. В противном случае, когда почти все ЭП накопителя дефектны, $\alpha = 1$.

Если сопоставить свойства математического ожидания μ_m и его нормированного значения κ_m с соответствующими параметрами, характеризующими каналы связи, то становится очевидной их адекватность: в первом случае нормированное математическое ожидание нулевого порядка κ_0 выражает собой плотность дефектов p_e , во втором — плотность ошибок. Нормированное математическое ожидание первого порядка κ_1 в области $N_c p_e \ll 1$ (длина строки может быть отождествлена с фиксированной длиной n передаваемой по каналу комбинации) определяется лишь длиной строки $N_c(n)$.

В соответствии с работой [113] плотность дефектов порядка m может быть рассчитана по формуле

$$\kappa_m = (m/N_c)^{1-\alpha}. \quad (2.6)$$

С учетом (2.6) нормированное математическое ожидание первого порядка может быть выражено в виде

$$\kappa_1 = (1/N_c)^{1-\alpha}. \quad (2.7)$$

Таким образом, нормированное математическое ожидание определяет плотность дефектов ЭП накопителя и зависит от двух параметров: длины строки N_c и степени группирования дефектов α . Числовое значение α для конкретного типа БИС можно найти на основе экспериментальных данных. В рассматриваемом случае наиболее простой (приближенный) метод вычисления α заключается в сопоставлении общего числа дефектных элементов с дефектностью строк (столбцов) накопителя. В частности, для I—III этапов эксперимента, описанного в подпараграфе 2.1.1, значения α составили соответственно 0,33, 0,26, 0,23.

Используя (2.3) — (2.7), определяем вероятности появления на кристалле некоторого числа дефектных строк. С этой целью соотношения для вычисления математического ожидания (2.4) перепишем следующим образом:

$$\mu_m = \left(mP_{mr} + \sum_{q=m+1}^{N_c} qP_{qr} \right) / \sum_{q=m}^{N_c} P_{qr}.$$

Отсюда вероятность P_{mr} появления в накопителе БИС строки с m дефектами ЭП

$$P_{mr} = \left(\mu_m \sum_{q=m}^{N_c} P_{qr} - \sum_{q=m+1}^{N_c} qP_{qr} \right) / m. \quad (2.8)$$

Так как $\sum_{q=m}^{N_c} P_{qr} = P'_{mr}$ — вероятность появления строки с m и более дефектами и

$$\sum_{q=m+1}^{N_c} qP_{qr} = \mu_{(m+1)} P'_{(m+1)r},$$

$$P'_{(m+1)r} = P'_{mr} - P_{mr}; \quad P'_{mr} = 1 - \sum_{q=0}^{m-1} P_{qr},$$

то, используя (2.8), получаем выражение вероятности P_{mr} через математическое ожидание:

$$P_{mr} = (\mu_{m+1} - \mu_m) \left(1 - \sum_{q=0}^{m-1} P_{qr} \right) / (\mu_{m+1} - m). \quad (2.9)$$

В соответствии с (2.9) вероятность появления строки без дефектов

$$P_{0r} = 1 - p_e (N_c)^{1-\alpha}, \quad (2.10)$$

с дефектами

$$P_{dr} = p_e (N_c)^{1-\alpha}. \quad (2.11)$$

Отношение экспериментальных и теоретических (модель (2.9) и биномиальный закон $P_{m\delta} = C_{N_c}^m (p_e)^m (1 - p_e)^{N_c - m}$, где $C_{N_c}^m$ — число сочетаний) значений распределения строк по числу m дефектных ЭП приведено в табл. 2.12 (совпадение теоретических и экспериментальных результатов соответствует единице). В качестве экспериментальных данных использовали распределения дефектных элементов в накопителе биполярных БИС ЗУ информационной емкостью 4 Кбит [100].

Определяем, используя (2.9) — (2.11), вероятность P_{mc} выхода кристалла (с матричной организацией накопителя), в котором дефектны не более m строк, полагая, что имеющие дефекты и бездефектные строки расположены

Таблица 2.12. Отношение экспериментальных и теоретических значений распределения кристаллов по числу дефектных строк

Закон распределения	m					
	0	1	2	3	4	5
Модель	1,050	1,150	1,060	0,940	0,140	0,022
Биномиальный закон	1,650	0,250	0,050	0,040	0,006	0,005
Отношение B	0,960	0,800	0,980	1,040	1,150	1,340

независимо от взаимного местоположения на кристалле:

$$P_{mc} = C_{N_c}^m (P_{др})^m (P_{ог})^{N_c - m}.$$

Применим предельное свойство биномиального распределения [105]:

$$P_{mc} = (P_{др} N_c)^m \exp(-P_{др} N_c) / m!. \quad (2.12)$$

Отношение (B) полученных экспериментально и рассчитанных в соответствии с выражением (2.12) значений распределения кристаллов по числу m дефектных строк видно из табл. 2.12 (приведены начальные, наиболее важные значения распределения).

Вероятность $P_{q_{|el}}$ появления кристалла, в строках накопителя которого дефектны не более $q_{e.}$ ЭП, вычисляем по формуле

$$P_{q_{|el}} = \left(\sum_{m=0}^{q_{|el}} P_{mr} \right)^{N_c}. \quad (2.13)$$

В выражении (2.13) значение P_m определено по (2.9). Рассчитанные вероятности $P_{q_{|el}=1} = 1$, $P_{q_{|el}=2}$ отличаются от экспериментальных данных не более чем на 10%.

Описанная модель распределения дефектов в накопителе БИС ЗУ учитывает группирование дефектных элементов по строкам и хорошо согласуется с реальным распределением. Она позволяет с единой позиции сопоставить эффективность использования резервных ЭП (например, строк накопителя), с одной стороны, и корректирующих кодов, с другой, соответственно по выражениям (2.12), (2.13). Для расчета ВГ избыточных БИС ЗУ на основе этих соотношений можно вводить поправки, выз-

ванные некоторым увеличением площади базового (безы-
збыточного) кристалла [144] и, как следствие, измене-
нием параметров p_c , α .

2.2.3. Модель распределения группирующихся дефектов по кристаллу

Все известные подходы по моделированию рас-
пределения группирующихся дефектов (кластеров) при-
водят к одинаковому выражению для вычисления ВГ (Y)
ИС (см. подпараграф 2.2.1):

$$Y = (1 + \bar{q}/\alpha)^{-\alpha}, \quad (2.14)$$

где \bar{q} — среднее число дефектов; α — параметр группи-
рования.

Для моделирования дефектности ЗУ, содержащих
избыточность, необходимо определять вероятности $P(q, S_{\Pi})$
нахождения любого числа отказов на любом участке
площади S_{Π} кристалла ЗУ. Соотношение (2.14) не позво-
ляет провести такие вычисления, так как является част-
ной формой ООБР. Последнее основано на предположе-
нии о влиянии дефектов, находящихся в некоторой об-
ласти кристалла, на вероятность возникновения дефек-
тов в соседней области. Это влияние вводим следующим
образом. Пусть q — случайная величина, characterizing
число дефектов в области кристалла. Обозначим
вероятность возникновения q дефектов как $P(q, S_{\Pi})$. За-
дадим для S_{Π} приращение ΔS_{Π} . Тогда выражение для
вероятности $P(q, S_{\Pi} + \Delta S_{\Pi})$ можно записать в общем ви-
де:

$$P(q, S_{\Pi} + \Delta S_{\Pi}) = P(q, S_{\Pi}; 0, \Delta S_{\Pi}) + \quad (2.15)$$

$$+ P(q - 1, S_{\Pi}; 1, \Delta S_{\Pi}) + \sum_{i=2}^{\infty} P(q - i, S_{\Pi}; i, \Delta S_{\Pi}).$$

Если предположить, что площадь ΔS_{Π} достаточно мала,
то вероятность возникновения в ΔS_{Π} двух и более дефек-
тов также мала и в пределе ею можно пренебречь. Тогда
(2.15) упрощается:

$$P(q, S_{\Pi} + \Delta S_{\Pi}) \approx P(q, S_{\Pi}; 0, \Delta S_{\Pi}) + P(q - 1, S_{\Pi}; 1, \Delta S_{\Pi}). \quad (2.16)$$

Используя понятие условной вероятности, правую часть (2.16) можно записать следующим образом:

$$P(q, S_{\Pi} + \Delta S_{\Pi}) = P(q, S_{\Pi}) P(0, \Delta S_{\Pi}/q, S_{\Pi}) + \\ + P(q-1, S_{\Pi}) P(1, \Delta S_{\Pi}/q-1, S_{\Pi}). \quad (2.17)$$

При независимом характере возникновения дефектов условные вероятности в (2.17) равны безусловным и

$$P(q, S_{\Pi} + \Delta S_{\Pi}) = P(q, S_{\Pi}) P(0, \Delta S_{\Pi}) + \\ + P(q-1, S_{\Pi}) P(1, \Delta S_{\Pi}). \quad (2.18)$$

Легко показать, что при $P(1, \Delta S_{\Pi}) = \bar{q} \Delta S_{\Pi}$ дальнейшие преобразования (2.18) приведут к распределению Пуассона. В работе [25] условные вероятности в выражении (2.17) предложено аппроксимировать так:

$$P(0, \Delta S_{\Pi}/q, S_{\Pi}) = 1 - (c + bq) \Delta S_{\Pi}, \quad (2.19)$$

$$P(1, \Delta S_{\Pi}/q-1, S_{\Pi}) = [c + b(q-1)] \Delta S_{\Pi}.$$

Здесь c , b интерпретируются как плотность дефектов и некоторый коэффициент взаимного влияния дефектов соответственно.

Принятие подобной аппроксимации и дальнейшие преобразования выражения (2.17) приводят к ООБР:

$$P(q, S_{\Pi}) = \frac{1}{q!} \frac{\Gamma(q + c/b)}{\Gamma(c/b)} \exp[-(q + c/b) b S_{\Pi}] \times \\ \times [\exp(b S_{\Pi}) - 1]^q \quad (2.20)$$

с производящей функцией

$$G(z, S_{\Pi}) = \{\exp(b S_{\Pi}) - z [\exp(b S_{\Pi}) - 1]\}^{-c/b}. \quad (2.21)$$

Используя (2.21), определяем среднее и дисперсию ООБР. Эти величины вычисляем следующим образом: среднее

$$\bar{q} = G'(z, S_{\Pi})_{z=1},$$

дисперсия

$$D_q = G''(z, S_{\Pi})_{z=1} + G'(z, S_{\Pi})_{z=1}^2 - \{G(z, S_{\Pi})_{z=1}\}^2,$$

где $G'(z, S_{\Pi})$, $G''(z, S_{\Pi})$ — соответственно первая и вторая производные производящей функции.

С учетом этого получаем выражения для расчета среднего числа дефектов:

$$\bar{q} = [\exp(bS_{\Pi}) - 1] c/b \quad (2.22)$$

и дисперсии

$$D_q = \bar{q}(1 + \bar{q}b/c) = \bar{q}(1 + \bar{q}\alpha). \quad (2.23)$$

Сравнивая выражения (2.22) и (2.23), отмечаем, что для конечных значений среднее и дисперсия отличаются друг от друга. Такое различие характерно и для реальных данных [100—102]. Из (2.23) следует, что $\alpha = c/b$. Тогда

$$\bar{q} = [\exp(bS_{\Pi}) - 1] \alpha. \quad (2.24)$$

Определяем среднее значение площади, содержащей q дефектов:

$$m_{q, S_{\Pi}} = \int_0^{\infty} P(q, S_{\Pi}) dS_{\Pi} = \frac{1}{q!} \frac{\Gamma(q + c/b)}{\Gamma(c/b)} \times \\ \times \int_0^{\infty} \frac{[\exp(bS_{\Pi}) - 1]^q}{\exp[(q + c/b)bS_{\Pi}]} dS_{\Pi}. \quad (2.25)$$

Здесь $P(q, S_{\Pi})$ описывается выражением (2.20).

В уравнении (2.25) делаем замену $U = \exp(bS_{\Pi}) - 1$. В результате

$$dU = b \exp(bS_{\Pi}) dS_{\Pi}, \quad dS_{\Pi} = dU/b \exp(bS_{\Pi}), \\ S_{\Pi} = [\ln(U + 1)]/b.$$

С учетом этого перепишем правую часть (2.25):

$$\frac{1}{q!} \frac{\Gamma(q + c/b)}{\Gamma(c/b)} \int_0^{\infty} \frac{U^q}{b(U + 1) \exp[(q + c/b) \ln(1 + U)]} dU = \\ = \frac{1}{q!} \frac{\Gamma(q + c/b)}{\Gamma(c/b)} \frac{1}{b} \int_0^{\infty} \frac{U^q}{(U + 1)^{q+1+c/b}} dU.$$

Обозначая $q + 1 = a$, с учетом $c/b = \alpha$ имеем

$$m_{q, S_{\Pi}} = \frac{1}{q!} \frac{\Gamma(q + \alpha)}{\Gamma(\alpha)} \frac{1}{b} \int_0^{\infty} \frac{U^{a-1}}{(U + 1)^{a+\alpha}} dU. \quad (2.26)$$

Интеграл в (2.26) есть бета-функция, которую выражают следующим образом:

$$B(a, \alpha) = \Gamma(a) \Gamma(\alpha) / \Gamma(a + \alpha). \quad (2.27)$$

С учетом (2.27) выражение (2.26) принимает вид

$$m_{q, S_{II}} = \frac{1}{q! b} \frac{\Gamma(q + \alpha) \Gamma(q + 1)}{\Gamma(\alpha + q + 1)}.$$

Используя последнее соотношение и формулы приведения для гамма-функций, после несложных преобразований получаем конечное выражение для $m_{q, S_{II}}$:

$$m_{q, S_{II}} = 1/(c + bq). \quad (2.28)$$

Соотношение (2.28) показывает, что для ООБР средняя площадь, в которой содержится q дефектов, тем меньше, чем больше число q , т. е. чем больше дефектов, тем сильнее они должны группироваться. Реальные статистические данные, описанные в параграфе 2.1, характеризуются подобным явлением.

Обратимся к выражениям (2.19), определяющим вероятность возникновения дефекта в малой области кристалла. Предположим, что $c \gg b$. Это соответствует почти полному отсутствию взаимного влияния дефектов. При таком допущении α будет стремиться к бесконечности. С учетом (2.22) перепишем выражение для ООБР в другом виде:

$$P(q, S_{II}) = \frac{1}{q!} \frac{\Gamma(q + \alpha)}{\Gamma(\alpha)} \frac{(\bar{q}/\alpha)^q}{(1 + \bar{q}/\alpha)^{q+\alpha}}. \quad (2.29)$$

Используя формулы приведения для гамма-функций, имеем

$$P(q, S_{II}) = \frac{1}{q!} \prod_{i=0}^{q-1} (\alpha + i) \frac{(\bar{q}/\alpha)^q}{(1 + \bar{q}/\alpha)^{q+\alpha}}. \quad (2.30)$$

Найдем предел выражения (2.30) при $\alpha \rightarrow \infty$:

$$\lim_{\alpha \rightarrow \infty} P(q, S_{II}) = \frac{1}{q!} (\bar{q})^q \exp(-\bar{q}).$$

Учитывая (2.22) и принятое ограничение, можно разло-

жить экспоненту в ряд, ограничившись двумя слагаемыми:

$$\lim_{\alpha \rightarrow \infty} P(q, S_{\Pi}) = (cS_{\Pi})^q \exp(-cS_{\Pi})/q!. \quad (2.31)$$

Последняя формула представляет собой пуассоновское распределение. Это является доказательством того, что ООБР при определенных условиях может переходить в пуассоновское распределение. Поскольку реальные данные указывают на изменение характера распределения дефектов (отказов) в зависимости от этапа производства ЗУ (от групповых скоплений — к равномерному распределению), сделанный вывод имеет важное значение.

Используя полученные соотношения, можно прогнозировать ВГ кристаллов ЗУ с учетом группирования дефектов, в которых применяют резервные элементы. Предположим наихудший случай: каждый новый отказ возникает в новом ЭП или приводит к отказу новой строки, столбца. Полная информационная емкость ЗУ может быть восстановлена, если число отказов не превысит общего числа резервных линеек (строк и столбцов) ЭП:

$$Y_1 = \sum_{i=0}^{K_{rc}} P(i, S_p), \quad (2.32)$$

где K_{rc} — число резервных линеек; $S_p = S_b + S_{rc}$ — площадь кристалла, включающая в себя резервные схемы (S_b, S_{rc} — общая площадь кристалла без резервных схем и площадь резервных схем соответственно); $S_{1rc} = S_{rc}/K_{rc}$ — площадь (с учетом дополнительной логики) под одну резервную линейку ЭП.

Выражение (2.32) не учитывает того, что в линейках может находиться число отказов ЭП, превышающее K_{rc} . Подобную ситуацию учитывают следующим образом. Кроме случаев, предусмотренных выражением (2.32), кристалл может быть полностью восстановлен, если в одной линейке содержится два и более отказов или в двух — три и более и т. д. Математически это можно записать так:

$$Y_2 = P(2, S_{1rc}) + P(3, S_{1rc}) + \dots + P(j_1, S_{1rc}) + \dots \\ \dots + P(K_{rc} + 1, S_{rc}) + \dots + P(j_n, S_{rc}),$$

или в свернутом виде, используя понятие полной группы событий:

$$Y_2 = K_{rc} \sum_{l=0}^{K_{vc}} \sum_{j=0}^l P(j, lS_{lrc}). \quad (2.33)$$

Суммируя (2.32) и (2.33), получаем окончательное выражение для расчета ВГ кристаллов ЗУ с резервированием и учетом группирования отказов (не принято во внима-

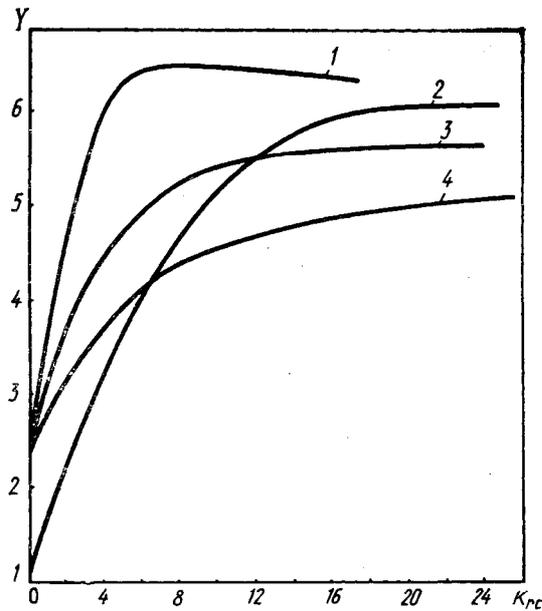


Рис. 2.8. Относительное увеличение ВГ ИС ЗУ при резервировании K_{rc} линеек накопителя: 1 — $\bar{q}=1,4$, $\alpha=5,6$; 2 — $\bar{q}=3,9$, $\alpha=1,2$; 3 — $\bar{q}=3,9$, $\alpha=0,4$; 4 — $\bar{q}=7,5$, $\alpha=0,3$

ние уменьшение физического съема избыточных кристаллов с пластины):

$$Y = \sum_{i=0}^{K_{rc}} P(i, S_p) + K_{rc} \sum_{l=1}^{K_{rc}} \sum_{j=0}^l P(j, lS_{lrc}). \quad (2.34)$$

На рис. 2.8 приведены зависимости ВГ ИС, рассчитанные по (2.34) для разных значений \bar{q} , α .

2.2.4. Прогнозирующий расчет ВГ ИС при статистически независимых дефектах

Будем полагать, что накопитель ЗУ емкостью C бит состоит из N_r строк и N_c столбцов, т. е. $C = N_r N_c$. В случае применения кода строка накопителя разбивается в общем случае на b_c кодовых слов. Часть накопителя кристалла с избыточностью, содержащую N_r строк по $n = k + r$ бит в каждой, назовем блоком. Тогда весь накопитель будет состоять из b_c блоков. Принимаем, что размер увеличения площади кристалла ЗУ при использовании кода составляет $\beta = n/k$, а вероятности отказов строк, столбцов и ЭП — соответственно p_r, p_c, p_e . Тогда ВГ Y_0 кристаллов безызбыточных ЗУ емкостью C можно представить в виде

$$Y_0 = Y_{обр} + Y_n = Y_{обр} + (1 - p_r)^{N_r} (1 - p_c)^{N_c} \times (1 - p_e)^C. \quad (2.35)$$

Здесь $Y_{обр}$ — ВГ той части схем логики обрамления, отказы которой не корректируются кодом; Y_n — ВГ накопителя ЗУ.

Для определенности будем полагать, что код исправляет однократную ошибку в кодовом слове. Выход годных кристаллов БИС ЗУ с избыточностью при разбиении строки на b_c кодовых слов запишем так:

$$Y_u = Y_{обр} (p_{бл})^{b_c} (1 - p_r)^{N_r},$$

где $p_{бл}$ — вероятность годности блока.

Такой блок накопителя будет годным (или условно годным), если в нем обеспечивается нейтрализация всех отказов одиночных ЭП, и при условии, что все $k + r$ столбцов блока отказов не имеют или в случае, когда все $N_r(k + r)$ ЭП блока функционально годны, а код нейтрализует отказ столбца. Следовательно, вероятность годности блока при использовании корректирующего кода можно выразить следующим соотношением:

$$p_{бл} = (1 - p_c)^n \sum_{i=0}^{N_r} C_{N_r}^i (p_k)^i (1 - p_k)^{N_r - i} + (1 + p_e)^{N_r n} C_n^1 p_c (1 - p_c)^{n-1}.$$

Здесь p_k — вероятность события, состоящего в том, что из n ЭП одного кодового слова отказавшим является не более чем один ЭП.

Учитывая, что $C_n^1 = n$ и

$$\sum_{i=0}^{N_r} C_{N_r}^i (p_k)^i (1 - p_k)^{N_r - i} = [(1 - p_e)^n + np_e \times \\ \times (1 - p_e)^{n-1}]^{N_r},$$

получаем

$$p_{\text{бл}} = (1 - p_c)^n [(1 - p_e)^n + np_e (1 - p_e)^{n-1}]^{N_r} + \\ + (1 - p_e)^{N_r n} np_c (1 - p_c)^{n-1}.$$

Следовательно, ВГ БИС ЗУ с избыточностью можно вычислить с помощью соотношения

$$Y_k = Y_{\text{обр}} (1 - p_r)^{N_r} \{ (1 - p_c)^n [(1 - p_e)^n + np_e \times \\ \times (1 - p_e)^{n-1}]^{N_r} + (1 - p_e)^{N_r n} np_c (1 - p_c)^{n-1} \}^{b_c}. \quad (2.36)$$

В выражение (2.36) входит неопределенная величина $Y_{\text{обр}}$, что затрудняет оценку ВГ. Введем понятие коэффициента эффективности \mathcal{F} , равного отношению числа годных кристаллов БИС ЗУ к числу так называемых «собственных» кристаллов:

$$\mathcal{F} = \frac{1}{\beta} \frac{Y_k}{Y_0}. \quad (2.37)$$

Подставляя в (2.37) уравнения (2.36) и (2.35) и учитывая, что $N_r = C/kb$, получаем:

$$\mathcal{F} = \frac{1}{\beta} \{ (1 - p_c)^r [(1 - p_e)^r + np_e (1 - p_e)^{r-1}]^{N_r} + \\ + (1 - p_e)^{N_r r} np_c (1 - p_c)^{r-1} \}^{b_c}. \quad (2.38)$$

Из выражения (2.38) видно, что для оценки эффективности использования корректирующего (n, k) -кода необходимо знать вероятности отказов столбцов и ЭП (p_c, p_e). Их можно определить экспериментально или рассчитать (например, на основе физико-топологической модели

кристалла — см. подпараграф 2.2.5). Коэффициент эффективности не зависит от дефектов строк, так как эти неисправности в одинаковой степени влияют на ВГ обоих типов сравниваемых ЗУ.

Оценивать ВГ иногда удобнее с помощью не вероятностей отказов, а плотностей дефектов D , или среднего числа дефектов на кристалл $\bar{q} = DS_p$ (S_p — площадь кристалла).

При условии, что каждый дефект вызывает отказ, можно использовать соотношения

$$\bar{q}_e = p_e C, \quad \bar{q}_c = p_c N_c, \quad \bar{q}_r = p_r N_r, \quad (2.39)$$

где \bar{q}_r , \bar{q}_c , \bar{q}_e — среднее число дефектов на кристалле, вызывающих соответственно отказы строк, столбцов и ЭП.

Поскольку отказы полагают статистически независимыми, то среднее число дефектов на кристалл можно определить суммой

$$\bar{q} = \bar{q}_e + \bar{q}_c + \bar{q}_r. \quad (2.40)$$

Учитывая (2.39), получаем следующее выражение для коэффициента \mathcal{F} :

$$\mathcal{F} = \frac{1}{\beta} \left\{ (1 - \bar{q}_c/N_c)^r [(1 - \bar{q}_e/C)^r + nq_e (1 - \bar{q}_e/C)^{N_r/C}]^{N_r} + (1 + \bar{q}_c/N_c)^{rN_r} n\bar{q}_c (1 - \bar{q}_c/N_c)^{r-1}/N_c \right\}^{bc}.$$

Результаты расчетов коэффициентов эффективности для ЗУ информационной емкостью 1 Мбит на основе итера-

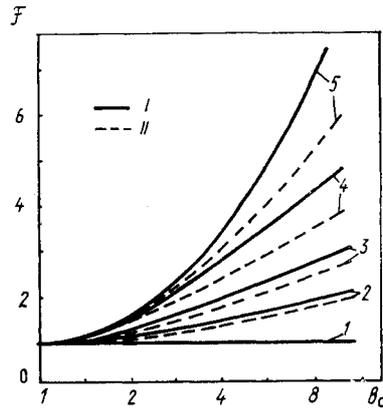


Рис. 2.9. Зависимость нормированного коэффициента эффективности использования кода в ИС ЗУ с независимыми дефектами от числа кодовых слов в одной строке накопителя (I — $\bar{q}_e=2$; II — $\bar{q}_e=4$); 1 — $\bar{q}_c=0$; 2 — 1 ; 3 — 2 ; 4 — 3 ; 5 — $\bar{q}_c=4$

Таблица 2.13. Эффективность использования итеративного кода в СБИС ЗУ емкостью 1 Мбит при различной дефектности одиночных ЭП (\bar{q}_e) и столбцов (\bar{q}_c) накопителя и разной длине кодового слова

b_c	\bar{q}_c	\bar{q}_e						
		0	1	2	3	4	5	6
1	0	0,9	2,5	6,9	18,8	50,9	137,7	372,2
	1	1,8	3,2	7,3	18,4	48,5	130,1	350,3
	2	2,6	3,9	7,6	18,0	46,3	122,8	329,7
	3	3,2	4,4	7,9	17,6	44,1	116,0	310,2
	4	3,8	4,9	8,1	17,2	42,0	109,5	291,9
2	0	0,9	2,5	6,7	18,4	49,9	135,3	366,8
	1	2,0	3,9	8,7	20,6	51,5	133,0	349,9
	2	3,3	5,5	10,6	22,7	52,8	130,3	333,6
	3	4,9	7,2	12,5	24,6	53,8	127,4	317,7
	4	6,5	9,0	14,3	26,3	54,6	124,4	302,4
4	0	0,8	2,4	6,5	17,8	48,4	131,4	356,6
	1	2,12	4,6	10,5	24,8	60,6	151,4	385,6
	2	4,1	7,7	15,5	33,0	73,8	171,7	413,0
	3	7,0	11,9	21,7	42,4	87,8	191,9	438,6
	4	11,0	17,2	29,0	52,6	102,4	211,7	462,0
8	0	0,8	2,3	6,2	17,0	46,3	125,8	341,8
	1	2,1	5,0	12,1	29,4	72,8	181,9	459,7
	2	4,7	9,9	21,5	48,0	109,3	254,3	602,5
	3	9,3	18,0	36,0	74,4	158,0	344,9	771,7
	4	17,1	30,7	57,1	110,4	220,7	455,4	968,1
	5	29,3	49,3	86,5	157,9	299,1	587,2	1191,8

тивного кода и кода Хэмминга с разными параметрами приведены в табл. 2.13 и 2.14, а на рис. 2.9 показано изменение нормированного (значением \mathcal{F} при $b_c=1$) показателя \mathcal{F} для разных \bar{q}_c и \bar{q}_e (принято, что $\beta=n/k$). Анализ полученных результатов показывает, что эффективность использования избыточности не зависит от дефектности строк, а определяется лишь плотностью дефектов (отказов из-за дефектов) ЭП и дефектов отдельных столбцов накопителя при использовании кодов. Относительное увеличение ВГ приборов с избыточностью в значительной степени зависит от числа одиночных дефектов ЭП: в случае фиксированных \bar{q}_e при варьировании \bar{q}_c эффективность \mathcal{F} изменяется от нескольких единиц до нескольких десятков. В то же время при изменяющихся значениях \bar{q}_e и постоянном \bar{q}_c величина \mathcal{F} изменяется в сотни раз. Для сравнения отметим, что при статистически

Таблица 2.14. Эффективность использования кода Хэмминга в СБИС ЗУ емкостью 1 Мбит при различной дефектности одиночных ЭП (\bar{q}_e) и столбцов (\bar{q}_c) накопителя и разной длине кодового слова

b_c	\bar{q}_c	\bar{q}_e						
		0	1	2	3	4	5	6
1	0	0,9	2,6	7,3	19,7	53,5	145,0	392,0
	1	1,9	3,6	8,1	20,5	53,9	144,4	388,8
	2	2,9	4,5	9,0	21,2	54,3	143,8	385,5
	3	3,8	5,4	9,9	21,9	54,6	143,1	382,3
	4	4,7	6,3	10,7	22,6	55,0	142,5	379,1
2	0	0,9	2,6	7,2	19,6	53,3	144,6	392,1
	1	2,1	4,4	9,9	23,7	59,5	153,4	403,2
	2	3,8	6,6	13,0	28,2	65,8	162,2	414,3
	3	5,9	9,2	16,4	32,9	72,4	171,2	425,2
	4	8,4	12,2	20,2	37,9	79,1	180,1	436,0
4	0	0,9	2,6	7,1	19,3	52,6	142,9	387,9
	1	2,3	5,2	12,2	29,3	72,2	181,5	463,7
	2	4,7	9,4	19,5	42,5	96,5	226,7	548,6
	3	8,7	15,5	29,5	59,3	125,8	278,9	642,9
	4	14,5	24,0	42,6	80,3	160,7	338,6	746,9
8	0	0,9	2,5	6,9	18,8	51,3	139,4	378,7
	1	2,4	5,8	14,2	35,1	88,0	222,4	566,8
	2	5,4	12,0	27,1	62,1	144,9	343,7	827,5
	3	11,4	23,3	48,8	104,8	230,1	516,3	1181,3
	4	22,3	42,7	84,0	170,1	354,1	756,1	1652,9
	5	41,0	74,2	138,6	267,0	530,0	1082,5	2271,0

независимом распределении дефектов по площади кристалла и при уровне дефектности, равном, например, четыре дефекта на кристалл, ВГ безызбыточных устройств не превышает 2%.

Для реальных значений числа дефектов на кристалл параметр \mathcal{F} увеличивается с уменьшением длины кодового слова (с ростом числа кодовых слов в одной строке накопителя) при наличии на кристалле отказавших столбцов ЭП. Однако в случае их отсутствия ситуация иная: наибольшая эффективность достигается при максимальной длине кодового слова ($k=N_c$, $b_c=1$). При невысоком среднем числе дефектов ЭП и столбцов на кристалле (несколько единиц) введение избыточности экономически малоэффективно.

Если в кристалле для повышения ВГ используют код и резервные строки числом K_r , то в выражение (2.36) для

Таблица 2.15. Эффективность введения избыточности в ИС ЗУ при $\bar{q}_c=10$, $\bar{q}_r=5$, $\bar{q}_c=7,6$ и статистически независимых дефектах

K_c	K_r						
	0	1	2	3	4	5	6
0	536125,0	30083,6	3366,6	563,3	125,2	34,6	11,4
	0	0	0	0	0	0	0
1	34315,0	2426,5	321,3	60,7	14,7	4,3	1,5
	0	0	0	0	0	0	0,01
2	4377,3	360,4	54,8	11,6	3,1	1,0	0,3
	0	0	0	0	0	0,01	0,03
3	834,3	76,0	12,8	3,05	0,90	0,31	0,13
	0	0	0	0	0,01	0,04	0,11
4	211,0	20,6	3,7	0,9	0,3	0,1	0
	0	0	0	0	0,04	0,12	0,28
5	66,4	6,8	1,3	0,3	0,1	0	0
	0	0	0,01	0,04	0,11	0,28	0,62
6	24,9	2,6	0,5	0,1	0	0	0
	0	0	0,02	0,09	0,25	0,58	1,20

вычисления ВГ ЗУ вместо множителя $(1-p_r)^{N_r}$ необходимо ставить сомножитель вида

$$(1-p_r) \sum_{i=0}^{K_r} C_{N_r}^i (p_r)^i, \quad (2.41)$$

где $C_{N_r}^i$ — число сочетаний.

В случае применения только резервных линеек ЭП при той же организации накопителя (состоит из b_c поднакопителей) при K_r резервных строках и K_c резервных столбцах выражение для расчета ВГ ИС запишем следующим образом:

$$\begin{aligned}
 Y = & (1-p_r)^{N_r} (1-p_c)^{N_c} (1-p_e)^C \sum_{i=0}^{K_r} C_{N_r}^i (p_r)^i \sum_{j=0}^{K_c} C_{N_c}^j \times \\
 & \times (p_e)^j \times \left[\sum_{K=0}^{K_r-i} C_{c-ib_cK-jN_r}^i (p_e)^K (1-p_e)^{K(b_cK-1)} (1-p_r)^{K+} \right. \\
 & + (1-p_e)^{(K_r-i)(b_cK-N_r)} (1-p_c)^{K_r-i} \sum_{l=K_r-i+1}^{K_r+K_c-j-i} C_{c-ib_cK-jN_r}^l \times \\
 & \left. \times (p_e)^l (1-p_e)^{l(N_r-1)} (1-p_c)^l \right]. \quad (2.42)
 \end{aligned}$$

Т а б л и ц а 2.16. Эффективность введения избыточности в ИС ЗУ при $\bar{q}_e=3$, $\bar{q}_r=1,5$, $\bar{q}_c=2,1$ и статистически независимых дефектах

K_c	K_r						
	0	1	2	3	4	5	6
0	192,0	31,50	10,10	4,70	2,80	1,90	1,60
	0,13	0,82	2,57	2,54	9,31	13,13	16,35
1	35,10	7,40	2,80	1,50	0,90	0,70	0,60
	0,74	3,50	9,17	17,47	26,99	35,96	43,12
2	12,40	3,10	1,30	0,80	0,50	0,40	0,40
	2,09	8,44	19,17	32,53	46,06	57,66	66,29
3	6,30	1,70	0,80	0,50	0,40	0,30	0,30
	4,10	14,96	30,67	47,38	62,07	73,29	80,91
4	4,10	1,20	0,60	0,40	0,30	0,30	0,30
	6,33	21,69	41,46	59,81	73,78	83,12	88,77
5	3,15	0,90	0,50	0,30	0,30	0,30	0,20
	8,30	27,36	50,00	68,87	81,50	88,84	92,70
6	2,69	0,84	0,47	0,30	0,30	0,20	0,20
	9,76	31,38	55,79	74,68	86,10	91,94	94,58

Т а б л и ц а 2.17. Эффективность введения избыточности в ИС ЗУ при $\bar{q}_e=1$, $\bar{q}_r=0,5$, $\bar{q}_c=0,7$ и статистически независимых дефектах

K_c	K_r						
	0	1	2	3	4	5	6
0	6,80	2,50	1,60	1,30	1,30	1,20	1,20
	11,07	29,88	45,84	54,85	58,66	59,93	60,27
1	2,70	1,30	0,90	0,80	0,80	0,80	0,80
	27,64	58,03	77,11	85,94	89,22	90,21	90,44
2	1,90	1,00	0,80	0,80	0,70	0,70	0,70
	40,00	74,02	90,08	95,79	97,50	97,92	97,99
3	1,60	0,90	0,80	0,70	0,70	0,70	0,70
	46,12	80,82	94,45	98,26	99,12	99,26	99,25
4	1,50	0,90	0,80	0,70	0,70	0,70	0,70
	48,36	83,11	95,73	98,83	99,39	99,44	99,41
5	1,50	0,90	0,80	0,70	0,70	0,70	0,70
	48,99	83,73	96,05	98,95	99,43	99,46	99,42
6	1,50	0,90	0,80	0,70	0,70	0,70	0,70
	49,09	83,84	96,11	98,97	99,44	99,46	99,42

Алгоритм замены дефектных элементов резервными имеет такую последовательность: замена дефектных строк, замена дефектных столбцов, замена неисправных одиночных ЭП на оставшиеся резервные строки и далее на оставшиеся резервные столбцы.

В табл. 2.15—2.17 приведены результаты расчета эффективности введения избыточности на основе выраже-

ний (2.38), (2.41), (2.42). При вычислении принимали следующие значения величин $\bar{q}_e, \bar{q}_r, \bar{q}_c$: 10, 5, 7,6 (табл. 2.15); 3, 1,5, 2,1 (табл. 2.16); 1, 0,5, 0,7 (табл. 2.17) соответственно. Кроме того, в ИС в случае применения корректирующего кода предусмотрена замена двух дефектных строк. При коэффициенте избыточности β получены следующие значения для ВГ избыточных схем при указанных выше значениях $\bar{q}_e, \bar{q}_r, \bar{q}_c$: 0,02, 29,4, 85,95% соответственно. Верхние показатели в табл. 2.15—2.17 соответствуют значениям \mathcal{F} , рассчитанным по (2.38), т. е. с использованием только кода (итеративного) для СБИС ЗУ емкостью 1 Мбит при $b_c=4$, нижние — ВГ, %, аналогичных устройств с простым резервированием. Результаты анализа показывают, что использование нескольких резервных строк и нескольких резервных столбцов при принятом соотношении между \bar{q}_e, \bar{q}_r и \bar{q}_c эффективнее, чем применение итеративного кода.

2.3. ОПРЕДЕЛЕНИЕ ПАРАМЕТРОВ РАСПРЕДЕЛЕНИЯ ДЕФЕКТОВ

2.3.1. Расчет плотности и показателя группирования дефектов

Как следует из результатов анализа рассмотренных моделей распределения дефектов, при аналитических расчетах ВГ ИС памяти необходимо знать среднее число дефектов (дефектных элементов) \bar{q} на кристалл, параметр группирования дефектов α (при использовании ООБР) или вероятности соответствующих типов отказов (p_e, p_c, p_r и др.), которые обычно используют при пуассоновском или биномиальном распределениях. Проанализируем методику определения \bar{q} и α . Очевидно, что переход от вероятности отказов к плотности дефектов сложности не представляет. Наиболее важным и трудоемким является определение α .

В работе [29] описан подход к определению α , известный под названием метода «окна» (МО). Этот метод использовали для нахождения степени группирования кристаллов с дефектами на целой полупроводниковой пластине. Сущность его состоит в условном разбиении пластины на «окна», содержащие один, два или четыре смежных кристалла, и подсчете отношений Y_i «окон» оп-

ределенного типа с дефектными кристаллами к общему числу «окон» того же типа ($i=1, 2, 4$). Затем осуществляют приближение выражений вида

$$Y_i = (1 + i\bar{q}/\alpha)^{-\alpha} \quad (2.43)$$

к реальным данным Y_i с помощью метода наименьших квадратов.

Результаты анализа показали, что наряду со сравнительной простотой в использовании методу присущи недостатки, связанные с потерей (или отсутствием учета) информации о числе дефектов на кристалле, что может приводить к занижению \bar{q} . Кроме того, одним и тем же Y_i могут соответствовать разные значения (пары) \bar{q} и α (здесь и далее имеется в виду оценка параметров \bar{q} и α). Последнее затрудняет применение метода для оптимизации ВГ (объема избыточных блоков) БИС ЗУ с резервированием элементов накопителя.

Рассматриваемые ниже методы в общем виде известны. Их используют в некоторых приложениях теории статистических испытаний и статистической радиотехники. Общие подходы в оценке параметров распределений применим к конкретному случаю и связанному с этим конкретному математическому закону (ООБР).

Метод моментов (ММ). Заключается в определении выборочных моментов распределения (на основе реальных статистических результатов) и аналогичных теоретических моментов. Приравнивая соответствующие теоретические и опытные значения моментов и решая полученную систему уравнений, находим неизвестные параметры распределения.

Перепишем (см. подпараграф 2.2.1) выражение для производящей функции ООБР:

$$G(z) = [1 + (1 - z)\bar{q}/\alpha]^{-\alpha},$$

или с учетом соотношений между \bar{q} , α и b , S_n (см. (2.24)):

$$G(z, S_n) = \{\exp(bS_n) - z[\exp(bS_n) - 1]\}^{-c/b}.$$

Дисперсию распределения выражаем формулой вида

$$D_{\bar{q}} = G''(z, S_n) + G'(z, S_n) - [G(z, S_n)]^2,$$

где G' , G'' — первая и вторая производные по z при $z=1$.

С учетом двух последних формул получаем теорети-

ческое значение $D_{\bar{q}}$:

$$D_{\bar{q}} = \bar{q} (1 + \bar{q}/\alpha). \quad (2.44)$$

Выборочное (экспериментальное) значение среднего числа дефектов на кристалле

$$\bar{q}_{\alpha} = (1/n_c) \sum_{i=1}^{n_c} \bar{q}_{\alpha i}.$$

Здесь n_c — число кристаллов в анализируемой выборке. Выборочное значение дисперсии

$$D_{\bar{q}_{\alpha}} = [1/(n_c - 1)] \sum_{i=1}^{n_c} (\bar{q}_{\alpha} - \bar{q}_{\alpha i})^2.$$

Принимая $\alpha = \alpha_{\alpha}$, $D_{\bar{q}} = D_{\bar{q}_{\alpha}}$ и подставляя эти величины в (2.44), имеем

$$\alpha = (\bar{q})^2 / (D_{\bar{q}} - \bar{q}), \quad \bar{q} = (1/n_c) \sum_{i=1}^{n_c} \bar{q}_{\alpha i}.$$

Из полученного соотношения видны физический смысл и численная область изменения параметра группирования дефектов α (для рассматриваемого метода): минимальное значение α равно нулю и достигается при дисперсии, равной бесконечности; максимальное значение α равно бесконечности — при равенстве среднего и дисперсии. При этом дефекты равномерно рассредоточены по площади кристалла.

Метод максимального правдоподобия (ММП). Сущность его заключается в нахождении максимальных значений функций правдоподобия, вычисленных относительно искомых значений \bar{q} , α .

Функцию правдоподобия для (2.30) запишем так:

$$L(\bar{q}_1, \dots, \bar{q}_{n_c}, \alpha, \bar{q}) = \prod_{i=1}^{n_c} \left\{ \frac{1}{\bar{q}_i!} \times \right. \\ \left. \times \prod_{j=0}^{\bar{q}_i-1} (\alpha + j) \frac{(\bar{q}/\alpha)^{\bar{q}_i}}{(1 + \bar{q}/\alpha)^{\alpha + \bar{q}_i}} \right\}.$$

Взяв логарифм последнего соотношения и продифференцировав его по α и \bar{q} , приравняем к нулю обе производные. Получим систему уравнений для оценки параметров q , α с помощью ММП:

$$\sum_{i=1}^{n_c} \left\{ \sum_{j=0}^{\bar{q}_i-1} \left(\frac{1}{\alpha+j} \right) - \frac{\bar{q}_i}{\alpha} + \frac{(\bar{q}_i + \alpha) \bar{q}}{\alpha(\alpha + \bar{q})} - \ln \left(1 + \frac{\bar{q}}{\alpha} \right) \right\} = 0, \quad (2.45)$$

$$\sum_{i=1}^{n_c} \left[\frac{\alpha(\bar{q}_i - \bar{q})}{\bar{q}(\alpha + \bar{q})} \right] = 0.$$

С учетом того что $\alpha \neq 0$ и $n_c \neq 0$, второе уравнение системы примет вид

$$\sum_{i=1}^{n_c} (\bar{q}_i - \bar{q}) = \sum_{i=1}^{n_c} \bar{q}_i - n_c \bar{q} = 0.$$

Отсюда следует оценка \bar{q} по ММП:

$$\bar{q} = \frac{1}{n_c} \sum_{i=1}^{n_c} \bar{q}_i,$$

что соответствует среднему арифметическому числа дефектов в выборке из n_c кристаллов (как и для ММ). После несложных преобразований первое уравнение системы (2.45) приведем к виду

$$\sum_{i=1}^{n_c} \sum_{j=0}^{\bar{q}_i-1} \left[\frac{1}{\alpha+j} - \frac{n_c \bar{q}}{\alpha} + \frac{\bar{q}(n_c \alpha + n_c \bar{q})}{\alpha(\alpha + \bar{q})} \right] - n_c \ln(1 + \bar{q}/\alpha) = 0,$$

откуда имеем

$$\sum_{i=1}^{n_c} \sum_{j=0}^{\bar{q}_i-1} \frac{1}{\alpha+j} = n_c \ln(1 + \bar{q}/\alpha).$$

Это выражение для оценки α является трансцендентным и без использования ЭВМ его решить очень трудно.

Метод минимальных потерь (ММнП). Относится к численным методам. Сущность заключается в минимизации функции

$$\Delta = \sum_{i=0}^{q_{\max}} (P_i - p_{oi})^2, \quad (2.46)$$

представляющей собой суммарное отклонение теоретических значений P функции распределения (например, (2.29)) от полученных экспериментально p_o при максимальном числе дефектов q_{\max} на кристаллах анализируемой выборки. Минимизацию Δ по переменным \bar{q} , α осуществляли с применением, например, известных численных методов координатного спуска или градиентных методов [116].

Определение параметров распределения (\bar{q} , α), показанного на рис. 2.6—2.9 для СБИС ДОЗУ емкостью 256 Кбит, по методу «окна» проводили с использованием нелинейного регрессионного анализа [29]. Функция нелинейной регрессии имеет вид

$$\Delta f = \sum (Y_i - Y'_i)^2, \quad (2.47)$$

где Y_i , Y'_i — ВГ, рассчитанный по (2.43) и полученный экспериментально при $i=1, 2, 4$.

С целью нахождения \bar{q} , α необходимо задавать их начальные значения (\bar{q}_0 , α_0), которые влияют на конечный результат. Это свидетельствует о неустойчивости решения по МО. В табл. 2.18 приведены результаты, полученные при разных \bar{q}_0 и α_0 , а также значение функции (2.47) — погрешность, соответствующая данным началь-

Таблица 2.18. Результаты расчета \bar{q} , α и соответствующие им погрешности вычислений при разных значениях \bar{q}_0 , α_0

Начальные значения		Результат		Погрешность
\bar{q}_0	α_0	\bar{q}	α	Δf
1	2	1,55	3,664	$7,0 \cdot 10^{-4}$
2	3	1,47	4,664	$5,0 \cdot 10^{-4}$
7	3	1,50	4,667	$5,3 \cdot 10^{-4}$
5	4	1,416	5,664	$1,0 \cdot 10^{-4}$

ным условиям. В дальнейшем используем значения \bar{q} и α , характеризующие минимальную погрешность: $\bar{q}=1,42$; $\alpha=5,664$.

Для распределения, изображенного на рис. 2.9, подсчитано, что $\bar{q}=3,91$, $D\bar{q}=16,28$. В соответствии с этими значениями с помощью ММ получен параметр группирования дефектов $\alpha=1,238$. Очевидно, что применение ММ является более трудоемким, чем МО.

Уравнение правдоподобия (ММП) системы (2.45) можно решать также численно. Следует отметить устойчивость решения: какие бы значения \bar{q}_0 , α_0 ни задавали, решение сходится к одним и тем же величинам: $\bar{q}=3,91$, $\alpha=0,437$. Такой же устойчивостью решения отличается и ММнП. При нахождении решения уравнения (2.46) с помощью метода координатного спирального спуска получено $\bar{q}=7,55$, $\alpha=0,32$.

Использование этих значений для расчета ВГ БИС ЗУ показывает почти полное совпадение теоретической (Y_i) и экспериментально полученной (Y'_i) величин для всех рассмотренных методов, за исключением ММ. Полные результаты приведены в табл. 2.19. Однако совпадение значений величин Y_i , Y'_i при $i=0$ еще не гарантирует приемлемого соотношения между указанными величинами при $i>0$, что, как отмечено выше, играет решающую роль при проектировании БИС ЗУ с резервными элементами накопителя.

Для проверки соответствия теоретического закона распределения кристаллов по числу дефектов экспериментально полученному распределению используют статистические критерии согласия χ^2 , ω^2 .

Последний является более строгим и точным, поскольку не предусматривает объединения интервалов счета

Т а б л и ц а 2.19. Соответствие теоретических значений ВГ БИС экспериментальным при разных \bar{q} , α

Метод	Значение параметров	Отношение Y_i/Y'_i
МО	$\bar{q}=1,416$, $\alpha=5,664$	1,00
ММ	$\bar{q}=3,910$, $\alpha=1,238$	0,49
ММП	$\bar{q}=3,910$, $\alpha=0,437$	1,04
ММнП	$\bar{q}=7,552$, $\alpha=0,320$	1,02

(по i), при котором возможна взаимная компенсация отклонений теоретических величин от опытных.

Выборочной статистикой для критерия ω^2 является сумма квадратов отклонений между теоретической и экспериментальной функциями распределения:

$$\omega^2 = \sum_{i=0}^{\bar{q}_{\max}} \left[\sum_{j=0}^i P_j - \sum_{j=0}^i p_{\lambda i} \right]^2.$$

В табл. 2.20 приведены значения ω^2 для параметров \bar{q} и α , полученных с помощью применения всех рассмотренных методов (в соответствии с табл. 2.20). Чтобы оценить полученные значения ω^2 , учтем рекомендации [116], в соответствии с которыми при статистической проверке законов распределения используют (5...10) %-ный уровень значимости O (табл. 2.21). При этом чем выше O , тем ниже вероятность принятия ошибочной гипотезы, т. е. тем меньше теоретическое распределение отличается от экспериментального. Из сопоставления и анализа табл. 2.20 и 2.21 можно сделать следующие выводы: МО является неприемлемым для оценки параметров распределения кристаллов по числу дефектов; наиболее точным из рассмотренных для целей определения среднего числа дефектов и степени их группирования на кристалле является

Таблица 2.20. Точность вычисления ВГ ИС при использовании разных методов счета

Метод	Статистика ω^2	Метод	Статистика ω^2
МО	1,1638	ММП	0,2500
ММ	0,3300	ММнП	0,00672

Таблица 2.21. Значения уровня значимости при использовании критерия ω^2

$O, \%$	50	40	30	20	10
Статистика ω^2 (квантиль)	0,1184	0,1467	0,1843	0,2412	0,3473
$O, \%$	5	3	2	1	0,1
Статистика ω^2 (квантиль)	0,4614	0,5489	0,6198	0,7435	1,1679

ся ММнП; ММ и ММП обеспечивают достаточную для практического применения точность определения параметров ООБР дефектов.

2.3.2. Определение вероятностей появления дефектных элементов

Вероятности появления дефектных ЭП (p_e), строки (p_r), столбца (p_c) могут быть рассчитаны так, как указано в подпараграфе 2.1.1, т. е. путем простого подсчета. Однако с усложнением СБИС подобная операция требует значительных временных затрат. Возможен другой метод определения указанных параметров. Суть его заключается в следующем. Под конкретную технологию и определенный кристалл разрабатывают систему тестов, объединяющую отдельные группы тестов, «ответственных» за обнаружение конкретного вида неисправности (дефекта). В табл. 2.22 приведен перечень тестов для поднакопителя емкостью 128 Кбит кристалла ДОЗУ емкостью 1 Мбит, с помощью которых устанавливается наличие дефектов ЭП, строки и столбца накопителя. В табл. 2.23 эти тесты или их комбинации разбиты на соответствующие группы. По отношению кристаллов, не прошедших определенного теста, к объему кристаллов, прошедших данный тест, находят параметры p_e , p_r , p_c . Такой же подход обеспечит определение и других вероятностей

Таблица 2.22. Вероятность прохождения тестов

Обозначение	Тест	Вероятность годного блока (емкостью 128 Кбит)
p_1	Утечка между Al PШ и подложкой	0,9972
p_2	Утечка затвор—подложка	0,9778
p_3	Утечка между N^+ -диффузионной областью стока и подложкой	0,9298
p_4	Утечка изоляции затвора	0,3135
p_5	Утечка между обкладками конденсатора	0,9000
p_6	Утечка между Al PШ и верхней обкладкой конденсатора	0,8611
p_7	Утечка между Al PШ и затвором	0,6861
p_8	Закоротка шин затвора	0,7425
p_9	Закоротка между нижними обкладками конденсатора (НОК)	0,2593
p_{10}	Закоротка между Al PШ	0,7124

Таблица 2.23. Группы тестов для определения вероятностей отказов ЭП, столбца и строки накопителя

Параметр отказа p_i	Величина	Значение	Вероятность годного
<i>Элемент памяти</i>			0,9999851
Утечка НОК—затвор	$1 - p_7 + p_4$	0,6274	
Утечка конденсаторного диэлектрика	p_5	0,9000	
Утечка на соседнюю ячейку	p_9	0,2593	
Утечка на подложку	$\approx p_1$	0,9944	
Дефект контакта n^+ -стоковой области и НОК	$\approx (p_6)^{1/7}$	0,9789	
<i>Столбец</i>			0,9950600
Утечка Al—подложка	p_1	0,9972	
Утечка Al—затвор	p_7	0,6861	
Утечка Al—ПККЗ	p_6	0,8615	
Закоротка Al	p_{10}	0,7124	
Обрыв Al	$\approx p_{10}$	0,7124	
<i>Строка</i>			0,9979630
Утечка подзатворного оксида	p_2	0,9778	
Закоротка на РШ	p_7	0,6861	
Закоротка СШ	p_8	0,7425	
Обрыв затвора	p_8	0,7425	

(появление дефектного поднакопителя, «фатального» дефекта и т. д.).

Вероятность ВГ компонента вычисляют по формуле

$$p_i = \left[\prod_j p_j \right]^{1/N_j},$$

где N_j — число компонентов соответствующего типа (ЭП, строка, столбец) в тестируемом накопителе; p_j — вероятность годного элемента на j -м тесте. В частности, для поднакопителя емкостью 128 Кбит для ЭП, строк и столбцов N_j составляет соответственно 131072, 512, 256.

Глава 3

РАСЧЕТ НАДЕЖНОСТИ СБИС ЗУ С ИЗБЫТОЧНОСТЬЮ

3.1. ОПРЕДЕЛЕНИЕ ИНТЕНСИВНОСТИ ОТКАЗОВ В КРИСТАЛЛАХ ПАМЯТИ

Для прогнозирующего расчета надежности (показателей надежности) используют аналитические модели. Это требует наличия информации об интенсивностях отказов, вызывающих неисправности (функциональные) разного числа ЭП накопителя: одиночных ЭП, строк и (или) столбцов матрицы ЭП, всего накопителя и др. Естественно, что такая информация на этапе проектирования БИС может быть весьма условной, а от выбора метода коррекции ошибок будет зависеть степень увеличения площади кристалла (под избыточные схемы), в свою очередь определяющей относительный рост интенсивности отказов λ на кристалле. Следовательно, разработка избыточных БИС ЗУ с заданным параметром надежности представляет собой взаимообразный, итеративный процесс. С одной стороны, выбор корректирующего кода осуществляют на основе прогноза эксплуатационных характеристик надежности избыточной БИС, с другой — избыточные аппаратные затраты, определяемые типом кода, влияют (в сторону снижения) на эксплуатационную надежность памяти (как и на ВГ микросхем). В связи с этим представляет интерес изучение зависимости интенсивности разных типов отказов от величины информационной емкости, разрядности, структуры кристалла памяти, а также анализ надежности избыточных БИС ЗУ с коррекцией ошибок при учете интенсивностей отказов одиночных ЭП, строк и (или) столбцов накопителя, других типов отказов. Основной принцип обнаружения отказов сводим к выявлению искаженных информационных символов. Причину, вызвавшую подобное искажение, не конкретизируем. Для дальнейшего рас-

смотрения необходимо определить ИС ЗУ как устройство, состоящее из трех основных блоков: накопителя, схем дешифрации и выборки, схем управления.

Изучение статистических характеристик отказов в ИС и сопоставление этих результатов со структурой соответствующих кристаллов памяти показывает, что для статических и динамических ОЗУ в целом характерна следующая закономерность: относительная интенсивность отказов отдельных ЭП зависит от относительной площади накопителя, а относительная (по сравнению с общей интенсивностью отказов) интенсивность отказов строк и столбцов накопителя — от отношения площади схем выборки данных и дешифрации адреса к общей площади кристалла. Дальнейшие рассуждения будем строить исходя из известного положения о том, что при соблюдении одинаковых проектных норм переход от безызбыточного кристалла к избыточному приводит к повышению интенсивности отказов эквивалентно и увеличению активной площади S_c кристалла (в дальнейшем под площадью кристалла будем понимать активную площадь): $\lambda_{и}/\lambda_{б} = S_{и}/S_{б}$ (индексы обозначают избыточный и безызбыточный кристаллы).

Положим, что отказ в накопителе приводит к отказу одного ЭП, а отказ в схемах дешифрации и выборки — к строчно-столбцовым отказам [31]. За информационную часть кодового слова (k разрядов) можно принимать отдельную строку ЭП или ее часть (в одноразрядных БИС), а в многоразрядных кристаллах кроме названных структурных соединений ЭП в качестве k разрядов используют разряды одного слова (микросхема организована в виде N_w слов информации хранения по b_p разрядов) или ЭП одной строки, выбор которых осуществляется одним из b_p дешифраторов столбцов. Информационные разряды дополняются r проверочными. Величина информационной емкости дополнительного накопителя (для размещения проверочных символов всех кодовых слов) ΔC связана с величиной емкости основного накопителя C и значениями k , r соотношением: $\Delta C = C(\beta_n - 1)$, где $\beta_n = n/k$, $n = k + r$; параметр β_n характеризует уровень избыточности ИС [19]. В данном случае он соответствует избыточности накопителя.

Таким образом, при соблюдении одинаковых проектных норм в обоих рассматриваемых случаях площадь $S_{ни}$ под избыточный накопитель на кристалле составит $S_{ни} =$

$= \beta_n S_{нб}$ ($S_{нб}$ — площадь накопителя избыточной БИС). Соответственно в β_n раз возрастает и интенсивность отказов одиночных ЭП:

$$\lambda_{ен} = \beta_n \lambda_{еб}. \quad (3.1)$$

Тогда

$$\lambda_{еб} = \lambda_b S_{нб} / S_b. \quad (3.2)$$

Здесь λ_b — общая интенсивность отказов на безыбыточном кристалле.

С учетом этого интенсивность отказов в логических схемах $\lambda_{ли}$ при переходе к избыточному варианту возрастает в β_l раз:

$$\lambda_{ли} = \beta_l \lambda_{лб}, \quad \lambda_{лб} = \lambda_b S_{лб} / S_b, \quad (3.3)$$

где β_l — коэффициент избыточности логики обрамления; $\lambda_{ли}$, $\lambda_{лб}$ — интенсивности отказов в логических схемах в избыточном и безыбыточном кристаллах (в общем случае примем, что величины интенсивности отказов соответствуют времени эксплуатации ЗУ $t=0$). Общая интенсивность отказов в избыточной БИС $\lambda_{ли}$ представляет собой сумму: $\lambda_{ли} = \lambda_{ен} + \lambda_{ли}$. Последнее слагаемое можно записать в следующем виде: $\lambda_{ли} = \lambda_{ги} + \lambda_{си} + \lambda_{аи}$ ($\lambda_{ги}$, $\lambda_{си}$, $\lambda_{аи}$ — интенсивности отказов отдельных строк, столбцов накопителя, а также интенсивность остальных видов отказов, кроме одиночных и строчно-столбцовых).

Важным моментом методики является в итоге определение абсолютных и относительных значений параметров $\lambda_{ен}$, $\lambda_{ги}$, $\lambda_{си}$, $\lambda_{аи}$. Величину $\lambda_{ен}$ определили ранее однозначно на основе показателя β_n избыточности накопителя. В оценочных расчетах также можно принимать увеличение площади кристалла под избыточные логические схемы, равное β_n (т. е. $\beta_l = \beta_n$). При этом $\lambda_{ги}$, $\lambda_{си}$, $\lambda_{аи}$ могут быть определены в результате следующих рассуждений.

Отказы строк, столбцов или всей БИС возникают, как отмечено выше, вследствие нарушения работоспособности схем логики обрамления. Усложнение данных схем зависит от аппаратных затрат на реализацию схем кодирования и декодирования (кодера и декодера). Кодер кода Хэмминга состоит приблизительно из $kr/2$ двухвходовых сумматоров по модулю два, кодер итеративного кода — приблизительно из $2k - (k_1 + k_2)$ таких же сумматоров ($k = k_1 k_2$). Декодер включает в себя кодер (дополнитель-

ный), схемы вычисления синдрома и коррекции ошибок, а также дешифратор синдрома ошибки на r входов и k (или n) выходов. Блоки вычисления синдрома и коррекции ошибок состоят соответственно из r и из $k(n)$ сумматоров по модулю два.

Наиболее аппаратуроемким является дешифратор синдрома. Если накопитель имеет матричную структуру (N_r строк \times N_c столбцов), то при $k = N_c$ дешифратор синдрома практически идентичен дешифратору строк (или столбцов), т. е. аппаратные затраты на создание логики обрамления возрастают приблизительно на 50%. Число элементов в дешифраторе синдрома при уменьшении k снижается в той же пропорции. Учитывая, что аппаратные затраты на реализацию схем дешифрации адреса составляют 50...70% объема схем обрамляющей логики, для инженерных расчетов можно принять эмпирическое соотношение, показывающее относительную избыточность логики обрамления: $\beta_{л} \approx 1 + 0,5k / (N_w b_p)^{1/2}$. Далее можно принять, что $\lambda_{rб} / \lambda_{сб} = S_{дрб} / S_{сб}$, $\lambda_{сб} / \lambda_{сб} = S_{дсб} / S_{сб}$ и т. д. ($\lambda_{rб} \approx \lambda_{сб}$; $S_{дрб}$, $S_{дсб}$ — площади на кристалле, занимаемые соответственно дешифраторами строк и столбцов вместе с шинами, объединяющими ЭП в строки и столбцы).

Полагаем также $\lambda_{rб} \approx \lambda_{сб} \approx \lambda_{аб}$, т. е. $\lambda_{сб} \approx (0,25...0,35) \lambda_{лб}$.

Вероятности отказов одиночных строк или столбцов на 1—2 порядка выше, чем вероятности одновременных отказов нескольких строк или нескольких столбцов. Поэтому в дальнейших расчетах каждый отказ в площадях $S_{дрб}$ ($S_{дги}$) и $S_{дсб}$ ($S_{дси}$) следует относить к отказам одиночных строк и одиночных столбцов (в отказавших строках и столбцах нарушено функционирование многих ЭП, которое не может быть следствием отказов одиночных ЭП). Применение таких упрощенных расчетов (интенсивностей отказов) при анализе надежности СОЗУ обеспечивает достаточную для практики точность в отличие от использования модели применительно к ДОЗУ, структура которых несколько отличается от структуры СОЗУ. Для расчета надежности ДОЗУ может быть рекомендована методика, изложенная в работах [37—39].

3.2. МОДЕЛИ НАДЕЖНОСТИ ЗУ ПРИ ПУАССОНОВСКОМ ПОТОКЕ ОТКАЗОВ

3.2.1. Надежность ЗУ при коррекции сбоев в режиме считывания информации

В прогнозирующих расчетах надежности ЗУ обычно принимают поток отказов пуассоновским [5, 19, 33, 34, 117]. В этом случае все изложенные в параграфе 3.1 расчеты интенсивностей отказов справедливы и при $t > 0$. Являясь классическим и наиболее распространенным, метод коррекции в цикле чтения информации практически позволяет исправлять ошибки (с учетом их кратности), момент появления которых может даже совпадать с началом цикла чтения данного слова (особенности других методов, влияющие на надежность ИС, будут рассмотрены ниже).

При коррекции одиночных ошибок в каждом из b_c кодовых слов, размещаемых в одной строке накопителя, ни один из считываемых символов не будет ошибочным при следующих условиях: никаких отказов в ИС не произошло; имеется только отказ одного столбца; имеются только отказы одиночных ЭП, однако в любой из N_r строк будет не более одного отказавшего ЭП. Под строкой в данном случае понимаем ЭП, относящиеся к одному кодовому слову. При размещении b_c слов в одной физической строке накопителя ИС длиной N_c разрядов будем полагать, что длина отмеченной информационной части строки поднакопителя составит $N'_c = N_c/b_c$ разрядов. При таком условном разделении накопителя на b_c поднакопителей (модулей) интенсивность отказов определенного типа в поднакопителе соответственно нормируется:

$$\lambda'_n = \lambda_n/b_c, \quad \lambda'_{en} = \lambda_{en}/b_c. \quad (3.4)$$

Запишем выражение для вероятности безотказной работы поднакопителя избыточной БИС ЗУ:

$$P_{\Pi}(t, q \geq 0) = P_{\Pi}(t, 0) + P_{\Pi}(t, q_c = 1) + P_{\Pi}(t, q_e \neq 0), \quad (3.5)$$

где $P_{\Pi}(t, q \geq 0)$ — вероятность безотказной работы поднакопителя за время t (даже при наличии q отказов); $P_{\Pi}(t, 0)$ — вероятность отсутствия отказов в поднакопи-

теле; $P_{\Pi}(t, q_c - 1)$, $P_{\Pi}(t, q_e - 0)$ — вероятности появления за время t соответственно только одного отказавшего столбца и только одиночных отказов ЭП в любой из строк.

Первое слагаемое из (3.5)

$$P_{\Pi}(t, 0) = \exp(-\lambda_{\Pi}' t), \quad (3.6)$$

второе

$$P_{\Pi}(t, q_c = 1) = \lambda_{c\Pi}' t \exp(-\lambda_{c\Pi}' t) \cdot \exp[-(\lambda_{\Pi}' - \lambda_{c\Pi}') t]. \quad (3.7)$$

Множитель в выражении (3.7) после знака умножения соответствует вероятности отсутствия за время t любых отказов, кроме столбцовых. Запишем формулу (3.7) после простых преобразований так:

$$P_{\Pi}(t, q_c = 1) = \lambda_{c\Pi}' t P_{\Pi}(t, 0). \quad (3.8)$$

Последнее слагаемое в (3.5) можно представить следующим образом:

$$P_{\Pi}(t, q_e \neq 0) = \sum_{q_e=1}^{N_r} [P_{\Pi}(t, q_e) P_{\Pi}(q_{ei} \leq 1)] \times \\ \times \exp[-(\lambda_{\Pi}' - \lambda_{e\Pi}') t]. \quad (3.9)$$

Здесь $P_{\Pi}(t, q_e)$ — вероятность того, что за фиксированное время t в поднакопителе появятся q_e отказов одиночных ЭП; $P_{\Pi}(q_{ei} \leq 1)$ — вероятность попадания в i -ю ячейку ($i = \overline{1, N_r}$; ячейка состоит из n ЭП) не более одного отказавшего ЭП из числа q_e отказов. По аналогии с (3.7) множитель в (3.9) после знака умножения есть вероятность отсутствия любых типов отказов, кроме отказов одиночных ЭП.

Значение вероятности $P_{\Pi}(t, q_e)$ рассчитываем в соответствии с законом Пуассона:

$$P_{\Pi}(t, q_e \neq 0) = P_{\Pi}(t, 0) \sum_{q_e=1}^{N_r} [P_{\Pi}(q_{ei} \leq 1) (\lambda_{e\Pi}' t)^{q_e} / q_e!]. \quad (3.10)$$

Рассмотрим принцип вычисления значения $P_{\Pi}(q_{ei} \leq 1)$. Пусть q_e отказов случайно распределены по ячейкам таким образом, что все возможные распределения (q_{e1} , q_{e2} , ..., $q_{N_e r}$, где q_{ei} указывает на число отказов ЭП в i -й

ячейке) считаются равновероятными. Число $A_{\Sigma}(q_e, N_r)$ всех возможных распределений есть число всех возможных целых решений уравнений $q_{e1} + q_{e2} + \dots + q_{eN_r} = q_e$ и их можно найти с помощью метода производящих функций. Взяв для функции

$$l(z) = \left(\sum_{q_{eN_r}=0}^{\infty} z^{q_{e1}} \right) \dots \left(\sum_{q_{eN_r}=0}^{\infty} z^{q_{eN_r}} \right) = (1 - z)^{-N_r}, \quad |z| < 1,$$

ее разложение в ряд

$$(1 - z)^{-N_r} = \sum_{q_e=0}^{\infty} A_{\Sigma}(q_e, N_r) z^{N_r},$$

имеем $A_{\Sigma}(q_e, N_r)$ в качестве коэффициента при z^{N_r} , откуда и получаем

$$A_{\Sigma}(q_e, N_r) = l^{N_r}(0)/q_e! = (q_e + N_r - 1)! / [q_e! (N_r - 1)!].$$

Рассмотрим те же распределения $(q_{e1}, q_{e2}, \dots, q_{eN_r})$, но при условии, что в любой ячейке будет отказавшим не более одного ЭП, т. е. q_{ei} равно нулю или единице, $i = \overline{1, N_r}$ (эти ограничения могут выполняться лишь при условии $q_e \leq N_r$). Число $A_1(q_e, N_r)$ всех рассматриваемых распределений — это число сочетаний из N_r по q_e . Поскольку все распределения равновероятны, то

$$P_{\Pi}(q_{ei} \leq 1) = A_1(q_e, N_r) / A_{\Sigma}(q_e, N_r) = N_r! (N_r - 1)! / [(N_r - q_e)! (q_e + N_r - 1)!]. \quad (3.11)$$

Более простая форма записи (3.11) выглядит так:

$$P_{\Pi}(q_{ei} \leq 1) \approx \prod_{i=0}^{q_e-1} (N_r - i) / (N_r + i). \quad (3.12)$$

Далее знак приближительного равенства заменим знаком равенства. С учетом (3.6), (3.8), (3.10), (3.12) запишем соотношение (3.5) в виде

$$P_{\Pi}(t, q \geq 0) = P_{\Pi}(t, 0) \left\{ 1 + \lambda'_{cut} + \sum_{q_e=1}^{N_r} [P_{\Pi}(q_{ei} \leq 1) (\lambda'_{cut})^{q_e} / q_e!] \right\}, \quad (3.13)$$

с помощью которого можно вычислить вероятность безотказной работы одного поднакопителя с условными схемами логики обрамления при исправлении одиночных ошибок в каждой строке поднакопителя. Вероятность $P(t, q \geq 0)$ безотказной работы за время t всего кристалла ЗУ рассчитываем по формуле

$$P(t, q \geq 0) = [P_{\Pi}(t, q \geq 0)]^{b_c}. \quad (3.14)$$

Процесс практического использования модели анализируем на примере введения избыточности на кристалл емкостью 16 Кбит с организацией 4096×4 бит. Примем $k=32$. Это означает, что в одной строке накопителя хранятся четыре информационных слова. Тогда $b_c=4$, $N_r=128$. При использовании кода Хэмминга с $d=3$ число проверочных символов кодового слова $r=6$, т. е. $\beta_n=38/32=1,19$. Полагаем, что соотношение между площадями кристалла, занятыми накопителем и логическими схемами, составляет $S_{нб}/S_{лб}=1,4$, что может соответствовать реальным значениям рассматриваемых величин, характерным для динамического n -канального ОЗУ. Параметр избыточности логики обрамления равен $\beta_{л}=1+0,5/4=1,125$. Полагаем, что интенсивность отказов в безыбыточном кристалле известна: $\lambda_б=1 \cdot 10^{-7}$ ч⁻¹. Интенсивность отказов логических схем составляет (см. (3.1)–(3.3)): $\lambda_{лб}=\lambda_б \cdot 0,36/0,86=0,42 \cdot 10^{-7}$ ч⁻¹, а интенсивность отказов элементов накопителя $\lambda_{сб}=0,58 \times 10^{-7}$ ч⁻¹. С учетом вычисленных ранее значений $\beta_{л}$, β_n определяем соответствующие интенсивности отказов на избыточном кристалле (см. (3.1)): $\lambda_{сн}=0,69 \cdot 10^{-7}$ ч⁻¹, $\lambda_{лн}=0,47 \cdot 10^{-7}$ ч⁻¹. Общая интенсивность отказов составляет $\lambda_{н}=1,16 \cdot 10^{-7}$ ч⁻¹, т. е. введение избыточности повысило интенсивность отказов приблизительно на 16%. Интенсивность отказов $\lambda_{сн}$ одиночных столбцов составляет $\approx 30\%$ значения $\lambda_{лн}$: $\lambda_{сн}=0,16 \cdot 10^{-7}$ ч⁻¹. Нормированные значения соответствующих интенсивностей отказов будут в 4 раза ($b_c=4$) меньше: $\lambda'_{н}=0,29 \cdot 10^{-7}$ ч⁻¹, $\lambda'_{лн}=0,1725 \cdot 10^{-7}$ ч⁻¹, $\lambda'_{сн}=0,04 \cdot 10^{-7}$ ч⁻¹. Используя формулы (3.13) и (3.14), легко рассчитать вероятности безотказной работы (или среднее время наработки до отказа) избыточной БИС.

Анализ рис. 3.1 показывает, что среднее время наработки БИС до отказа увеличивается с ростом b_c , т. е. с уменьшением длины кодового слова даже с учетом того,

что при этом возрастает (относительно) площадь кристалла. Таким образом, среднее время безотказной работы избыточной БИС может быть увеличено по крайней мере в несколько раз по сравнению с безызыточной БИС.

Полученные соотношения для вычисления показателей надежности избыточных БИС памяти наглядно отражают вклад нескольких видов отказов в общую функ-

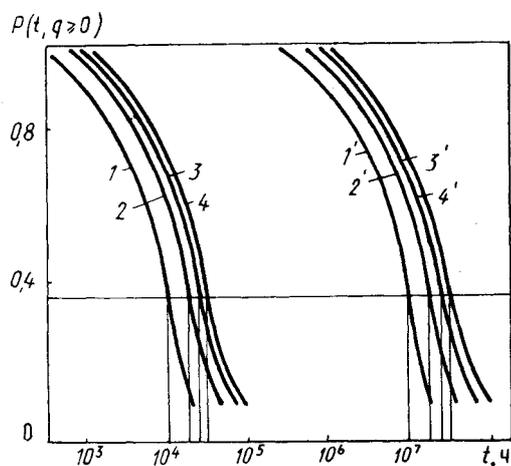


Рис. 3.1. Зависимость вероятности безотказной работы безызыточных (1) и избыточных (2—4) СБИС ЗУ от времени: 1—4— $\lambda_6 = 1 \cdot 10^{-4} \text{ ч}^{-1}$; 1'—4'— $\lambda_6 = 1 \cdot 10^{-7} \text{ ч}^{-1}$; 2— $b_c = 1$; 3—4; 4— $b_c = 8$ (кривая 3' соответствует рассмотренному примеру)

циональную надежность кристалла. Рассмотренная модель по своему основополагающему принципу не является ни «оптимистической», ни «пессимистической» (первая предполагает, что в БИС возникают только корректируемые отказы; вторая — некорректируемые [14, 24]).

Используя соотношения (3.14), можно рассчитать другие показатели надежности избыточных БИС. Однако применение этой формулы для инженерных вычислений затруднено из-за относительной ее громоздкости. Значительный практический интерес представляет упрощение формулы (3.14) и использование упрощенного выражения для последующего расчета указанных выше показателей надежности.

Оценка вероятности безотказной работы ИС. Прежде всего отметим, что указанная трудность применения (3.14) связана с определением соотношения под знаком суммы. С другой стороны, интерес представляет вычисление соответствующих параметров, область значений t для которых не больше времени наработки устройства до отказа t_0 . Поскольку интенсивность отказов $\lambda_{ен}$ не может превышать значения λ_n (равенство соответствует предельному случаю, когда все отказы — это отказы одиночных ЭП), то в интервале $t=0\dots t_0$ справедливо $\lambda_{ен}t \leq 1$. С учетом того, что математический ряд под знаком суммы является быстроубывающим, применим аппроксимацию (3.14) в следующей форме:

$$P(t, q \geq 0) = \exp(-\lambda_n t) \{1 + (\lambda_{сн} + \lambda_{ен})t/b_c + \gamma [(\lambda_{ен}t)/b_c]^2\}^{b_c}. \quad (3.15)$$

Очевидно, что нижнее значение для γ соответствует 0,5 (полагаем $N_r \gg 1$).

С помощью ЭВМ определены зависимости разности $\Delta P(\cdot)$ между значениями, которые рассчитаны по (3.14) и (3.15) (обозначим данные вероятности соответственно $P(t)_1, P(t)_2$), отнесенной к $P(t)_1$ для соответствующих t . Анализ полученных зависимостей показывает, что во всех случаях $\Delta P(\cdot) > 0$, если $\gamma = 0,5$. При $\gamma > 0,5$ характер зависимостей неоднозначный, изменяющийся как с увеличением b_c и t , так и при варьировании отношения $\lambda_{ен}/\lambda_n$. Кроме того, подтвержден вытекающий из анализа (3.14) вывод о том, что для фиксированного t справедливо выражение $\sigma_a < \sigma_b$ ($\sigma = \Delta P(\cdot)/P(t)_1$), если $(\lambda_{ен}/\lambda_n)_a < (\lambda_{ен}/\lambda_n)_b$.

На рис. 3.2 представлены зависимости $|\sigma| = f(t)$ при $\gamma = 0,5$. Значения интенсивностей отказов взяты из приведенного выше примера: интенсивность отказов в безызбыточном устройстве составляет $1 \cdot 10^{-7}$ ч $^{-1}$: 58% — отказы одиночных ЭП, 42% — отказы схем логики обрамления, из которых в свою очередь 30% — отказы одиночных столбцов накопителя, $N_r = 128$. Принято, что $\lambda_{ен} = \lambda_{об}n/k$, $\lambda_{сн} = \lambda_{об}(1 + 0,5/b_c)$, где n, k — соответственно общая длина кодового слова и длина его информационной части; $\lambda_{об}, \lambda_{об}$ — интенсивности отказов одиночных ЭП и столбцов накопителя в безызбыточном ЗУ. В других случаях принято, что $\lambda_n = \lambda_{ен}$. Анализ рис. 3.2 приводит к выводу о том, что в области t , близкой к t_0

(на кривых крестиками отмечены значения t_0 , рассчитанные по (3.14)), и при $\lambda_{en} = \lambda_n$ вероятности $P(t)_1$ и $P(t)_2$ заметно различаются. Это отличие все более уменьшается с уменьшением отношения λ_{en}/λ_n . В соответствии же с положенным в основу всего анализа тезисом о зависимости определенного типа интенсивности отказов от площади на кристалле БИС, занимаемой соответствующим схемным блоком, и с учетом реальных

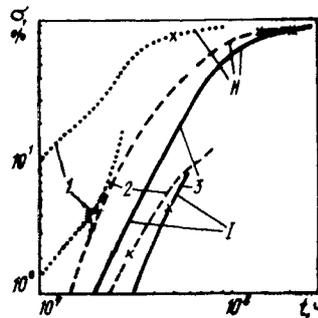


Рис. 3.2. Зависимости относительной погрешности вычислений вероятности $P(t, q \geq 0)$ по (3.14) и (3.15) при $\gamma = 0,5$; 1 — $b_c = 1$; 2 — 4; 3 — $b_c = 8$ (I — $\lambda_{en} = 0,52 \lambda_n$; II — $\lambda_{en} = \lambda_n$)

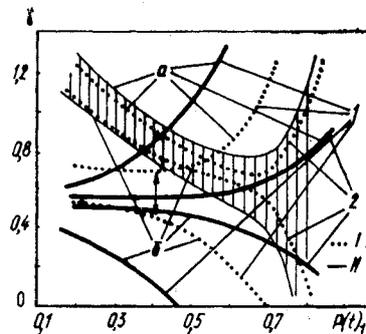


Рис. 3.3. Границы изменения параметра γ , в пределах которых $P(t)_1$ отличается от $P(t)_2$ не более чем на 2,5% для $b_c = 1$ и $\lambda_{en}/\lambda_n = 0,7$ (I — $b_c = 1$; II — $b_c = 8$): 1 — $\lambda_{en}/\lambda_n = 0,4$; 2 — $\lambda_{en}/\lambda_n = 0,7$. Заштрихована зона, соответствующая $P(t)_2 = P(t)_1 (1 + 0,05)$

значений данных площадей значение отношения λ_{en}/λ_n может лежать в пределах 0,4...0,7.

Таким образом, на величину γ накладываются следующие требования: с одной стороны, этот параметр должен быть, по возможности, единым для любых b_c и λ_{en}/λ_n , с другой — выбранное значение γ должно обеспечивать необходимую точность вычислений.

Из рис. 3.3 следует, например, что вероятности $P(t)_1 = 0,4$ (на рисунке обозначена стрелкой) соответствует вероятность $P(t)_2$, отличная от $P(t)_1$ не более чем на 2,5% при использовании в (3.15) значений $\gamma = 0,42...0,71$. Анализ полученных зависимостей показывает, что для $b_c \geq 2$ и пределов изменения отношения $\lambda_{en}/\lambda_n = 0,4...0,7$, а также для $b_c = 1$ и $\lambda_{en}/\lambda_n < 0,5$ аппроксимация (3.14) в виде (3.15) в области $0 \leq t \leq t_0$ с

точностью $\leq 2,5\%$ справедлива при $\gamma=0,56$. Это же значение γ обеспечивает точность вычисления $P(t)_2$ в той же области изменения t не ниже 15% по сравнению с использованием точного значения γ (при котором $P(t)_1=P(t)_2$). Если указанная точность (15%) недостаточна, то для $b_c=1$ и $\lambda_{сн}/\lambda_{и}=0,5$ целесообразно принять $\gamma=0,7$.

Расчет показателей надежности. Вычислим интенсив-

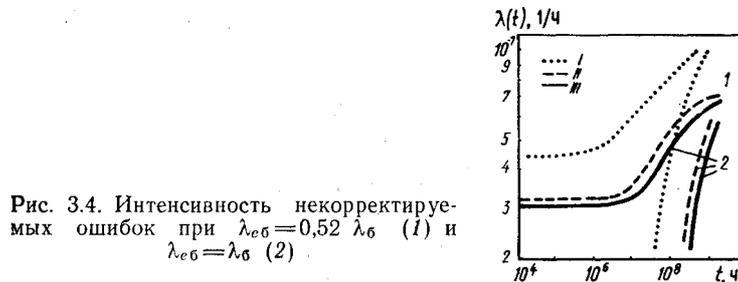


Рис. 3.4. Интенсивность некорректируемых ошибок при $\lambda_{сб}=0,52 \lambda_{с}$ (1) и $\lambda_{сб}=\lambda_{с}$ (2)

ность отказов с учетом применения корректирующего кода. Известно [33], что в общем случае интенсивность отказов $\lambda(t)$ может быть определена как $\lambda(t) = -dP(t)/[P(t)dt]$. После проведения операций над (3.15) имеем

$$\lambda(t) = \lambda_{и} - b_c [(\lambda_{сн} + \lambda_{ен})/b_c + 2\gamma (\lambda_{ен}/b_c)^2 t] / [1 + (\lambda_{сн} + \lambda_{ен}) t/b_c + \gamma (\lambda_{ен}/b_c)^2 t^2]. \quad (3.16)$$

Очевидно, что $\lambda(t)$ в (3.16) соответствует интенсивности некорректируемых отказов, уровень которой по отношению к общей интенсивности отказов снижается на величину, численно равную второму слагаемому в правой части (3.16). Зависимости $\lambda_{и}(t)$ для некоторых значений $\lambda_{ен}$, $\lambda_{сн}$ и b_c приведены на рис. 3.4. Из анализа соотношения (3.16) и рис. 3.4 следует понятный с физической точки зрения вывод: $\lambda(t=0) = \lambda_{и}(t=0) = \lambda_{и} - (\lambda_{ен} + \lambda_{сн})$. Полагая в (3.16) $t=t_0$, определяем время наработки до отказа избыточного ЗУ: $t_0 = 1/\lambda(t=t_0)$. После несложных преобразований имеем уравнение вида

$$a_1(t_0)^3 + a_2(t_0)^2 + a_0 t_0 - 1 = 0. \quad (3.17)$$

Здесь

$$a_1 = \gamma (\lambda_{ен}/b_c)^2 \lambda_{и}; \quad a_2 = [b_c \lambda_{и} (\lambda_{ен} + \lambda_{сн}) -$$

$$-(\lambda_{en})^2 \gamma (2b_c + 1) / (b_c)^2; \quad a_3 = \lambda_n - (\lambda_{en} + \lambda_{en})(b_c + 1) / b_c.$$

Известное решение кубического уравнения предполагает предварительное вычисление дискриминанта $Q = (p_1/3)^3 + (P_2/2)^2$, где $p_1 = -(a_2/a_1)^2/3 + a_3/a_1$; $p_2 = 2(a_2/3a_1)^3 - [a_2 a_3/3(a_1)^3 - 1/a_1]$. Результаты анализа показали, что возможны две ситуации: $Q \geq 0$, $Q < 0$. В первом случае (с учетом того, что имеет смысл $t_o \geq 0$)

$$t_o = [-(p_2/2) + Q^{1/2}]^{1/3} - a_2/3a_1, \quad (3.18)$$

во втором

$$t_o = 2(-p_1/2)^{1/2} \cos(a_4/3) - a_2/3Q, \quad (3.19)$$

где $\cos a_4 = -p_2/[2(p_1/3)^{-3/2}]$.

При анализе решения (3.18) установлено, что для $b_c \geq 4 \dots 8$ справедливо: $Q \approx (p_2)^2/4$, а $p_2 \approx -1/a_1$. Вследствие этого можно принять, что при $Q \geq 0$ решение (3.17) имеет более простую по сравнению с (3.18) форму записи с учетом входящих в (3.18) параметров:

$$t_o = \{(b_c)^2 / [\lambda_n (\lambda_{en})^2 \gamma]\}^{1/3} - [b_c \lambda_n (\lambda_{en} + \lambda_{en}) - (\lambda_{en})^2 \gamma (2b_c + 1)] / 3\gamma \lambda_n (\lambda_{en})^2. \quad (3.20)$$

При $b_c \leq 4$ первым слагаемым в (3.17) можно пренебречь. Принимая во внимание, что $4a_2 \gg (a_3)^2$, получаем

$$t_o \approx (a_2)^{-1/2} - a_3/2a_2. \quad (3.21)$$

Если $b_c = 1$ или $b_c = 2$, наиболее точное приближение решения (3.18) дает (3.21) без второго слагаемого в правой части, имеющее следующий конечный вид:

$$t_o = b_c / [b_c \lambda_n (\lambda_{en} + \lambda_{en}) - \gamma (\lambda_{en})^2 (2b_c + 1)]^{1/2}. \quad (3.22)$$

Здесь, по-видимому, сказалось взаимокompенсирующее действие всех принятых при переходе от (3.19) к (3.22) ограничений и допущений.

Для сравнения в табл. 3.1 приведены результаты расчета t_o по (3.20) — (3.22), наиболее точно соответствующие решению (3.14) (при $t = t_o$, $P(t_o) = 0,368$). Здесь верхняя строка t_o — для разных отношений $\lambda_{eб}/\lambda_б$ ($\lambda_{eб}$, $\lambda_б$ — соответственно интенсивность отказов одиночных ЭП и общая интенсивность отказов в безызбыточном устройстве), т. е. фактически $\lambda_{eб}/\lambda_б$ определяет относи-

Таблица 3.1. Время наработки до отказа t_0 избыточной БИС ЗУ, $\times 10^7$, ч

Параметр	b_c					
	1			2		
$\lambda_{eб}/\lambda_б$	0,4	0,6	0,7	0,4	0,6	0,7
t_0	1,33	1,80	2,29	1,64	2,27	2,91
	1,27	1,73		1,96	2,45	3,35

Параметр	b_c					
	4			8		
$\lambda_{eб}/\lambda_б$	0,4	0,6	0,7	0,4	0,6	0,7
t_0	1,91	2,69	3,38	2,11	3,02	3,80
	1,61	2,80	4,22		3,00	3,60

тельную площадь накопителя на кристалле СБИС ЗУ. При этом приблизительные значения t_0 (вторая строка) соответствуют следующему: для $b_c=1$ и $b_c=2$ — решению (3.22), $b_c=4$ — решению (3.21), $b_c=8$ — решению (3.20). Приведенные значения получены в предположении, что $N_r=128$, $\lambda_б=1 \cdot 10^{-7}$ ч⁻¹. Незаполненные графы в таблице означают, что для соответствующих b_c , $\lambda_{eб}/\lambda_б$ числовые значения (3.20) — (3.22) являются отрицательными. В этих случаях необходимо использовать только (3.18).

3.2.2. Надежность избыточных ИС памяти, в которых информация согласовывается с состоянием отказавших ЭП

Согласование записываемой информации с логическим состоянием отказавшего ЭП (генератор «0» или генератор «1») осуществляется в режиме записи информации [19]. В наиболее простом виде кодовое слово состоит из $k+1$ символов: $(k+1)$ -й показывает, в каком виде хранится слово (в прямом или инверсном).

Проанализируем надежность ИС, в которых реализован метод согласования. Рассуждение будем строить исходя из того, что поток отказов интенсивностью λ_d и поток обращений к ОЗУ интенсивностью μ_n являются пуассоновскими и независимыми. Принимаем, что основной накопитель (хранит информационные разряды

кодовых слов) состоит из N_r строк по N_c разрядов в каждой. Распределения отказов в строках — статистически независимые, поэтому интенсивность отказов ЭП отдельно взятой и составляющей отдельное информационное слово строки (полагаем для простоты, что в строке хранится одно кодовое слово) λ_{er} в N_r раз меньше общей интенсивности отказов элементов накопителя: $\lambda_{er} = \lambda_{en}/N_r$. Соответственно изменяется и интенсивность обращений к одной строке: $\mu_r = \mu_n/N_r$.

Общую интенсивность отказов λ_n рассматриваем как простую сумму всех возможных типов отказов в ОЗУ (по аналогии с подходом, описанным выше):

$$\lambda_n = \lambda_{en} + \lambda_{cn} + \lambda_{rn} + \lambda_{an},$$

где λ_{en} , λ_{cn} , λ_{rn} , λ_{an} — соответствующие значения интенсивностей отказов одиночных ЭП, отдельных столбцов, строк и др.

С учетом изложенных положений и ограничений вероятность появления за время t в строке q_{er} отказов одиночных ЭП при i обращениях к ней вычисляем в следующем виде (ситуация с возникновением других типов отказов и их сочетаний рассмотрена ниже):

$$P_{i, q_{er}}(t) = \exp\{- (\lambda_{er} + \mu_r) t\} (\lambda_{er} t)^{q_{er}} (\mu_r t)^i / q_{er}! i! \quad (3.23)$$

Граф состояний ЭП строки будет иметь форму, изображенную на рис. 3.5, а. Поскольку ошибка обнаруживается при обращении к отказавшему ЭП (с целью упрощения величины интенсивностей обращений к отдельной строке и к отдельному ЭП строки считаем приблизительно одинаковыми), то строка будет функционировать нормально (в считываемой из строки информации ошибок не будет), если при очередном обращении к ней среди соответствующих ЭП будет не более одного отказавшего элемента или после отказа двух или более ЭП обращения не производятся. Тогда вероятность безотказной работы строки за время t

$$P_r(t) = P_1(t) + P_2(t) + P_3(t) + P_4(t). \quad (3.24)$$

Здесь

$$P_1(t) = \sum_{q_{er}=0}^{\infty} P_{0, q_{er}}(t) = \exp(-\mu_r t); \quad (3.25)$$

$$P_2(t) = \sum_{i=1}^{\infty} P_{i,0}(t) = \exp(-\lambda_{er}t)[1 - \exp(-\mu_r t)]; \quad (3.26)$$

$$P_3(t) = \sum_{i=1}^{\infty} P_{i,1}(t) = \lambda_{er}t P_2(t). \quad (3.27)$$

Расчетные соотношения (3.25) — (3.27) означают: $P_1(t)$ — вероятность отсутствия обращений к строке, $P_2(t)$ — вероятность отсутствия отказов одиночных ЭП при нали-

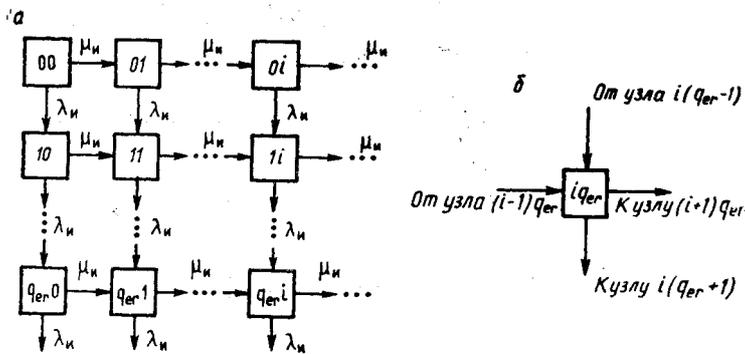


Рис. 3.5. Схематичное изображение графа состояний ЭП накопителя

чий обращений, $P_3(t)$ — вероятность появления одного отказа ЭП при любом числе обращений к строке. Значение последнего слагаемого в (3.24) требует дополнительного рассмотрения. Возьмем узел iq_{er} графа (рис. 3.5, б), где $i > 0$, $q_{er} \geq 2$. Если переход в узел iq_{er} совершается из узла $(i-1)q_{er}$, то при чтении информации обнаруживается некорректируемый отказ, при переходе же из узла $i(q_{er}-1)$ чтения информации нет, хотя отказ и является некорректируемым, т. е. в последнем случае в момент t на информационных выходах ОЗУ некорректируемых ошибок нет. По известной формуле условной вероятности

$$P(B_1/A) = \frac{P(B_1)P(A/B_1)}{P(B_1)P(A/B_1) + P(B_2)P(A/B_2)},$$

где событие A соответствует состоянию строки, характеризующемуся узлом iq_{er} ; событие B_1 — узлом $i(q_{er}-1)$;

событие B_2 — узлом $(i-1)q_{er}$. В итоге имеем

$$P(B_1/A) = q_{er}/(q_{er} + i),$$

при этом приняв, что $P(A/B_1) = \lambda_{er}\Delta t$, $P(A/B_2) = \mu_r\Delta t$ — условные вероятности переходов; Δt — бесконечно малый промежуток времени, в течение которого осуществляется переход ЭП строки в другое состояние. С учетом приведенного рассуждения получаем

$$P_4(t) = \sum_{i=1}^{\infty} \sum_{q_{er}=2}^{\infty} [P_{i,q_{er}}(t) q_{er}/(q_{er} + i)]. \quad (3.28)$$

Здесь $P_{i,q_{er}}(t)$ вычислено по (3.23).

Для расчета вероятности (3.28) слагаемые в правой части представим в виде

$$P_4(t) = \exp[-(\lambda_{er} + \mu_r)t] \sum_{i=1}^{\infty} \sum_{q_{er}=2}^{\infty} [(\lambda_{er}t)^{q_{er}} \times \\ \times (\mu_r t)^i q_{er}/(i + q_{er}) q_{er}! i!].$$

При фиксированном q_{er} сумму $\sum_{i=1}^{\infty} (\mu_r t)^i / (i + q_{er}) i! = \Sigma_1$ вы-

числим посредством дифференцирования с последующим интегрированием:

$$\Sigma_1 = \left[\exp(-\mu_r t) \sum_{m=0}^{q_{er}-1} a_{m,q_{er}} (\mu_r t)^m - C_{q_{er}} \right] / (\mu_r t)^{q_{er}} - 1/q_{er},$$

где $a_{m,q_{er}}$, $C_{q_{er}}$ — некоторые постоянные коэффициенты.

В частности, при $q_{er} = 2$

$$\sum_{m=0}^1 a_{m,2} (\mu_r t)^m = \mu_r t - 1, \quad C_2 = -1,$$

при $q_{er} = 3$

$$\sum_{m=0}^2 a_{m,3} (\mu_r t)^m = (\mu_r t)^2 - 2\mu_r t + 2, \quad C_3 = 2.$$

С учетом того что

имеем

$$\sum_{q_{er}=2}^{\infty} (\lambda_{er}t)^{q_{er}}/q_{er}! = \exp(\lambda_{er}t) - (1 + \lambda_{er}t),$$

$$P_4(t) = \exp[-(\lambda_{er} + \mu_r)t] \sum_{q_{er}=2}^{\infty} (\lambda_{er}/\mu_r)^{q_{er}}/(q_{er}-1)! \times$$

$$\times \left[\exp(\mu_r t) \sum_{m=0}^{q_{er}-1} a_{m, q_{er}} (\mu_r t)^m - C_{q_{er}} \right] - \exp(-\mu_r t) +$$

$$+ (1 + \lambda_{er}t) \exp[-(\lambda_{er} + \mu_r)t]. \quad (3.29)$$

Последнее выражение, как и (3.25)–(3.27), наглядно показывает, что числовое значение вероятности $P_r(t)$ существенно зависит от отношения λ_{er}/μ_r , т. е. от λ_{er}/μ_r .

Вероятность $P(t, q \geq 0)_e$ безотказной работы всего накопителя при условии появления только отказов одиночных ЭП выразим в следующем виде:

$$P(t, q \geq 0)_e = [P_r(t)]^N P_e^-(t). \quad (3.30)$$

Здесь $P_r(t)$ вычислено по (3.24); $P_e^-(t) = \exp[-(\lambda_{er} - \lambda_{er})t]$ — вероятность отсутствия в ОЗУ любых типов отказов, кроме отказов одиночных ЭП за время t .

Считываемая из ЗУ информация не будет также содержать ошибок, если отказал один столбец накопителя. В данном случае ошибки могут возникать во всех или в большинстве кодовых слов, хранящихся в накопителе. Интенсивность отказов столбцов составляет $\lambda_{сн}$. По аналогии с (3.30) может быть записано соотношение для вероятности $P(t, q \geq 0)_c$ безотказной работы ИС при отказах столбцов (при этом необходимо отметить, что случай отсутствия столбцовых отказов уже учтен в (3.30)):

$$P(t, q \geq 0)_c = P_c(t) P_c^-(t), \quad (3.31)$$

где $P_c(t)$ — вероятность коррекции ошибок из-за отказа столбцов; $P_c^-(t)$ — вероятность отсутствия любых других (кроме столбцовых) типов отказов.

Первый множитель в формуле (3.31) может быть представлен суммой, аналогичной (3.24), однако тогда в соответствующих уравнениях (3.25)–(3.27), (3.29)

вместо λ_{er} и μ_r должны быть использованы параметры λ_{ci} , μ_c .

Общую вероятность $P(t, q \geq 0)$ безотказной работы кристалла памяти можно выразить так:

$$P(t, q \geq 0) = P(t, q \geq 0)_e + P(t, q \geq 0)_c. \quad (3.32)$$

На практике в большинстве случаев $\lambda_n/\mu \ll 1$. Поэтому с точностью до отношения указанных параметров уравнение (3.29) аппроксимируется следующим выражением:

$$P'_4(t) = \exp[-(\mu_r + \lambda_{er})t](1 + \lambda_{er}t) - \exp(-\mu_r t).$$

С учетом последнего соотношения после простых преобразований (3.24) примет вид

$$P_r(t) = \exp(-\lambda_{er}t)(1 + \lambda_{er}t). \quad (3.33)$$

После подстановки (3.33) в (3.30) получаем

$$P(t, q \geq 0)_e = (1 + \lambda_{er}t)^{N_r} P(t, 0). \quad (3.34)$$

Здесь $P(t, 0)$ — вероятность отсутствия любых отказов в ИС за время t .

Проводя аналогичные преобразования, связанные с (3.31), при том же условии ($\lambda_n/\mu \approx \lambda_{ci}/\mu \ll 1$) и с учетом $P'_c(t) = \exp[-(\lambda_n - \lambda_{ci})t]$, получаем вероятность (3.31), рассчитываемую по формуле

$$P(t, q \geq 0)_c = \lambda_{ci}t P(t, 0). \quad (3.35)$$

Тогда общую вероятность $P(t, q \geq 0)$ безотказной работы можно вычислить на основе преобразованного соотношения (3.32) с помощью выражения

$$P(t, q \geq 0) = P(t, 0)[\lambda_{ci}t + (1 + \lambda_{er}t)]^{N_r}. \quad (3.36)$$

Множитель в квадратных скобках показывает степень увеличения вероятности безотказной работы ЗУ при использовании избыточности.

Проинтегрировав (3.31), получим среднее время наработки ЗУ до отказа

$$t_o = \lambda_{ci}/(\lambda_n)^2 + \exp E\Gamma(1 + N_r, E)/(\lambda_n E^{N_r}), \quad (3.37)$$

где $E = N_r \lambda_n / \lambda_{ci}$; $\Gamma(1 + N_r, E)$ — неполная гамма-функция. С учетом того что

$$\Gamma(1 + N_r, E) = \exp(-E) E^{N_r} \times \left(1 + \frac{N_r}{E} + \frac{N_r(N_r - 1)}{E^2} + \dots \right), \quad (3.38)$$

преобразуем (3.37) к виду

$$t_o = (1/\lambda_{и})(E_1 + \lambda_{еи}/\lambda_{и}). \quad (3.39)$$

Здесь E_1 — третий сомножитель (ряд) в правой части (3.38).

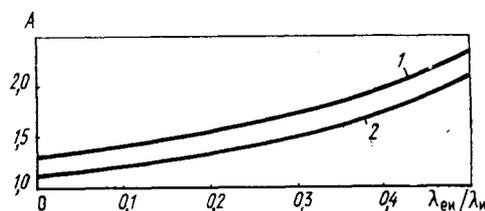
При $\lambda_{и} = \lambda_{еи}$ получаем $E = N_r$ и $\Gamma(1 + N_r, E) \approx \Gamma(1 + N_r, N_r)$. Последняя форма гамма-функции позволяет аппроксимировать ее следующим выражением (имеется в виду, что $N_r \gg 1$):

$$\Gamma(1 + N_r, N_r) \approx \exp(-N_r) N_r^{N_r} (\pi N_r/2)^{1/2}.$$

С учетом этого $E_1 = (\pi N_r/2)^{1/2}$. Последнее соотношение для E_1 получено, как отмечено выше, при условии $\lambda_{и} = \lambda_{еи}$, т. е. $\lambda_a = \lambda_c = 0$, что характерно для энергонезависимых ЗУ [117], значение E_1 численно равно максимальному увеличению надежности ЗУ при использовании встроенных схем кодирования.

На рис. 3.6 показан характер изменения времени наработки до отказа избыточных ОЗУ по сравнению с безыбыточными устройствами и соответствующей информационной емкости. Из рисунка видно, что при $\lambda_{си}/\lambda_{и} = 0,1 \dots 0,3$ рассматриваемый метод введения избыточности позволяет увеличить время наработки до отказа ОЗУ в 2—3 раза. Используя данные для избыточного ОЗУ (см. подпараграф 3.2.1): $\lambda_{и} = 1,16 \cdot 10^{-7} \text{ ч}^{-1}$, $\lambda_{еи} = 0,69 \cdot 10^{-7} \text{ ч}^{-1}$, $\lambda_{си} = 0,16 \cdot 10^{-7} \text{ ч}^{-1}$, $N_r = 128$, с учетом (3.39) получим $E_1 + (\lambda_{еи}/\lambda_{и}) = 2,5$. Сравнение последнего числа с показателем увеличения надежности ОЗУ (для метода коррекции ошибок в цикле чтения) приводит к

Рис. 3.6. Относительное увеличение (относительно безыбыточного устройства) времени наработки до отказа избыточной ИС, рассчитанное по (3.39): $A = [E_1 + \lambda_{си}/\lambda_{и}]/\beta$; $\lambda_{си}/\lambda_{и}$ равно 0,3 (1) и 0,1 (2)



важному практическому выводу: метод коррекции одиночных ошибок кодом при считывании информации с ОЗУ и метод согласования записываемой информации с логическим состоянием отказавшего ЭП накопителя обеспечивают приблизительно одинаковый (с точностью до показателя роста площади избыточных кристаллов относительно безызбыточных) уровень повышения надежности ОЗУ.

3.2.3. Оценка надежности ИС памяти при коррекции одиночных и двойных ошибок

Иногда целесообразно корректировать в некоторой (произвольной) части кодовых слов не только одиночные, но и двойные ошибки. Оценим эффективность реализации такого метода. При общем числе строк N_r в накопителе примем, что в N_{1r} строках корректируются только одиночные ошибки (для упрощения полагаем, что в одной строке размещается одно кодовое слово), а в N_{2r} строках — и одиночные, и двойные ($N_r = N_{1r} + N_{2r}$). Таким образом, исходный накопитель разбивается на два поднакопителя с числом строк N_{1r} и N_{2r} и вероятность его безотказной работы в целом

$$P_{\Pi}(t) = P_{\Pi 1}(t) P_{\Pi 2}(t), \quad (3.40)$$

где $P_{\Pi 1}(t)$, $P_{\Pi 2}(t)$ — вероятности безотказной работы за время t первого и второго поднакопителей.

Расчет вероятности $P_{\Pi 1}(t)$ может быть проведен по методике, изложенной в подпараграфе 3.2.1 или подпараграфе 3.2.2. Рассчитаем величину $P_{\Pi 2}(t)$. Предположим, что действуют только отказы одиночных ЭП, т. е. интенсивности отказов других типов равны нулю. Тогда имеем

$$P_{\Pi 2}(t)_e = \exp(-\lambda_{er} t N_{2r}) [1 + \lambda_{er} t + (\lambda_{er} t)^2 / 2]. \quad (3.41)$$

Здесь λ_{er} — интенсивность отказов одиночных ЭП в одной строке накопителя [117].

По аналогии

$$P_{\Pi 1}(t)_e = \exp(-\lambda_{er} t N_{1r}) (1 + \lambda_{er} t)^{N_{1r}}. \quad (3.42)$$

Подставляя (3.41) и (3.42) в (3.40), получаем

$$P_n(t)_e = (1 + \lambda_{er}t)^{N_{1r}} [1 + \lambda_{er}t + (\lambda_{er}t)^2/2] \exp(-\lambda_{er}t), \quad (3.43)$$

где λ_{en} — интенсивность отказов одиночных ЭП для накопителя в целом.

При наличии столбцовых и других типов отказов с интенсивностями λ_{cn} и λ_{an} соответственно с учетом [117] имеем

$$\begin{aligned} P(t, q \geq 0) = & P_n(t)_e \exp(-\lambda_{cn}t) \exp(-\lambda_{an}t) + \\ & + \lambda_{cn}t \exp(-\lambda_{en}t) \exp(-\lambda_{er}t N_{1r}) (1 + \lambda_{er}t)^{N_{2r}} \times \\ & \times \exp(-\lambda_{er}t N_{2r}) \exp(-\lambda_{an}t). \end{aligned} \quad (3.44)$$

Здесь $P(t, q \geq 0)$ — вероятность безотказной работы поднакопителя при наличии всех типов отказов; первое слагаемое в (3.44) соответствует случаю, когда столбцовые отказы и отказы накопителя (в данном случае поднакопителя — λ_{an}) отсутствуют; второе — когда имеется один столбцовый отказ, отсутствует отказ накопителя, отсутствуют одиночные отказы ЭП в первом поднакопителе и имеет место не более одного отказа на строку во втором. Перепишем (3.44) в другом виде:

$$\begin{aligned} P(t, q \geq 0) = & [(1 + \lambda_{er}t)^{N_{1r}} (1 + \lambda_{er}t + (\lambda_{er}t)^2/2)]^{N_{2r}} + \\ & + (1 + \lambda_{er}t)^{N_{2r}} \lambda_{cn}t] \exp(-\lambda_{en}t). \end{aligned}$$

Среднее время наработки ЗУ до отказа определяем так:

$$t_0 = \int_0^{\infty} P(t, q \geq 0) dt = J_1 + J_2, \quad (3.45)$$

где

$$J_1 = \int_0^{\infty} (1 + \lambda_{er}t)^{N_{1r}} [1 + \lambda_{er}t + (\lambda_{er}t)^2/2]^{N_{2r}} \exp(-\lambda_{en}t) dt, \quad (3.46)$$

$$J_2 = \int_0^{\infty} \lambda_{cn}t (1 + \lambda_{er}t)^{N_{2r}} \exp(-\lambda_{en}t) dt.$$

Для J_2 существует стандартное решение [118]:

$$J_2 = \lambda_{cn} \Gamma(2) (1/\lambda_{er})^2 \Psi(2, 3 + N_{2r}, \lambda_{en}/\lambda_{er}). \quad (3.47)$$

Здесь $\Gamma(2)$ — гамма-функция.

Значение $\psi(\cdot)$ вычисляем в соответствии с выражением [118]:

$$\psi(z_1, z_2, z_3) = \frac{\Gamma(1-z_2)}{\Gamma(1+z_1-z_2)} {}_1F_1(z_1, z_2, z_3) + \\ + \frac{\Gamma(z_2-1)}{\Gamma(z_1)} (z_3)^{1-z_2} {}_1F_1(1+z_1-z_2, 2-z_2, z_3),$$

где ${}_1F_1$ — вырожденная гипергеометрическая функция. С учетом этого имеем

$$[1 + \lambda_{er}t + (\lambda_{er}t)^2/2]^{N_{2r}} = \sum_{i=0}^{N_{2r}} C_{N_{2r}}^i (1 + \lambda_{er}t)^i [(\lambda_{er}t)^2/2]^{N_{2r}-i}. \quad (3.48)$$

Подставляя (3.48) в (3.46), получаем

$$J_1 = \sum_{i=0}^{N_{2r}} C_{N_{2r}}^i \varphi_i.$$

Здесь

$$\varphi_i = [(\lambda_{er})^{2(N_{2r}-i)/2^{N_{2r}-i}}] \int_0^{\infty} t^{2(N_{2r}-i)} (1 + \lambda_{er}t)^{N_{1r}+i} \times \\ \times \exp(-\lambda_{er}t) dt.$$

Последнее выражение с учетом интеграла [118] имеет вид

$$\varphi_i = 1/\lambda_{er} \{ \Gamma[2(N_{2r}-i)+1] \psi[2(N_{2r}-i)+ \\ + 1, 2(N_{2r}+1) + N_{1r}-i, f] (1/2^{N_{2r}-i}),$$

где $f = \lambda_{er}/\lambda_{en}$.

Далее вычисляем J_2 . Применяя тождественное преобразование, получаем уравнение

$$J_2 = (\lambda_{en}/\lambda_{er}) \left[\int_0^{\infty} (1 + \lambda_{er}t)^{N_{2r}+1} \exp(-\lambda_{er}t) dt - \right. \\ \left. - \int_0^{\infty} (1 + \lambda_{en}t)^{N_{2r}} \exp(-\lambda_{en}t) dt \right]. \quad (3.49)$$

Используя значения этих интегралов из работы [118], преобразуем последнее соотношение к следующему виду:

$$J_2 = [\lambda_{\text{си}} \exp f / (\lambda_{\text{er}} \lambda_{\text{н}} f^{N_{2r}})] [\Gamma(2 + N_{2r}, f) - \Gamma(1 + N_{2r}, f)].$$

После несложных преобразований и с учетом выражения

$$\Gamma(1 + N_{2r}, f) = 1 + \frac{N_{2r}}{f} + \frac{N_{2r}(N_{2r}-1)}{f^2} + \dots + \frac{N_{2r}!}{f^{N_{2r}}}$$

имеем

$$J_2 = E_2 / \lambda_{\text{н}}. \quad (3.50)$$

Здесь

$$E_2 = (\lambda_{\text{си}} / \lambda_{\text{н}}) \Gamma(1 + N_{2r}, f). \quad (3.51)$$

Приведем (3.40) к удобному виду. Согласно работе [119],

$$\begin{aligned} \Psi[2(N_{2r}-1) + 1, 2(N_{2r}+1) + N_{1r} - i, f] &= f^{-2(N_{2r}-i)-1} \times \\ &\times \sum_{j=0}^{\infty} \frac{\Gamma[2(N_{2r}-i) + 1 + j]}{\Gamma[2(N_{2r}-i) + 1]} \frac{\Gamma(j - N_{1r} - i)}{\Gamma(-N_{1r} - i)} \frac{(-1)^j f^{-j}}{j!}. \end{aligned} \quad (3.52)$$

Далее учитываем, что $\Gamma(z)$ при $z = -1, -2, \dots$ имеет простой полюс с вычетом (коэффициенты при $1/(z-z_0)$ в ряде Лорана) $(-1)^i/i!$, где $z = -i, i = 1, 2, \dots$. Исходя из этого, получаем

$$\frac{\Gamma(j - N_{1r} - i)}{\Gamma(-N_{1r} - i)} = (-1)^j \frac{(N_{1r} + i)!}{N_{1r} + i - j}, \quad j < N_{1r} + i.$$

При $j \geq N_{1r} + i$ последнее соотношение обращается в нуль, так как $\Gamma(z)$ имеет полюс в указанных точках. Отсюда следует, что суммирование в (3.52) распространяется на $j < N_{1r} + i$. Окончательно для φ_i имеем:

$$\varphi_i = \frac{N_{1r} + i}{\lambda_{\text{н}} (\sqrt{2}f)^{2(N_{2r}-i)}} \sum_{j=0}^{N_{1r}+i-1} \frac{[2(N_{2r}-i) + j]! f^{-j}}{(N_{1r} + i - j)! j!}. \quad (3.53)$$

Подставляя (3.53) в (3.49), находим

$$J_1 = \frac{1}{\lambda_{\text{н}}} \sum_{i=0}^{N_{2r}} \frac{N_{2r}! (N_{1r} + i)!}{i! (N_{2r} - i)! (\sqrt{2}f)^{2(N_{2r}-i)}} \times$$

$$\times \sum_{j=0}^{N_{1r}+i-1} \frac{[2(N_{2r}-i)+j]! f^{-j}}{(N_{1r}+i-j)! j!}. \quad (3.54)$$

Двойная сумма в (3.54) определяет относительное увеличение наработки до отказа избыточного ЗУ (относительно безыбыточной структуры, наработка которой составляет $t_6=1/\lambda_6$): t_o/t_6 , где t_o , t_6 — время наработки до отказа избыточного ЗУ, ЗУ без избыточности. Обозначив выражение под знаком двойной суммы в (3.54) через F_2 и выполнив несложные преобразования, получим

$$F = (F_1 + F_2)/\beta. \quad (3.55)$$

Здесь β — коэффициент избыточности ИС ($\beta=\lambda_{и1}/\lambda_6$).

На рис. 3.7 в качестве примера для ОЗУ с организацией накопителя 128×128 изображены зависимости F от относительных величин $\lambda_{еи1}$, $\lambda_{сн1}$. Их анализ показывает, что при статистически независимых отказах коррекция двойных ошибок в кодовом слове увеличивает время наработки ИС до отказа (не корректируемого) по сравнению с эффективностью исправления только одиночных ошибок приблизительно в 1,5—3 раза в зависимости от отношений $\lambda_{еи1}/\lambda_{и1}$, $\lambda_{сн1}/\lambda_{и1}$. С целью упрощения разверну-

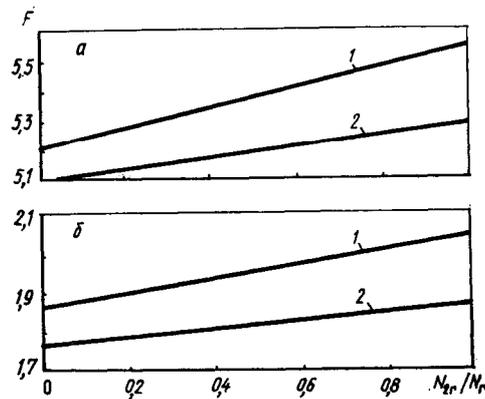


Рис. 3.7. Зависимость относительного увеличения времени наработки до отказа для избыточных ИС ($t_{ои1}$) при $\lambda_{еи1}/\lambda_{и1}=0,8$ (а) и $0,4$ (б), $\lambda_{сн1}/\lambda_{и1}=0,2$ (1) и $0,1$ (2) от размера относительной части кодовых слов, в которых исправляются двойные ошибки

того соотношения (3.55) запишем последнее в следующем виде:

$$F = F_1 + \sum_{i=0}^{N_{2r}} \sum_{j=0}^{N_{2r}+i-1} F_{21} F_{22}, \quad (3.56)$$

где

$$F_1 = f_2 \left[1 + \frac{2N_{2r}f_1}{N_r} + \dots + \frac{(N_{2r} + 1)! (f_1)^{N_{2r}}}{(N_r)^{N_{2r}}} \right];$$

$$F_{21} = C_{N_{2r}}^i \left(\frac{2^{1/2} f_1}{N_r} \right)^{2(N_{2r}-i)};$$

$$F_{22} = [2(N_{2r} - i) + j]! (N_r/f_1)^{-j} / [(N_{1r} + i - j)! j!].$$

Здесь $C_{N_{2r}}^i$ — число сочетаний; $f_1 = \lambda_{en}/\lambda_{и}$; $f_2 = \lambda_{сн}/\lambda_{и}$.

Положим $f_3 = N_{2r} - i$. Тогда с учетом $N_r = N_{1r} + N_{2r}$ получим $N_{1r} + i - 1 = N_r - f_3 - 1$. Перепишем второе слагаемое в (3.56) в форме

$$F_2 = \sum_{f_3=0}^{N_{2r}} \sum_{j=0}^{N_r-f_3-1} C_{f_3,j} (f_1)^{2f_3+j}, \quad (3.57)$$

где $C_{f_3,j} = N_{2r}! (N_r - f_3)! (2f_3 + j)! / [(N_{2r} - f_3)! f_3! j! (N_r - f_3 - j)! 2^{f_3} N_r^{2f_3+j}]$.

Для анализа выражения (3.57) применим методы теории возмущений [120], в соответствии с чем представим (3.57) в виде

$$F_2 = b_0 + b_1 f_1 + b_2 (f_1)^2 + \dots$$

В роли малого параметра здесь выступает f_1 . Невозмущенному значению $F_2 (F_2^0)$ соответствует $f_1 = 0$. В данном случае $F_2 = b_0$, что достигается при $f_3 = j = 0$. Тогда $F_2^0 = 1$. Физически это означает, что $\lambda_{сн} = 0$, и эффект от коррекции одиночных ошибок из-за отказов ЭП отсутствует. Первая поправка имеет вид $F_2^1 = C_{0,1} f_1 = f_1$, так как $C_{0,1} = 1 (f_3 = 0, j = 1)$, вторая —

$$F_2^2 = (C_{0,2} + C_{1,0}) (f_1)^2 = \left(\frac{N_{2r}}{(N_r)^2} + \frac{N_r - 1}{N_r} \right) (f_1)^2.$$

С учетом того что для современных устройств $N_r \gg 100$, а $N_{2r} \leq N_r$, можно положить $F_2^2 \approx (f_1)^2$. Проведя аналогич-

ные рассуждения для поправок более высокого порядка и проанализировав их с учетом $f_1 (f_1 < 1)$, получаем

$$F_2 \approx \sum_{i=0}^{N_r} (f_1)^i = 1/(1 - f_1).$$

Сравнивая последнее соотношение с выражением (3.57), вычисленным при $N_{2r}=0$, отмечаем факт их численного равенства. Это еще раз подтверждает сделанный выше вывод об относительно невысокой эффективности коррекции двойных ошибок, возникающих преимущественно из-за статистически независимых отказов одиночных ЭП.

Принимая во внимание нецелесообразность увеличения N_{2r} и порядок реальной величины $f_1 (f_1 \approx 0,4...0,8)$, приходим к выводу, что соотношение для вычисления величины F_1 может быть также упрощено и приведено к виду

$$F_1 = f_2 [1 + 2N_{2r}f_1/N_r].$$

Следовательно, общее выражение для оценки величины F_3 можем записать так:

$$F_3 = 1/(1 + f_1) + f_2 [1 + 2N_{2r}f_1/N_r]. \quad (3.58)$$

Уравнение (3.58) позволяет оценить вклад коррекции ошибок из-за отказов разного типа в общую величину F_3 : первое слагаемое определяет степень повышения времени наработки ЗУ до отказа вследствие нейтрализации только отказов одиночных ЭП, второе — в результате отказов только столбцов накопителя, третье — из-за двойных отказов, т. е. и столбцовых, и одиночных. В табл. 3.2 приведены данные расчета F_3 с использованием (3.56), (3.58) для разных f_1 , f_2 и N_{2r}/N_r (принято $N_r=100$; при увеличении N_r погрешность вычисления F_3 для тех же N_{2r}/N_r уменьшается). Результаты анализа показывают, что погрешность $\epsilon (\epsilon = \Delta F/F_n$, где $\Delta F = |F_n - F_n|$). Здесь F_n, F_n — значения F_3 , рассчитанные соответственно с учетом (3.56), (3.58)) вычислений F_3 повышается с ростом суммы $f_1 + f_2$ (увеличение последней в свою очередь приводит к росту F_3). Но поскольку на практике $f_1 + f_2 \leq 0,7...0,8$ (для ДОЗУ и СОЗУ), то применение (3.58) для оценки эффективности использования корректирующих кодов с целью исправления информационных ошибок в ЗУ дает погрешность $\approx 10\%$ по сравнению с результатом, вычисленным по (3.56).

Таблица 3.2. Относительное увеличение F_3 времени наработки ЗУ до отказа и погрешность ϵ , %, вычисления по (3.58) по сравнению с расчетом по (3.55)

N/N_T	f_2	0,1						f_1	f_2
		0,2	0,4	0,6	0,8	1,0	1,2		
0,1	f_1								
	$\frac{F_3}{ f_1 }$	$\frac{1,35}{0,04}$	$\frac{1,77}{0,10}$	$\frac{2,57}{1,80}$	$\frac{4,61}{11,00}$	$\frac{1,67}{0,02}$	$\frac{2,09}{0,20}$	$\frac{2,06}{0,04}$	
0,5	f_1								
	$\frac{F_3}{ f_1 }$	$\frac{1,37}{0,20}$	$\frac{1,82}{0,70}$	$\frac{2,68}{0,60}$	$\frac{4,94}{4,80}$	$\frac{1,74}{0,80}$	$\frac{2,29}{2,60}$	$\frac{2,26}{2,10}$	
1,0	f_1								
	$\frac{F_3}{ f_1 }$	$\frac{1,41}{1,10}$	$\frac{1,94}{4,80}$	$\frac{3,08}{11,7}$	$\frac{6,72}{22,00}$	$\frac{1,87}{3,40}$	$\frac{2,76}{13,60}$	$\frac{2,65}{9,70}$	

3.2.4. Снижение интенсивности сбоев в ОЗУ при коррекции ошибок

Изложенный выше анализ надежности микросхем памяти с избыточностью проведен в предположении появления на кристалле лишь жестких (*hard*) отказов. Однако известно, что интенсивность сбоев (особенно в ДОЗУ) может быть на несколько порядков выше интенсивности отказов. Исследуем уровень снижения ошибок в информации, достигаемый нейтрализацией сбоев в ДОЗУ, для случая применения кода, обнаруживающего и исправляющего одну ошибку в кодовом слове длиной n разрядов, k из которых являются информационными и r — контрольными. Согласно работе [37], полагаем (если обозначить плотность потока альфа-частиц как среднее число частиц, попадающих на единицу площади в единицу времени, через M), что вероятность попадания i частиц на площадь S_{Π} за время t подчиняется пуассоновскому распределению:

$$P_i(S_{\Pi}, t) = \exp(-MS_{\Pi}t) (MS_{\Pi}t)^i / i! \quad (3.59)$$

Положим [37], что каждая частица, попавшая на площадь кристалла, занятую накопителем, вызывает сбой одного ЭП; характер распределения сбоев является независимым; частицы, попавшие в схемы логики обрамления БИС, не вызывают сбоев ЭП. Поскольку интенсивность сбоев в несколько раз выше, чем отказов, дальнейший анализ ведем без учета отказов (*hard*) ЭП.

При матричной организации накопителя БИС, состоящего из N_r строк и N_c столбцов ЭП (площадь каждого ЭП составляет S_e), интенсивность сбоев в безызбыточном кристалле рассчитываем по формуле

$$\lambda_{bs} = MS_e N_r N_c. \quad (3.60)$$

Вероятность невозникновения ошибки в одном кодовом слове (n -разрядной ячейке) определяется вероятностями отсутствия сбоев или появления одного сбоя в n ЭП:

$$P_{cw}(t) = \sum_{i=0}^1 P_i(S_e n, t), \quad (3.61)$$

где $P_i(nS_e, t)$ рассчитываем по аналогии с (3.59).

Вероятность отсутствия ошибок во всем накопителе

$$P(t, q) = [P_{cw}(t)]^{b_c N_r}. \quad (3.62)$$

Здесь b_c — число кодовых слов, размещаемых в строке накопителя.

Обозначим с целью упрощения математических выражений число кодовых слов, хранящихся в накопителе БИС, через b_n ($b_n = b_c N_r$), а nMS_e — через b_n . Тогда (3.62) можно переписать в виде

$$P(t, q) = \exp(-b_n b_n t) (1 + b_n t)^{b_n}. \quad (3.63)$$

При коррекции ошибок только в режиме считывания информации из накопителя нейтрализующие возможности избыточности с течением времени уменьшаются, т. е. ресурсы кода безвозвратно «размениваются» на функциональную надежность БИС. Однако их можно в значительной степени восстанавливать, если коррекцию ошибок проводить в режиме регенерации информации с последующей записью в соответствующие ячейки уже скорректированных кодовых слов [121]. Известно, что при повторной записи символа в ЭП, где произошел сбой, последствия этого сбоя уже не оказывают влияния.

Положим, что регенерация информации в накопителе осуществляется за одинаковое время t_p . Приняв в (3.63) $t = t_p$, можно вычислить вероятность $P(t_p, q)$ безотказной работы БИС в конце промежутка $t = 0 \dots t_p$, т. е. за первый после включения цикл. При $t = 2t_p$

$$P(2t_p, q) = P(t_{1p}, q) P(t_{2p}, q),$$

где первый сомножитель в правой части соответствует, например, вероятности безотказной работы в первом цикле, второй — во втором цикле. Однако поскольку мы приняли $t_p = \text{const}$, то, проводя дальнейшие рассуждения (при числе циклов $l_c \gg 1$), получаем уравнение

$$P(l_c t_p, q) = \exp(-l_c b_n b_n t_p) (1 + b_n t_p)^{l_c b_n}. \quad (3.64)$$

Выполнив обратную замену ($t = l_c t_p$) и подставив соответствующее значение в (3.64), будем иметь

$$P(t, q) = \exp(-b_n b_n t) (1 + b_n t / l_c)^{l_c b_n}. \quad (3.65)$$

Для вычисления интенсивности сбоев в избыточном кристалле (это по существу нескорректированные сбои) используем известное соотношение

$$\lambda_{\text{ИС}}(t) = -dP(t, q)/P(t, q) dt.$$

После вычислений и преобразований получаем

$$\lambda_{\text{ИС}}(t) b_{\text{H}} (b_{\text{H}})^2 t / (l_{\text{C}} + b_{\text{H}} t). \quad (3.66)$$

Определяем время наработки до отказа избыточной БИС:

$$t_0 = 1/\lambda_{\text{ИС}}(t = t_0). \quad (3.67)$$

С учетом (3.66), (3.67) формула для расчета t_0 примет вид:

$$t_0 = (l_{\text{C}} + b_{\text{H}} t_0) / b_{\text{H}} (b_{\text{H}})^2 t_0.$$

Последнее выражение легко преобразовать в квадратное уравнение, решение которого при условии $4b_{\text{H}} l_{\text{C}} \gg 1$ дает

$$t_0 = \pm (l_{\text{C}}/b_{\text{H}})^{1/2} / b_{\text{H}}.$$

Но поскольку отрицательное значение t_0 физического смысла не имеет, то можно записать

$$t_0 = (l_{\text{C}}/b_{\text{C}} N_r)^{1/2} / n M S_e. \quad (3.68)$$

С помощью (3.68) можно вычислить время наработки БИС до отказа при заданном числе l_{C} циклов регенерации за время t_0 . Если t_{P} известно заранее, то, положив в (3.68) $l_{\text{C}} = t_0/t_{\text{P}}$ и решив уравнение $t_0 = (t_0/b_{\text{H}} t_{\text{P}})^{1/2} / b_{\text{H}}$, получим

$$t_0 = 1/(n M S_e)^2 b_{\text{C}} N_r t_{\text{P}}. \quad (3.69)$$

Результаты анализа последнего выражения показывают, что время наработки до отказа избыточной БИС с заданной структурой (N_r , N_c) и фиксированной плотностью потока альфа-частиц (M) увеличивается с ростом b_{C} , т. е. с уменьшением длины кодового слова. Этот важный для практики вывод основан на том, что произведение $n^2 b_{\text{C}}$ уменьшается с возрастанием b_{C} (поскольку $n = f(b_{\text{C}})$). Более того, при уменьшении длины кодового слова требуется меньше времени для обнаружения и исправления ошибки, в результате чего уменьшается и t_{P} . Если необходимость в уменьшении t_{P} отсутствует, то появляется возможность без уменьшения заданного t_0 снизить величину емкости конденсатора ЭП, а следовательно, и S_e .

Другой важный вывод заключается в том, что показатель времени наработки до отказа избыточной БИС наиболее чувствителен к изменению плотности потока альфа-частиц и площади ЭП (обратно пропорциональной M^2) и менее чувствителен к изменению длительности цикла регенерации информации (обратно пропорциональной t_p).

Для случая $N_c = N_r = 1024$ (БИС емкостью 1 Мбит), $S_e = 20$ мкм², $M = 1 \cdot 10^{-2}$ см²·ч, $t_p = 10$ мс при использовании кода (итеративного), формирующего кодовые слова длиной 289 разрядов ($n = 289$, $k = 256$, $r = 33$, $b_c = 4$), получаем с помощью (3.60), (3.69) следующие показатели надежности безызбыточного и избыточного вариантов БИС: интенсивность отказов безызбыточного кристалла $\lambda_{бз} = 2,08 \cdot 10^{-3}$ ч⁻¹, время наработки до отказа того же кристалла $t_{бз} = 0,48 \cdot 10^3$ ч; соответствующие показатели для избыточной БИС: $t_o = 0,74 \cdot 10^{10}$ ч, $\lambda_{из}(t = t_o) = 1,35 \cdot 10^{-10}$ ч⁻¹.

Приведенные результаты свидетельствуют о том, что при исправлении ошибок в процессе регенерации информации интенсивность сбоев снижается до такой величины, что при исследовании общей функциональной надежности избыточных БИС ДОЗУ (учитываем не только сбои, но и отказы) параметром интенсивности сбоев можно вообще пренебрегать (известно, что интенсивность отказов для современных кристаллов памяти составляет $\approx 1 \cdot 10^{-5} \dots 1 \cdot 10^{-4}$ ч⁻¹, однако ошибки из-за отказов не исчезают после коррекции кодового слова и его перезаписи в ту же ячейку накопителя).

3.3. МОДЕЛИ НАДЕЖНОСТИ ЗУ ПРИ ГРУППИРУЮЩИХСЯ ОТКАЗАХ

Рассмотренные выше модели надежности СБИС ЗУ основаны на пуассоновском потоке отказов. Однако приведенные в гл. 2 экспериментальные результаты показывают, что в некоторых случаях распределения отказов нельзя считать независимыми. Одно из возможных решений при описании характеристик коррелированных отказов состоит в использовании ООБР. При этом предположим, что интенсивность отказов одиночных ЭП является функцией числа отказов: $\lambda_e = f(q_e)$; все другие типы отказов положим статистически незави-

симыми. Кроме того, примем $k=N_c$, т. е. длина слова эквивалентна длине строки.

Интенсивность одиночных отказов ЭП определяем в виде

$$\lambda_{er}(q_{er}) = (1 + q_{er}\eta) \lambda_{0r}, \quad (3.70)$$

где q_{er} — число одиночных отказов; $\lambda_{0r} = \lambda_{er}(0) = \lambda_{er}$.

Таким образом, ООБР рассматриваемого вида описывает группирование отказов во времени. Соотношение для вычисления вероятности появления q_{er} одиночных отказов в одной строке можно записать так:

$$P(t, q_{er}) = \frac{\Gamma[q_{er} + 1/\eta]}{q_{er}! \Gamma(1/\eta)} [1 - \exp(-\lambda_{er}\eta t)]^{q_{er}} \exp(-\lambda_{er}t). \quad (3.71)$$

В данном случае мы рассматриваем распределение отказов во времени, а не по площади, как в уравнении (2.20); переход от соотношения (2.20) к (3.71) осуществляется заменой S_{Π} на t , q на q_{er} , c/b на $1/\eta$, c на λ_{er} . При $\eta=0$ ООБР переходит в распределение Пуассона. Значения $\eta>0$ свидетельствуют о взаимозависимости отказов. Предположим, что строки накопителя с точки зрения их дефектности статистически независимы. Тогда одиночные отказы в строке влияют на интенсивность одиночных отказов только в данной строке. Параметр $\eta>0$ описывает именно это влияние; q_{er} в выражении (3.71) соответствует числу одиночных отказов в строке. Формула для вероятности безотказной работы устройства имеет вид

$$P_B(t) = \{[P(t, 0) + P(t, 1)]^{N_r} + \lambda_c t \exp(-\lambda_e t)\} \times \exp[-(\lambda_a + \lambda_c) t]. \quad (3.72)$$

Здесь и далее $\lambda_c = \lambda_{cн}$, $\lambda_e = \lambda_{eн}$.

Учитывая данные работы [118], получаем

$$t_0 = \int_0^{\infty} P_B(t) dt = (E_0 + f_2)/\lambda_n, \quad (3.73)$$

где

$$E_0 = \sum_{i=0}^{N_r} C_{N_r}^i(\eta)^{-i} \sum_{j=0}^i C_i^j (-1)^j / |1 + j\eta f_1 / N_r|. \quad (3.74)$$

Известно [118], что

$$\begin{aligned} & \sum_{j=0}^i C_i^j (-1)^j (1 + \zeta j) = \\ & = i! \left[\left(1 + \frac{1}{\zeta}\right) \left(2 + \frac{1}{\zeta}\right) \dots \left(i + \frac{1}{\zeta}\right) \right]. \end{aligned} \quad (3.75)$$

Используя (3.74) и (3.75), получаем

$$E_0 = \sum_{i=0}^{N_r} (f_1)^i / \Pi(1 + if_1 \eta_1), \quad \eta_1 = \eta / N_r. \quad (3.76)$$

Рассмотрим случай, когда дефекты в разных строках не являются статистически независимыми, и влиянию одиночных отказов на их интенсивность подвержен весь накопитель. Это означает, что в соотношении (3.71) в качестве q_{er} необходимо использовать число одиночных отказов во всем накопителе q_e . Такое влияние описывает параметр η_2 . Вероятность безотказной работы ЗУ может быть записана в виде

$$\begin{aligned} P_{B1} &= P_1(t) + P_2(t), \\ P_1(t) &= \sum_{i=0}^{N_r} P(\leq q_e) P_h(t, q_e) \exp[-(\lambda_e + \lambda_c)t], \end{aligned} \quad (3.77)$$

$$P_2 = \lambda_c t \exp(-\lambda_u t).$$

Здесь $P_h(t, q_e)$ — вероятность появления q_e отказов одиночных ЭП для всего накопителя (ее получаем из $P(t, q_e)$ путем замены η на η_2 , λ_{er} на λ_e , q_{er} на q_e); $P(\leq q_e)$ — вероятность попадания не более одного одиночного отказа в строку.

Примем во внимание, что

$$\Gamma(q_e + 1/\eta_2) / \Gamma(1/\eta_2) = \prod_{i=0}^{q_e-1} (i + 1/\eta_2), \quad (3.78)$$

и определим $P(\leq q_e)$ как отношение числа благоприятных исходов $B(q_e)$ (в каждую строку попало не более одного одиночного отказа) к общему числу исходов $A(q_e)$:

$$P(\leq q_e) = B(q_e) / A(q_e). \quad (3.79)$$

В формуле (3.79) $B(q_e)$ — число способов, с помощью которых можно разместить q_e одиночных отказов в N_r строках. При этом в каждой строке должно находиться не более одного отказа:

$$B(q_e) = C_{N_r}^{q_e} (N_c)^{q_e}, \quad (3.80)$$

так как q_e одиночных отказов в N_r строках размещаются посредством $C_{N_r}^{q_e}$ способов и каждый отказ в строке можно разместить с помощью N_c способов (предполагаем, что $N_c = N_r = N$). Поскольку общее число ЭП есть N^2 (эквивалентно емкости C накопителя), то

$$A(q_e) = C_{N^2}^{q_e}. \quad (3.81)$$

Далее, подставляя (3.80), (3.81) в (3.79), получаем

$$P(\leq q_e) = C_N^{q_e} N^{q_e} / C_{N^2}^{q_e}. \quad (3.82)$$

Выражение (3.82) можно упростить (с учетом $N \gg 1$):

$$P(\leq q_e) \approx N! / (N - q_e)! N^{q_e}. \quad (3.83)$$

Используя (3.77), (3.78) и (3.83), имеем

$$P_1(t) = \exp(-\lambda_n t) \prod_{q_e} C_N^{q_e} \prod_{i=0}^{q_e-1} (1 + i\eta_2) \times \\ \times \left[\frac{1 - \exp(\eta_2 N \lambda_{er} t)}{N \eta_2} \right]^{q_e}. \quad (3.84)$$

Время наработки до отказа ИС ЗУ, в которой существуют статистические связи между всеми отказами ЭП, вычисляем по формуле

$$t_0 = (E_3 + f_2) / \lambda_n, \quad (3.85)$$

где E_3 получено по аналогии с (3.73), (3.76):

$$E_3 = \sum_{q_e=1}^N \prod_{i=1}^{q_e-1} (1 + i\eta_2) / \prod_{j=1}^{q_e} (1 + \eta_2 f_{1j}). \quad (3.86)$$

Рассмотрим модель надежности ЗУ, учитывающую группирование одиночных отказов на площади накопителя. При этом распределение отказов во времени под-

чиняется пуассоновскому закону. Вероятность безотказной работы накопителя может быть представлена следующим образом:

$$P_s(t) = P_3(t) + P_4(t). \quad (3.87)$$

Здесь

$$P_3(t) = \left\{ 1 + \lambda_e t + [(\lambda_e t)^2 / 2] P_2(\leq q_e) + \frac{(\lambda_e t)^3}{3} P_3(\leq q_e) + \dots \right\} \exp(-\lambda_n t); \quad (3.88)$$

$$P_n(t) = \lambda_c t \exp(-\lambda_n t). \quad (3.89)$$

Выражение (3.88) соответствует наличию только одиночных отказов (величина $P'(\leq q_e)$ — вероятность того, что q_e одиночных отказов расположены так, что в каждую строку попадает не более одного отказа). Уравнение (3.89) соответствует наличию одного столбцового отказа и отсутствию отказов других типов. Учет корреляций сводится к изменению вероятностей $P'(\leq q_e)$ по сравнению со случаем отсутствия корреляций (когда предполагаем (см. параграфы 3.1, 3.2), что любые комбинации одиночных отказов на площади накопителя равновероятны). Видно, что, вычисляя $P'(\leq q_e)$ с помощью разных способов, получаем описания различных видов корреляций.

Предположим, что корреляции приводят к тому, что q_e отказов ЭП можно вписать в квадрат $q_e \times q_e$. Пусть, например, произошло два одиночных отказа. Их всевозможные комбинации с учетом принятого предположения показаны на рис. 3.8. Общее число комбинаций — $l_k = 6$. Число благоприятных исходов (в каждую строку попадает не более одного отказа) есть $l_k^* = 4$. Величину $P'(\leq q_e)$ определяем как отношение числа благоприятных исходов к суммарному числу исходов:

$$P'(\leq q_e) = l_k^* / l_k.$$

В общем случае

$$l_k = C_{(q_e)^2}^{q_e}, \quad l_k^* = (q_e)^{q_e}.$$

Несколько частных значений имеют вид

$$P'(\leq 2) = 2/3, \quad P'(\leq 3) \approx 1/3, \quad P'(\leq 4) \approx 1/7.$$

Время наработки до отказа представим так:

$$t_o = \int_0^{\infty} P_s(t) dt = t_{o1} + t_{o2},$$

где

$$t_{o1} = \int_0^{\infty} P_3(t) dt = \sum_{q_e=0}^N P'(\leq q_e) (f_1)^{q_e} / \lambda_n; \quad (3.90)$$

$$t_{o2} = \int_0^{\infty} P_4(t) dt = f_2 / \lambda_n.$$

При отсутствии корреляций для всех q_e значение $P'(\leq q_e) \approx 1$ (когда $N \gg 1$), из-за чего $t_o \approx 1/\lambda_n(1-f_1)$ (см. (3.57), (3.58)). В данном случае $P'(\leq q_e) < 1 \times \times (q_e=2, N)$ и $P'(\leq q_e+1) < P'(\leq q_e)$. Поэтому можно ограничиться несколькими первыми членами суммы (3.90). В результате погрешность усечения будет зависеть от величины f_1 и числа удерживаемых слагаемых. Удерживая четыре слагаемых, получаем

$$t_o \approx \left[1 + f_1 + \frac{2}{3} (f_1)^2 + \frac{1}{3} (f_1)^3 + \frac{1}{7} (f_1)^4 \right] / \lambda_n. \quad (3.91)$$

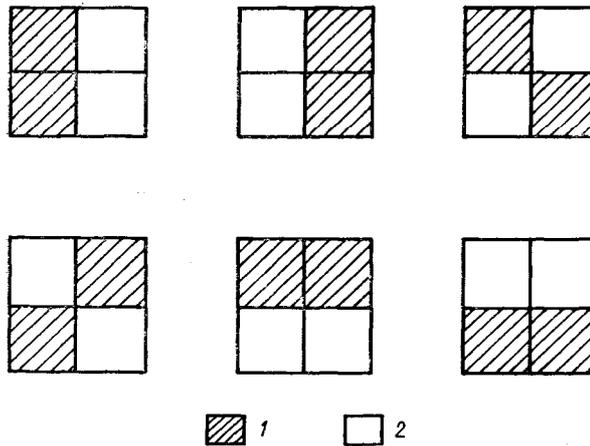


Рис. 3.8. Возможное расположение отказавших ЭП в квадрате 2x2:
1 — дефектный; 2 — рабочий

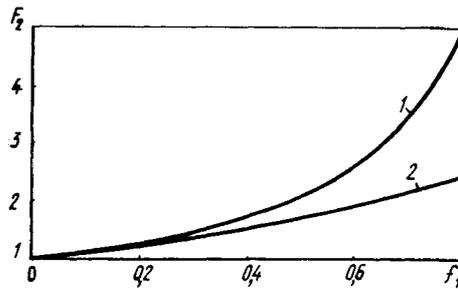


Рис. 3.9. Увеличение времени наработки до отказа (рассчитано по (3.57)) избыточных ИС ЗУ при статистически независимых отказах (1) и при группировании отказов по площади (2) (t_o рассчитано по (3.91))

Соотношения (3.90) и (3.91), а также рис. 3.9 и табл. 3.3 показывают, что эффект от применения кодов и при статистических связях между отказами существенно зависит от f_1 . Наличие корреляций приводит к тому, что верхняя граница t_o не может превысить определенного числа (с учетом $f_1 < 1$): $t_o < \sum_{q_e=0}^N P'(\leq q_e) / \lambda_{и}$.

Таблица 3.3. Оценка относительного (относительно безызбыточных устройств) увеличения t_o (при фиксированном $\lambda_{си}/\lambda_{и}$) избыточных ИС ЗУ при изменении статистической связи (η_2) между отказами (E_3 рассчитано по (3.86))

f_1	η_2				
	0	2	4	6	8
0,5	2	1,89	1,69	1,55	1,46
0,8	5	2,73	2,04	1,74	1,58

Представленные модели распределения зависимых отказов не могут быть отнесены к числу универсальных. Их следует рассматривать и оценивать как одну из многочисленных попыток разработать математический аппарат для описания процесса появления отказов в кристаллах памяти и влияния этих отказов на надежность ЗУ.

ЗАПОМИНАЮЩИЕ УСТРОЙСТВА С РЕЗЕРВНЫМИ ЭЛЕМЕНТАМИ

4.1. СПОСОБЫ ПОДКЛЮЧЕНИЯ РЕЗЕРВНЫХ ЭП ВМЕСТО ДЕФЕКТНЫХ

Как показано в параграфе 1.4, для замены функционально отказавших ЭП накопителя обычно используют резервные строки и (или) столбцы или отдельные ЭП накопителя. Главные критерии выбора метода — наиболее вероятный тип дефектов, вносимая в базовый кристалл аппаратная и временная избыточность, достижение определенного уровня ВГ ИС. Однако при любом виде резерва общим является требование блокировки нефункционирующей части накопителя и подключение вместо этих элементов резервных ЭП. В работе [19] некоторые особенности реализации отмеченных требований рассмотрены достаточно детально. Все известные варианты подключения резервных элементов к основной схеме сведены к трем способам: 1) избыточного адресного кода; 2) дополнительного кода; 3) ассоциативной выборки.

Главная идея построения резервированного устройства на базе первого способа заключается в том, что проектируют дешифратор адреса разряда (слова), содержащий избыточное число выходов. Входной код адреса преобразуется в избыточный, а затем путем электронного коммутирования (переставление разрядов) исходный адрес преобразуется в новый, соответствующий избыточному (рис. 4.1). Коммутатор реализован на плавких перемычках, которые программируют в процессе зондовых испытаний. Сложность последней операции и заметное снижение быстродействия резервированного ЗУ — основные недостатки этого способа. При реализации второго способа в ЗУ включают избыточное ППЗУ, числовые шины которого соединены с выходами ОД, а разрядные — с входами РД (рис. 4.2). В ЭП ППЗУ, соответствующих дефектным ЭП ОН, заносится код адреса резервного слова (резерв-

ных ЭП). При возбуждении выхода ОД дефектного слова происходит опрос ненулевого слова ППЗУ, которое дешифрируется в РД и осуществляет подключение соответствующего резервного слова (резервных ЭП). Основные недостатки способа, препятствующие его широкому использованию, — сравнительно большая емкость ППЗУ и недостаточно высокое быстродействие из-за задержек сигнала обращения в ППЗУ и РД.

Для сохранения быстродействия резервированного устройства приблизительно на уровне базового следует осуществлять подключение резервных ЭП не позднее, чем основных. Это необходимо для отключения ОН при обращении к РН. Такое требование выполняется при реализации третьего способа. Основным схемным блоком избыточного устройства здесь является ассоциативное ПЗУ (АПЗУ), в признаковую часть которого заносят (с помощью программируемых элементов) адреса дефектных ЭП ОН. Если обращение к ОН осуществляется по адресу нефункционирующих ЭП, то входной адрес совпадает с

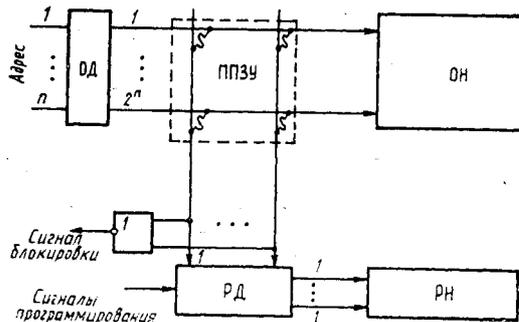
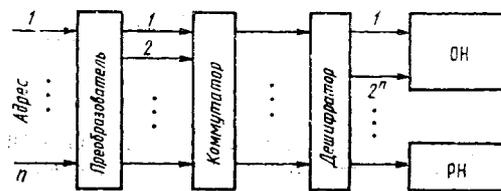


Рис. 4.1. Структурная схема подключения резервных ЭП с помощью способа избыточных адресных входов (n — число разрядов кода адреса)

Рис. 4.2. Структурная схема подключения резервных ЭП с помощью способа дополнительного кода

занесенным в АПЗУ — происходит блокировка ОН и обращение к РН. В качестве АПЗУ можно применять ПЛМ (без элементов ИЛИ), сигналы на выходах которой управляют подключением резервных ЭП (рис. 4.3). Использование ПЛМ обеспечивает высокое относительное

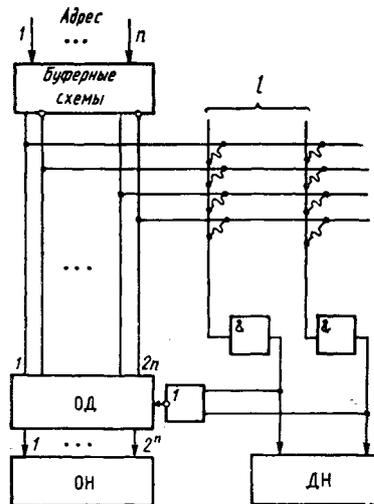


Рис. 4.3. Структурная схема подключения резервных ЭП с помощью ПЛМ (l — число резервных разрядов)

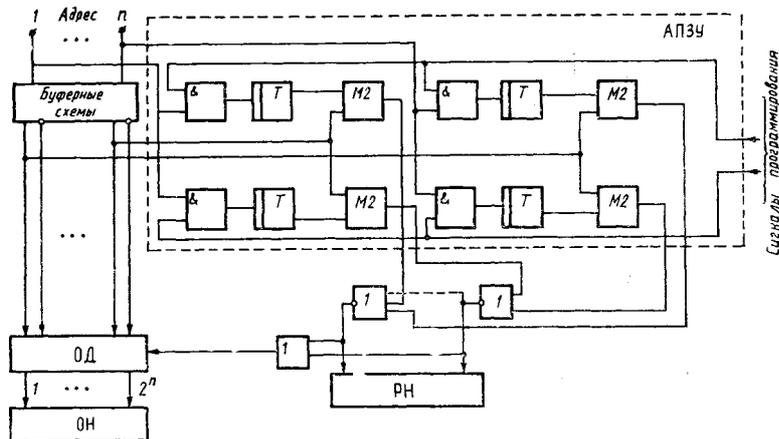


Рис. 4.4. Структурная схема подключения резервных ЭП с помощью АПЗУ

быстродействие избыточного ЗУ, но требует большого числа программируемых элементов и дополнительных контактных площадок. Отмеченный недостаток может быть «нейтрализован», если в качестве АПЗУ применить элемент И, триггер с плавкой перемычкой в одном плече и схему сравнения (рис. 4.4). Элемент И включает цепи программирования плавких вставок, что дает возможность пережигать эти вставки с адресных шин, минуя буферные схемы, при уменьшении числа таких вставок. Задержку сигнала на блокировке ОН можно еще уменьшить или полностью исключить, если использовать сигнал блокировки ОН для коммутации шин ввода-вывода информации. При большом числе резервных ЭП возникает необходимость в обходе дефектных ЭП в РН. Это осуществляется путем введения дополнительного входа у элементов ИЛИ—НЕ (АПЗУ). На рис. 4.4 эта связь показана штриховой линией. В результате анализа способов подключения резервных ЭП к основному ЗУ можно сделать три основных вывода: 1) максимальное (относительно других способов для данного типа ЗУ) быстродействие обеспечивает способ ассоциативной выборки; 2) способ дополнительного кода характеризуется наименьшим числом пережигаемых перемычек в избыточных схемах; 3) способ ассоциативной выборки вследствие присущих ему преимуществ находит наибольшее практическое применение. Рассмотрим далее некоторые конструкции резервированных ЗУ и особенности схемотехнической реализации важнейших блоков устройств.

4.2. КОНСТРУКЦИИ И СХЕМОТЕХНИКА БЛОКОВ РЕЗЕРВИРОВАННЫХ ИС ЗУ

4.2.1. Структура и функционирование ИС

Состав вводимого на базовый кристалл резерва ЭП и связанные с этим структура и алгоритмы зондовых испытаний и функционирования ИС выбирают прежде всего с учетом статистики дефектов (отказов) на кристалле. На рис. 4.5 изображена структурная схема ИС ОЗУ К541РУЗ [122], на кристалле которой размещены четыре резервные строки и два резервных столбца (состав и объем резерва выбраны на основе статистических исследований, описанных в гл. 2). Подключение резервных элементов вместо дефектных выполнено по способу

ассоциативной выборки. Резервный дешифратор построен на основе ПЛМ. На рис. 4.6 показана схематично конструкция этого кристалла с указанием блоков и элементов.

Для программирования ПЛМ (РД) и проверки резервных ЭП на кристалле имеется 10 дополнительных контактных площадок: шесть для РД строк и четыре для РД столбцов. Такое число дополнительных площадок позволило упростить схему РД с цепями пережигания

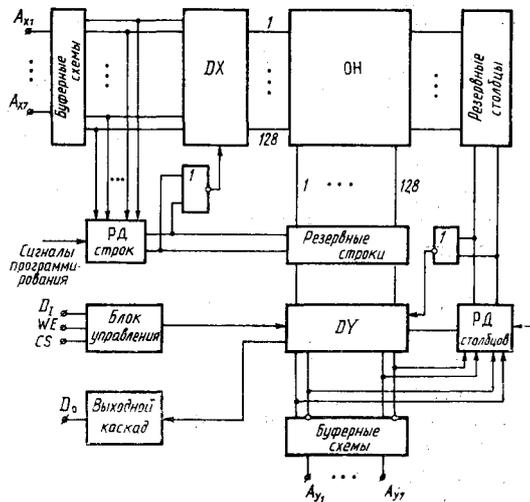


Рис. 4.5. Структурная схема ИС ОЗУ К541РУ3

плавких перемычек и в то же время практически не привело к увеличению размера кристалла. Дополнительные площадки после корпусирования кристалла не используются. Площадь последнего возросла в основном за счет резервных элементов (строк и столбцов). Резервный дешифратор и дополнительные контактные площадки хорошо вписались в конструкцию кристалла, лишь незначительно увеличив его площадь (общий рост площади кристалла в результате применения метода резервирования составил $\approx 4\%$). Мощность потребления ИС ОЗУ возросла на 6% . Проведенные исследования динамических характеристик показали, что дополнительная задержка, возникающая при подключении резервных элементов вместо дефектных, достигает $2...4$ нс, что увеличивает время выборки адреса ОЗУ не более чем на 5% .

На рис. 4.7 изображена структурная схема ИС ОЗУ емкостью 64 Кбит (схемотехника на основе ЭСЛ — эмиттерно-связанной логики), в которой используются только резервные столбцы, а функции блокировки ОН и выбора резервных столбцов совмещены [123]. Последнее позволило достичь предельного быстродействия устройства. Интегральная схема работает следующим образом. При поступлении на вход ЗУ кода адреса, соответствующего годному столбцу ОН 4, на одном из выходов дешифратора 14 появляется высокий уровень сигнала, поступающий через трансляторы уровней 12 на основные УЗС (ОУЗС) 8. При этом на резервные УЗС (РУЗС) 9 подаются низкие уровни сигнала с выходов РД 15. Поскольку транзисторы ОУЗС и РУЗС соединены по принципу ЭСЛ, то будут включены те из них, на базе которых присутствуют более высокие уровни сигнала (рис. 4.8). В данном случае будут включены транзисторы VT_1, VT_2, VT_3 усилителей 8. Тем самым генераторы токов записи-считывания блока 11 будут подключены к соответствующим разрядным шинам 6 и произойдет обращение к годному ЭП ОН

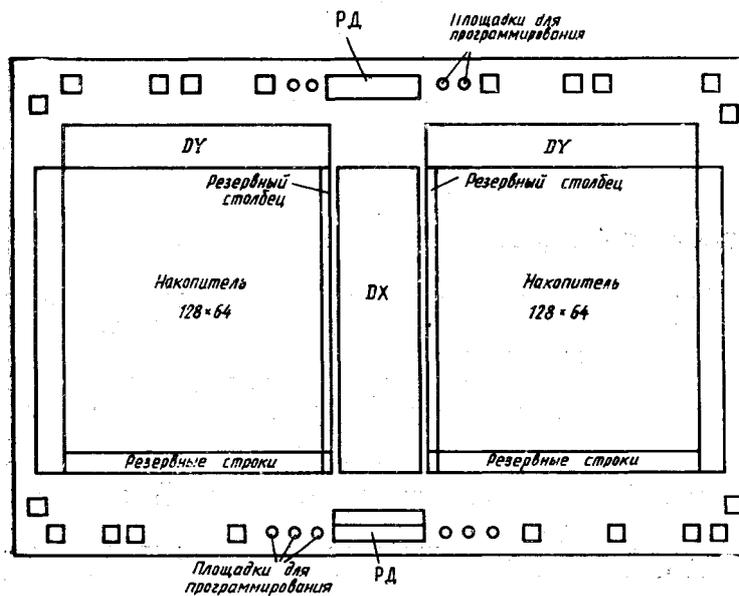


Рис. 4.6. Конструкция кристалла ОЗУ К541РУ3

4. Так как транзисторы VT_4, VT_5, VT_6 отключены, то обращения к РН 5 не произойдет.

При поступлении на входы 18 адреса дефектного столбца одновременно возбуждается одна из выходных шин ОД (14) и РД (15). Однако трансляторы уровней 13 формируют на базах транзисторов VT_4, VT_5, VT_6 РУЗС 9 сигналы, уровень которых выше сигналов, поступающих на базы транзисторов VT_1, VT_2, VT_3 основных усилителей

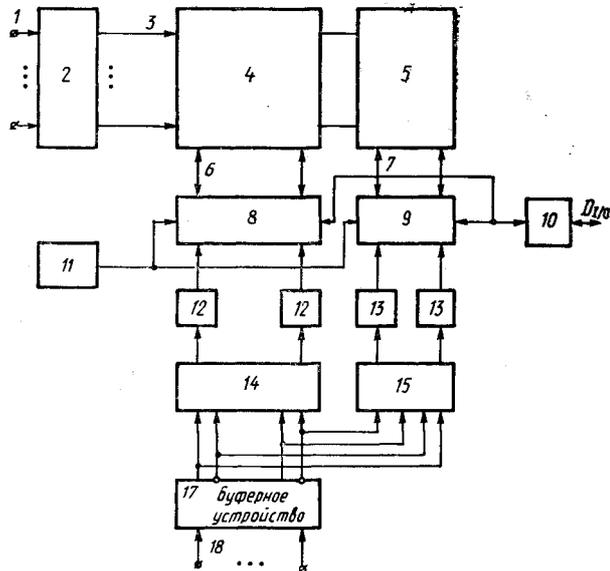


Рис. 4.7. Структурная схема ИС ЗУ с резервированием столбцов

8. При этом усилители 8 дефектного столбца накопителя 4 будут выключены, а усилители 9 включены, т. е. произойдет обращение к соответствующему столбцу РН 5. Использование только резервных столбцов позволило уменьшить дополнительную задержку адресного сигнала приблизительно до 1 нс. Оптимальное (по критерию максимального ВГ ИС) число резервных столбцов равно восьми. Площадь кристалла возросла на 5%, мощность потребления — на 4%.

Обычно в ИС ЗУ дешифратор строк помещают в середине накопителя, разделяя каждую строку на две половины. При такой конструкции накопителя эффективным средством увеличения ВГ может оказаться резервирование

ние полустрок, что позволит уменьшить общее число резервных элементов. Так, если вероятность отказов ЭП значительно превышает вероятность отказов строк, то число вводимых резервных строк можно уменьшить почти в 2 раза. Структурная схема ОЗУ с резервированием полустрок изображена на рис. 4.9 [124].

Программирование РД 12 на адреса дефектных строк (полустрок) осуществляют путем пережигания плавких

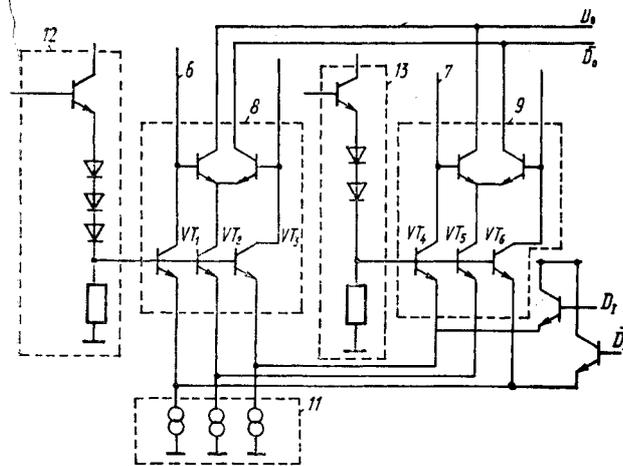


Рис. 4.8. Схема блокировки основного дешифратора

перемычек (сигналы пережигания на рис. 4.9 не показаны). При поступлении адреса годной строки ОН 6 на выходах 14 РД 12 вырабатываются низкие уровни сигналов, блокирующие выбор полустрок РД 1 (8) и РД 2 (9) (соответственно половины строк). На выходе 7 элемента ИЛИ—НЕ 10 устанавливается сигнал, разрешающий работу ОД строк 4. При поступлении адреса дефектной строки возбуждается один из выходов 14 РД 12. В зависимости от значения старшего разряда адреса столбца 17 (лог. «1» или лог. «0») возможны две ситуации.

1. На входы одного из элементов И (15 или 16) поступают одновременно высокие уровни сигналов 14, 17. В данном случае на выходе элемента И появляется высокий уровень сигнала, разрешающий выбор резервной полустроки из накопителя 8 или 9 и одновременно через элемент ИЛИ—НЕ 10, блокирующий работу дешифра-

тора 4 и запрещающий обращение к дефектной строке ОН 6.

2. На входы одного из элементов И (15 или 16) поступают высокий уровень сигнала 14 и низкий уровень сигнала 17. Это означает, что обращение происходит к годной половине дефектной строки ОН 6. В результате на выходе элемента И имеем низкий уровень, запрещающий обращение к резервным полустрокам и разрешающий работу ОД строк 4.

С точки зрения эффективного использования (минимизации) площади кристалла в энергозависимых ЗУ иногда целесообразно (оказывается более удобной разводка шин) блокировать не дешифратор ОН, а информацию, считываемую из ОН. На рис. 4.10 показана структурная схема ИС ЗУ, в которой реализован такой способ [125]. Принципы построения и соединения схемных бло-

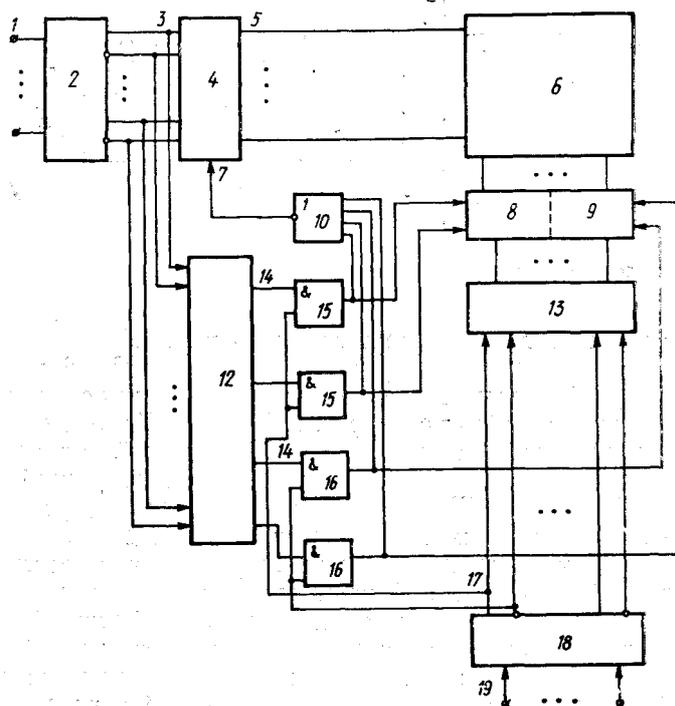


Рис. 4.9. Структурная схема ИС ЗУ с резервированием половины строки накопителя

ков аналогичны изложенным выше для других устройств. В блок 7 посредством пережигания плавких перемычек задается адрес имеющих дефекты столбцов и осуществляется сравнение адреса опрашиваемых слов с адресами дефектных. В случае совпадения на выходе элемента ИЛИ устанавливается сигнал лог. «1», который в коммутаторе 8 переключает на выход информацию из допол-

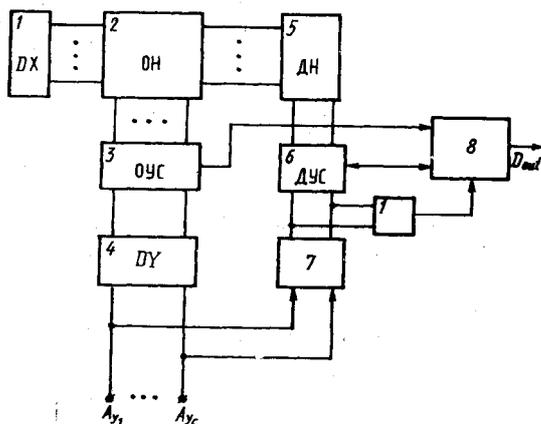


Рис. 4.10. Структурная схема резервированного ЗУ с блокировкой информации, считанной с дефектного ЭП

нительных усилителей считывания (ДУС), блокируя информацию из основных (ОУС).

Общие подходы к конструированию резервных БИС ЗУ с много- и одноразрядной организацией принципиально не отличаются. Однако при создании систем памяти или СБИС с интеграцией на пластине (СИП) описанные методы соединения резервных схем и основного ЗУ не дают требуемого эффекта. Даже так называемое двухступенчатое резервирование (резервирование внутри блоков — отдельных кристаллов ЗУ или части их — и резервирование отдельных блоков) сопряжено с трудностями, обусловленными значительной избыточностью устройства, сложностью дополнительных логических схем и требованием нанесения шин межсоединений по индивидуальным для каждого устройства памяти СИП шаблонам. Некоторые из перечисленных ограничений в создании эффективных СИП могут быть заметно сужены, если использовать метод объединения отдельных блоков (кри-

сталлов) по мажоритарному принципу. При этом допускается применение кристаллов даже с дефектными элементами, однако при условии, что по любому из трех параллельных адресов информационных слов будет не более одного нефункционирующего ЭП на один разряд слова.

Для разграничения используемых здесь понятий и соответствующих им функциональных устройств триаду кристаллов памяти со схемами мажоритарной логики и программируемым блоком назовем субблоком памяти. Структурная схема такого субблока изображена на рис. 4.11. В его состав входит блок памяти 1, который представляет собой в наиболее общем виде кристалл ЗУ без избыточных элементов, имеющий адресные входы 2, 3 и управляющие входы 4, 5.

Устройство работает следующим образом. При производстве (еще до программирования блоков 6, 12) проводится функциональный контроль каждого блока памяти 1 путем подачи на управляющий вход контроля 5 разрешающего сигнала (лог. «1») и соответствующих управ-

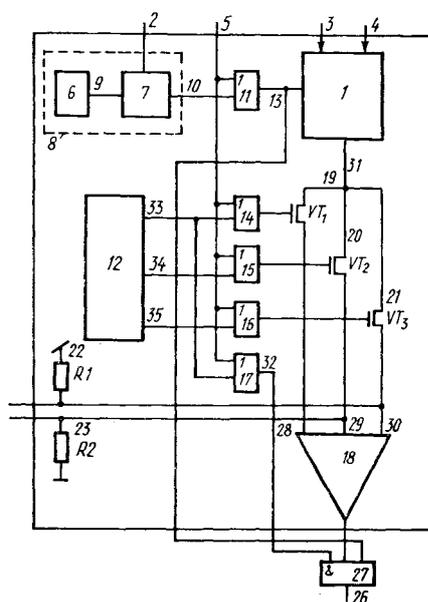


Рис. 4.11. Структурная схема субблока памяти с объединением отдельных кристаллов по мажоритарному принципу

ляющих сигналов на адресные (3) и управляющие (4) входы. При этом на выходе 13 элемента ИЛИ 11 появляется сигнал, разрешающий опрос блока 1 для записи-считывания информации. Кроме того, сигнал 5 формирует сигналы лог. «1» на выходах логических элементов ИЛИ 14—17. Сигнал лог. «1» на входе 32 разрешает прохождение на выход 26 информации с выхода мажоритарного элемента 18, на входы 28—30 которого через открытые

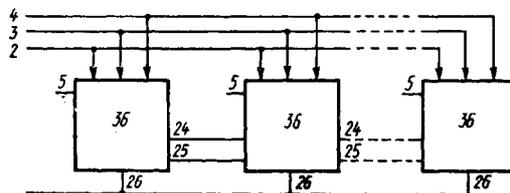


Рис. 4.12. Структурная схема ЗУ с интеграцией на пластине и объединением кристаллов по мажоритарному принципу

транзисторные ключи 19—21 поступает одна и та же информация с выхода 31 накопителя блока 1. В результате на выходе мажоритарного элемента будет информация, установленная на выходе 31. В это же время все остальные субблоки 36 системы памяти (рис. 4.12) не опрашиваются.

После функционального контроля в зависимости от исправности (или неисправности) блоков 1 осуществляется программирование блоков 6, 12. При исправности субблока памяти 36 (не содержит отказывавших ЭП) в блок 6 заносится код адреса отмеченного субблока в порядке очередности следования исправных субблоков. Например, если необходимо собрать ЗУ из 16 субблоков памяти, то адресные входы 2 должны состоять из четырех шин ($\log_2 16=4$). В данном случае первому исправному блоку присваивается код 0000, второму — 0001, третьему — 0010 и т. д. Кроме того, блок реконфигурации 12 программируется таким образом, что только на выходе 33 присутствует сигнал лог. «1», который открывает через элемент ИЛИ 14 транзисторный ключ 19. Поскольку на выходах 34, 35 будут сигналы лог. «0» (на входе 5 также лог. «0»), то транзисторные ключи 20, 21 всегда закрыты. При этом на входе 28 мажоритарного элемента 18 будет установлена информация с выхода 31 (лог. «0» или лог. «1»), на входе 29 — сигнал лог. «0» (вследствие

подключения резистора 23), на входе 30 — сигнал лог. «1» (из-за подключения резистора 22).

Таким образом, на входах мажоритарного элемента всегда будут два одинаковых по уровню сигнала из трех, и, следовательно, на выходе 26 будет формироваться истинная информация, соответствующая считанной из накопителя. Если в результате контроля окажется, что число годных субблоков памяти меньше необходимого (в данном случае меньше 16), то недостающие годные субблоки будут формироваться из триад дефектных блоков 1, соединяющихся по мажоритарному принципу информационными шинами 24, 25. В триады формируются дефектные блоки 1, у которых по одному и тому же адресу 3 содержится не более одного дефектного элемента. Адреса дефектных элементов определяются в процессе функционального контроля блока и заносятся в память контролирующего устройства (на рисунке не показано). Каждой триаде присваивается свой четырехразрядный адресный код путем занесения одного и того же кода в блок 6 соответствующих субблоков памяти 36.

Для подключения блоков памяти 1 по мажоритарному принципу блоки реконфигурации 12 в триаде программируются следующим образом. В первом блоке посредством программирования на выходе 33 устанавливается лог. «1», на выходах 34, 35 остаются сигналы лог. «0». Во втором блоке на выходе 34 устанавливается лог. «1», на выходах 33, 35 — лог. «0», в третьем — на выходе 35 устанавливается лог. «1», на выходах 33, 34 — лог. «0». В соответствии с этим выходы мажоритарных элементов 18 во втором и третьем субблоках памяти триады будут отключены от шины 26 сигналом лог. «0», поступающим на вход элемента 27 с выхода 32 элемента ИЛИ 17. Только в первом блоке мажоритарный элемент будет включен (на выходе 33 и, следовательно, на входе 27 — сигнал лог. «1»). В данном случае на его входы 28—30 поступят сигналы с трех блоков триады. Так как одновременно по одному и тому же адресу допускается дефект только в одном из блоков 1, то на выходе 26 мажоритарного элемента первого в триаде модуля во время работы будет истинная информация.

Режимы работы ЗУ. Запись информации. На входы 2—4 соответствующих субблоков памяти (их число определяется разрядностью устройства СИП и каждого субблока) подаются адресные и управляющие сигналы. При

совпадении адреса на входах 2 и адреса, хранящегося в блоке 6, сигнал лог. «1» на выходе 13 элемента ИЛИ 11 (на шине 5 в режиме работы — лог. «0») разрешает обращение к блоку 1. В выбранные ячейки памяти накопителей заносится информация (шины записи на рисунке не показаны).

Считывание информации. Обращение к соответствующим ячейкам памяти происходит, как в режиме записи. Если информация считывается из абсолютно бездефектного субблока памяти (только на выходе 33 блока 12 — сигнал лог. «1»), информация с выхода 31 блока 1 через ключ 19 по входу 28 через элемент 18 и открытый сигналами лог. «1» 32 и 13 элемент И 27 поступает на выход 26 устройства. При этом на входе 29 элемента 18 будет уровень сигнала лог. «0», а на входе 30 — лог. «1». Наличие данных сигналов не изменит считываемый по шине 31 бит (или несколько битов) информации. Если же происходит обращение к триаде накопителей 36, у которых по отдельным одинаковым адресам 3 имеются дефектные ячейки памяти, то выбор ячеек блоков 1 осуществляется, как в режиме записи. В каждом из субблоков триады блок 7 настроен на одинаковый адрес, а на выходах блоков 12 этих модулей сигналы лог. «1» будут установлены следующим образом: на выходе 33 первого, на выходе 34 второго и на выходе 35 третьего субблоков, т. е. разрешение на прохождение считанной информации будет обеспечено сигналом лог. «1» на шине 32 только в первом из них. В данном случае информация с выхода 31 первого из опрашиваемых блоков 1 через соответствующий элемент 19 поступает непосредственно на вход 28 элемента 18, информация с выхода 31 второго модуля через соответствующий ключ 21 по шине 24 поступает на вход 30 того же элемента 18. По крайней мере два из трех сигналов будут истинными, и на выходе 26 также будет истинная информация.

Эффективную емкость СИП, структура которой показана на рис. 4.11, можно считать приемлемой при относительно большом числе дефектов на отдельных кристаллах (блоках 1). При низкой плотности дефектов (ВГ отдельных ИС экономически оправдан) объединение отдельных ИС по мажоритарному принципу является неэффективным. В такой ситуации в одну триаду могут быть объединены микросхемы, накопитель каждой из которых содержит только по одному отказавшему ЭП. На

рис. 4.13 изображена структурная схема ЗУ на пластине. Принцип ее построения заключается в том, что накопитель каждого кристалла памяти условно разбиваем на поднакопители, число которых кратно степени два (размер такого поднакопителя определяется дефектностью кристалла: при малом числе дефектов целесообразно уменьшать размер поднакопителя). Дефектные поднакопители, адрес которых запоминается, из обращения исключаются. Общая емкость ЗУ набирается из числа годных поднакопителей независимо от того, в каком кри-

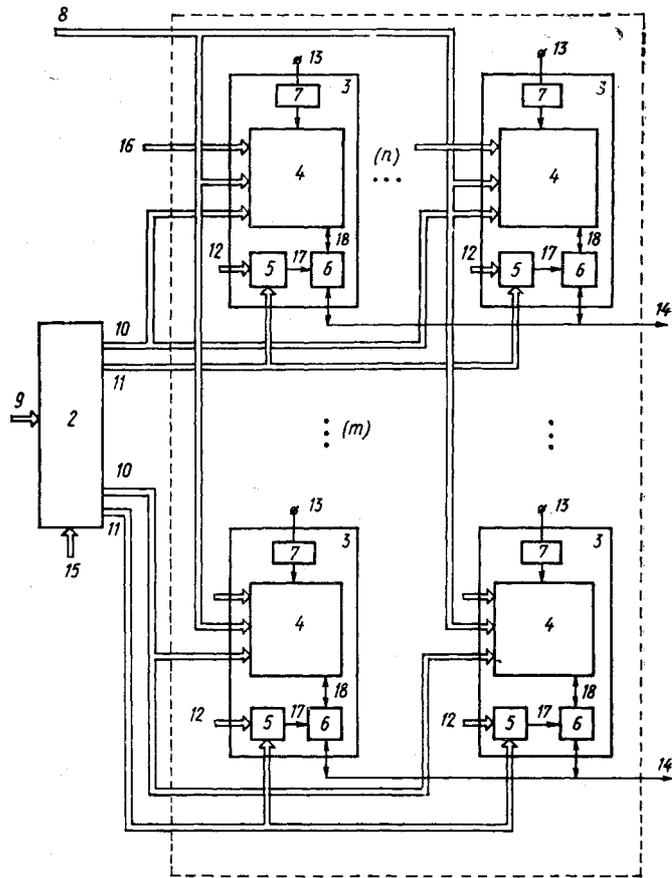


Рис. 4.13. Структурная схема ЗУ СИП, в котором общая информационная емкость набирается из частично годных кристаллов

сталле данной группы блоков памяти этот поднакопитель расположен.

Положим, что общая емкость памяти СИП формируется на базе матрицы стандартных кристаллов ИС ЗУ (на рис. 4.13 обозначены цифрой 4, блок ввода-вывода 6 показан отдельно) с N_{cr} рядами (линиями или строками) по N_{cc} колонок (столбцов) в каждом. Блоки памяти 3, включающие в себя стандартную ИС с цепями программирования адресов дефектных ЭП (аналогично резервированным кристаллам памяти) с соответствующими информационными адресными и управляющими шинами, формируются одновременно в едином технологическом цикле. Накопители 4 построены по одноразрядному принципу обращения, т. е. вся СИП является N_{cr} -разрядной (слова имеют длину N_{cr} бит). На управляющие входы 16 подаются стандартные сигналы (разрешение записи-чтения) для соответствующего типа памяти. На адресные входы 8, 9 устройства подается код адреса опрашиваемого ЭП (соответственно младшие и старшие разряды; число и назначение шин 8, 9 будут рассмотрены ниже на конкретном примере). В соответствии с кодом адреса на шинах 9 формируется новый (внутренний) код адресов 10 и 11, соответствующий адресу годного поднакопителя кристаллов 4 и адресу кристалла, имеющего годные накопители.

Блок внешней памяти 2 может представлять собой программируемое или оперативное ЗУ. В первом случае входы 15 являются управляющими для программирования, во втором — управляющими, задающими режим работы (запись—чтение). Программируемый блок 5 имеет то же функциональное назначение, что и блок памяти 2. Блок 6 ввода-вывода стандартный, стробируется сигналом лог. «1» на шине 17. При сигнале лог. «0» на шине 17 входы-выходы соответствующего блока 6 имеют третье состояние. Таким образом, полный адрес ЭП разделяется на адрес кристалла 4 (A_c) 11, адрес поднакопителя в кристалле (A_n) 10 и адрес ЭП в поднакопителе 8. Если емкость одного кристалла 4 составляет C (каждый накопитель разбивается на K_n поднакопителей), то условие на разрядность кода адреса (число адресных входов) будет следующим: разрядность адреса $A_c — \log_2 N_{cc}$, разрядность адреса $A_n — \log_2 K_n$, разрядность адреса ЭП — $\log_2(C/K_n)$.

Так как в блоке 2 запоминаются адреса (в процессе

функционального контроля каждого кристалла 4) годных кристаллов 4 и поднакопителей в них, то необходимая разрядность блока 2 для одной линии составляет $\log_2(N_{cc}K_n)$, а общая разрядность блока 2 — $N_{cr} \log_2(N_{cc}K_n)$. Полное число блоков 3 в линии — $K_n N_{cc}$. Данное число определяет максимальную требуемую емкость блока памяти 2 (это наибольшее число слов разрядностью $N_{cr} \log_2(N_{cc}K_n)$, которое нужно занести в блок памяти 2). Практически же отмеченное число меньше, поскольку имеются дефектные блоки 4, адреса которых запоминать не надо.

Полная реальная емкость системы определяется как произведение $K'_n N_{cr}$, где K'_n — минимальное число (кратное двум) годных блоков в линии; N_{cr} — число линий. Избыточные блоки, имеющиеся в некоторых линиях, можно использовать как резервные. Работа устройства состоит из трех этапов, которые условно назовем настройкой, тестированием, эксплуатацией.

Настройка. Относится только к матрице 1. В данном случае осуществляется поочередное тестирование каждого блока 3, а также программирование блоков адреса кристалла 5 и ключей 7 (на рис. 4.14 показан возможный вариант построения ключа 7). В исходном состоянии все блоки 5 настроены на какой-либо адрес (например, 11...1), т. е. при подаче на адресные входы 11 (для этого должны быть предусмотрены соответствующие контактные площадки) указанного адреса на выходе 17 блока 5 появляется сигнал, разрешающий работу блока ввода-вывода 6. Программируемый ключ 7 в исходном состоянии разрывает цепь питания для соответствующего кристалла 4 и подключает питание только при подаче на управляющий вход 13 сигнала лог. «0».

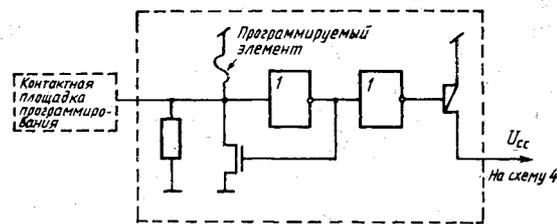


Рис. 4.14. Схема программируемого ключа 7 ЗУ, показанного на рис. 4.13

Таким образом, в начальный момент времени на управляющий вход 13 тестируемого кристалла 4 подается сигнал лог. «1», который включает цепь питания для указанного кристалла, а на входы 11 — исходный разрешающий адрес (например, как отмечено выше, 11...1), что обеспечивает подключение тестируемого кристалла к магистрали данных 14. Затем с использованием известных методов проводится тестирование накопителя кристалла 4 с помощью адресных входов 8, 10 и шины данных 14. Все остальные кристаллы в линии при этом отключены, так как на управляющих входах 13 у них отсутствует сигнал лог. «1».

По результатам тестирования принимается решение: если в накопителе кристалла 4 отсутствуют бездефектные поднакопители (кристалл полностью неработоспособен), то все управляющие напряжения снимаются; необходимо перейти к тестированию следующего кристалла. Неработоспособные кристаллы в таком случае оказываются отключенными от линии питания.

При обнаружении хотя бы одного годного поднакопителя в накопителе кристалла 4 осуществляется программирование блоков 5, 7. Для этого на адресных входах 11 устанавливается начальный адрес: 00...0, а на программирующий вход 12 подаются программирующие импульсы. Затем подаются программирующие импульсы на вход 13, осуществляя программирование ключа 7 и обеспечивая тем самым подключение питания к указанному кристаллу. Таким образом, кристалл 4 оказывается постоянно подключенным: обращение к нему возможно только при появлении на адресных входах 11 адреса 00...0. Далее вся процедура повторяется для следующего кристалла, с той лишь разницей, что в блок 5 будет заноситься следующий адрес: 00...1 и т. д., пока не будут протестированы и настроены все кристаллы в линии. В других линиях процедура тестирования повторяется, начиная с адреса A_c (00...0).

Тестирование. На этом этапе проводится тестирование блоков 3 в линии с помощью адресных входов 8, 10, 11; определение адресов годных поднакопителей в накопителях, запись адресов кристаллов и годных блоков в кристаллах в блок внешней памяти 2. Например, в накопителе имеется один дефект. Тогда он выводит из строя блок накопителя. С одной стороны, при размере блока 0,5С используемая емкость также составляет 0,5С, при

размере блока $0,25C$ — используемая емкость равна $0,75C$ и т. д. С другой стороны, чем больше блоков в системе, тем больший объем внешнего ЗУ необходим для запоминания адресов. Таким образом, размер блока сверху ограничен емкостью накопителя 4 и плотностью дефектов, снизу — объемом внешнего ЗУ 2.

Тестирование осуществляется с помощью стандартной измерительной установки (на рисунке не показана). По его завершении в памяти данной установки хранятся адреса годных кристаллов 4 и поднакопителей в них (отдельно для каждой линии). Затем, используя установку, приступают к программированию блока памяти 2. Для этого на адресных входах 9 блока 2 выставляют начальный адрес ($00\dots 0$) и с помощью управляющих сигналов 15 по данному адресу записывают номер первого годного кристалла 4 и первого годного поднакопителя для каждой линии. Затем на входах 9 устанавливают следующий адрес ($00\dots 01$) и записывают адреса следующих годных блоков и т. д. Процесс продолжается до тех пор, пока не будет набрана требуемая информационная емкость системы или пока не закончатся годные блоки 4 в какой-либо из линий.

Зададим, например, матрицу из двух линий по четыре кристалла в каждой ($N_{cr}=2, N_{cc}=4$). Кристаллы имеют емкость 1 Мбит. Набор осуществляется посредством поднакопителей емкостью по 256 Кбит. Число разрядов, определяющих адрес кристалла, равно двум (A_{0c}, A_{1c}), определяющих адрес поднакопителя — также двум (A_{18n}, A_{19n}), адрес ЭП в поднакопителе — 18 ($A_0—A_{17}$).

Пусть в результате тестирования на этапе настройки установлено, что первый кристалл первой линии и четвертый кристалл второй линии не имеют годных поднакопителей. Тогда эти кристаллы не подсоединяются к линии питания. Остальные кристаллы подключены к линии питания с помощью программируемого ключа 7 и настроены на соответствующие адреса кристаллов (табл. 4.1).

На этапе тестирования определяют конкретные адреса годных кристаллов и поднакопителей (настройка и тестирование могут быть совмещены, но в общем случае тестирование можно проводить неоднократно с целью обнаружения и замены блоков, отказавших даже в процессе эксплуатации ЗУ, как, например, в ПЭВМ).

После тестирования в регистре тестирующей машины содержится информация о годных поднакопителях

Таблица 4.1. Адреса годных кристаллов

Обозначение	Первая линия				Вторая линия			
	1	2	3	4	1	2	3	4
N_{cc} A_c	—	00	01	10	00	01	10	—

Таблица 4.2. Результат тестирования кристаллов

Первая линия			Вторая линия		
Адрес		Результат тестирования: лог. «1» — годен, лог. «0» — брак	Адрес		Результат тестирования: лог. «1» — годен, лог. «0» — брак
A_c	A_n		A_c	A_n	
00	00	1	00	00	0
	01	1		01	1
	10	0		10	1
	11	1		11	1
01	00	1	01	00	1
	01	0		01	0
	10	1		10	1
	11	1		11	1
10	00	1	10	00	1
	01	1		01	1
	10	0		10	1
	11	1		11	1

(табл. 4.2). Из таблицы видно, что в первой линии оказалось восемь годных поднакопителей (емкостью по 256 Кбит), во второй — девять. Таким образом, имеется возможность собрать ЗУ (СИП) емкостью 2 Мбит \times 2 (2 Мбит = 8×256 Кбит). Для этого следует занести адреса восьми годных поднакопителей каждой линии в блок памяти 2. Поскольку необходимо запомнить адреса восьми поднакопителей, а адрес блока для каждой из двух линий содержит четыре разряда (A_c, A_n), то требуемая организация блока 2 будет $8 \text{ бит} \times 8$, т. е. необходимо осуществить перекодировку внешнего трехразрядного адреса (A_{18}, A_{19}, A_{20}) во внутренний четырехразрядный (A_c, A_n) согласно табл. 4.3.

Таблица перекодировки заносится из регистра тестирующей машины в блок памяти 2. При этом A_{18}, A_{19}, A_{20} являются адресами данного ЗУ, а значения A_c, A_n — записываемой информацией. Если в качестве блока 2 используют ППЗУ, то операцию перекодировки осуществляет изготовитель ЗУ и потребителю нет необходимости каждый раз перед началом работы СИП проводить ее

Таблица 4.3. Адреса кристаллов до и после тестирования

Внешний адрес (9)			Внутренний адрес (10, 11)		Внутренний адрес (10, 11)	
			Первая линия		Вторая линия	
A_{20}	A_{19}	A_{18}	A_c	A_{II}	A_c	A_{II}
0	0	0	00	00	00	01
0	0	1	00	01	00	10
0	1	0	00	11	00	11
0	1	1	01	00	01	00
1	0	0	01	10	01	10
1	0	1	01	11	01	11
1	1	0	10	00	10	00
1	1	1	10	01	10	01

тестирование. Когда же в качестве блока 2 применяют ОЗУ, то перед началом работы системы (после включения питания) следует проводить тестирование ЗУ и занесение перекодировки адресов в соответствии с наличием годных поднакопителей в кристаллах 4. При этом появляется возможность обходить отказавшие поднакопители, используя резервные. В рассматриваемом примере резервный поднакопитель имеется во второй линии (его адрес $A_c A_{II} : 1010$). В результате если произойдет отказ, например, поднакопителя с адресом $A_c A_{II} : 0001$ во второй линии, то после очередного тестирования в блок 2 ОЗУ вместо адреса $A_c A_{II} : 0001$ будет записан адрес $A_c A_{II} : 1010$ и система вновь станет работоспособной. Итак, этап тестирования заканчивается занесением таблицы перекодировки в блок памяти 2. Затем тестирующее устройство отключают и подключают блок 2 к матрице памяти 1 (см. рис. 4.12).

Эксплуатация. На этом этапе система имеет вид, показанный на рис. 4.13, и работает, как обычное ЗУ большой емкости с адресными входами 8, входом внешнего адреса блока 9 и входом-выходом информации 14. На адресный вход 9 подается внешний адрес блока, а на вход 8 — адрес ЭП в данном блоке. На входах 10, 11 устанавливается адрес годного блока, записанный в ЗУ 2 по адресу 9. Осуществляется выбор ЭП, в который можно записать (или считать) информацию по шине данных 14. Все линии работают одновременно и параллельно.

4.2.2. Схемотехника блоков подключения резервных ЭП

Логические схемы на основе биполярных элементов обладают наибольшим быстродействием, вследствие чего их все шире внедряют в практику создания ИС ЗУ — технология БиМОП (БиКМОП)-соединений (логика обрамления — на основе биполярных элементов, накопитель — на базе МОП-структур). Рассмотрим некоторые варианты построения схем подключения резервных элементов вместо дефектных и схем блокировки последних на основе биполярных структур.

Как видно из анализа структур ЗУ, описанных в подпараграфе 4.2.1, основу избыточных устройств памяти составляют РД, схема блокировки ОД и схемы пережигания плавких перемычек. Резервный дешифратор может быть реализован на основе ПЛМ или АПЗУ. Выбор того или иного варианта РД обусловлен рядом факторов: площадью, занимаемой резервными схемами, их быстродействием, потребляемой мощностью, временем испытаний резервных кристаллов. Для схем на основе биполярных элементов определяющим требованием, предъявляемым к РД, является высокое быстродействие, обеспечивающее подключение резервного элемента и отключение элемента без внесения дополнительной задержки в адресный сигнал.

Рассмотрим возможные схемотехнические варианты построения РД со схемами блокировки ОД. Резервный дешифратор может быть выполнен на многоэмиттерных транзисторах (МЭТ), составляющих элемент И (рис. 4.15). В цепь каждого эмиттера включена плавкая перемычка, программируемая электрическим сигналом или лазерным лучом. Число входов (эмиттеров) элемента И РД составляет $2x_r(y_c)$ в отличие от $x_r(y_c)$ входов (эмиттеров) элемента И ОД, где $x_r(y_c)$ — разрядность адреса строки (столбца). К достоинствам РД на МЭТ относят его компактность, простоту построения, возможность совместной реализации с ОД. Настройку РД на адреса отказавших элементов осуществляют с помощью устранения лишних связей путем пережигания плавких перемычек. Отключение отказавшего основного элемента происходит посредством блокировки ОД подачей сигнала с выхода РД через элемент блокировки (ключ) на дополнительный (x_r+1) эмиттер МЭТ.

Недостатками такого построения РД, ограничивающими его применение в быстродействующих схемах, являются значительная дополнительная задержка, возникающая при переадресации (поскольку отключение ОД возможно только после формирования высокого уровня на выходе РД и срабатывания ключевого элемента); трудность пережигания плавких перемычек электрическим способом (из-за шунтирующего действия структур, под-

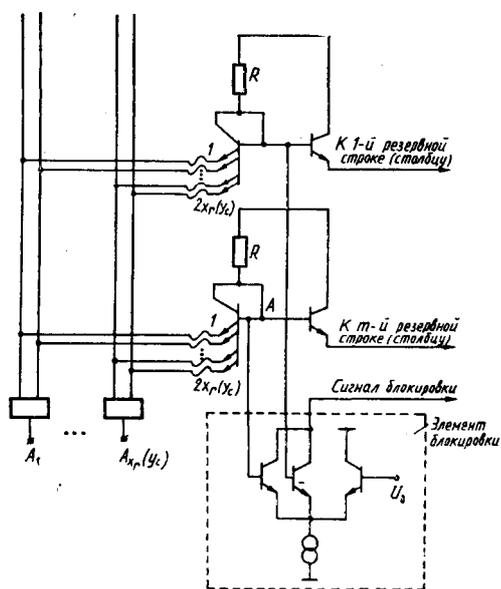


Рис. 4.15. Схема РД на многоэмиттерных транзисторах

ключенных к точке A , что ограничивает напряжение в этой точке для пережигания плавких перемычек по цепи переход эмиттер—база—плавкая перемычка—выход адресного буфера). С целью уменьшения дополнительной задержки при переадресации необходимо использовать более быстродействующую схему РД для создания запаса времени на отключение ОД.

На рис. 4.16 изображена электрическая схема коммутации основных и резервных строк с элементами программирования биполярного СОЗУ К541РУЗ [122]. Она построена по принципу ассоциативной переадресации на базе ПЛМ. Основу схемы коммутации составляет РД,

программируемый на любой адрес с помощью плавких перемычек $\Pi_1—\Pi_{14}$. Он содержит m_3 логических элементов ИЛИ по числу резервных строк, тем самым позволяя настраиваться на m_3 адресов. Схема построена таким образом, что при отсутствии дефектных строк не требуется пережигать плавкие перемычки, поскольку на базы транзисторов $VT_1—VT_{14}$ элементов ИЛИ через плавкие перемычки одновременно поступают прямые и инверсные

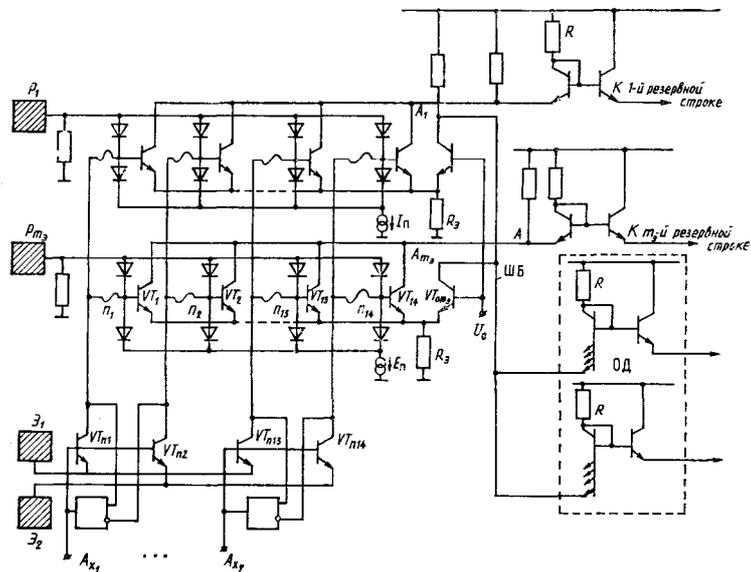


Рис. 4.16. Схема РД на элементах ИЛИ с цепями пережигания плавких перемычек и блокировки ОД

адресные сигналы. При этом на выходах РД $A_1—A_{m_3}$ будут низкие уровни напряжения, резервные строки не выбираются. На шине блокировки (ШБ) ОД — высокий уровень сигнала (транзисторы закрыты), происходит выборка строки ОН согласно поступающему на входы $A_{x_1}—A_{x_r}$ коду адреса.

При наличии дефектных строк в процессе испытания кристалла пережигают соответствующие плавкие перемычки для настройки РД на адреса данных строк. Пережигание перемычек осуществляют по цепи площадка

P_{m_3} — диод—вставка П—транзистор $VT_{п_1}$ ($VT_{п_2}$) или $VT_{п_2}$ ($VT_{п_1}$). Для этого на площадки $P_1—P_{m_3}$ подаются высокие уровни напряжения ($\approx 6...8$ В), а на одну из площадок \mathcal{E}_1 или \mathcal{E}_2 — низкий уровень (0 В). На адресные входы $A_{x_1}—A_{x_7}$ последовательно подаются высокие уровни напряжений. С целью программирования одного адреса пережигается семь плавких перемычек. В режиме записи или считывания при поступлении на вход ЗУ адреса дефектной строки на выходе одного из элементов ИЛИ ($A_1—A_{m_9}$) будет высокий уровень сигнала, который возбуждает соответствующий адресный формирователь и резервную строку. На ШБ ОД одновременно появляется низкий уровень сигнала. В результате ОД блокируется, основная дефектная строка не выбирается.

Схема построена таким образом, что задержка сигнала на перекоммутацию строк практически отсутствует. Транзисторы РД $VT_1—VT_{14}$ составляют токовую пару с транзистором VT_{om_9} , имеющую два выходных сигнала, которые изменяются в противофазе (А и ШБ). Поэтому выбор резервной строки и блокировка ОД происходят одновременно. Время переключения элемента ИЛИ (ИЛИ—НЕ), выполненного на основе ЭСЛ, незначительно (≈ 1 нс). Кроме того, порог переключения данного элемента выбран посередине логического перепада, поступающего на вход ОД. Поэтому переключение элемента ИЛИ произойдет до того, как дешифратор выберет строку ОН. Такое схемотехническое решение схемы перекоммутации строк, когда одновременно на выходе РД действуют два противофазных сигнала, позволяет практически устранить дополнительную задержку в адресном сигнале. Наибольшее возрастание общей задержки адресного сигнала ($\approx 1...2$ нс) произойдет из-за увеличения емкостей, нагружающих выходы адресных буферов $B_{x_1}—B_{x_7}$, вследствие подключения к выходам буферов через плавкие перемычки транзисторов и диодов РД. Однако благодаря исключению логического элемента блокировки ИЛИ—НЕ достигаются меньшие задержки адресного сигнала.

Полное устранение дополнительной задержки адресного сигнала возможно при использовании схемы РД на основе АПЗУ (рис. 4.17). В качестве ЭП такого АПЗУ служит плавкая перемычка со схемой сравнения. Схема сравнения (рис. 4.18) построена на основе элемента Иск-

лучающее ИЛИ, применяемого в логических ЭСЛ-схемах. На рис. 4.17 изображена часть схемы РД, выбирающего одну из резервных строк. Данная схема РД работает независимо от ОД и поэтому соответствующим выбором элементов схемы ее быстродействие может значительно превышать быстродействие ОД. Другим достоинством отмеченной конструкции является меньшее число пережигаемых перемычек (в среднем в 2 раза) по сравнению со схемой РД на основе ПЛМ.

Схема работает следующим образом. При зондовых испытаниях кристаллов проводят занесение в АПЗУ адреса дефектной строки (столбца) путем пережигания соответствующих плавких вставок Π_1 — Π_x . Пережигание перемычек осуществляют подачей высокого напряжения программирующего сигнала C_1 (8...10 В) по цепи вывод C_1 —диод VD_x —перемычка Π_x —диод—включенный транзистор VT_x —вывод C_2 , на который подают низкий потенциал. К выводу C_3 в режиме программирования перемычек Π_1 — Π_x прикладывают низкое напряжение, обеспечивающее закрытое состояние транзистора VT_p . В случае наличия перемычки Π_x на вход B схемы сравнения поступает от источника питания E через транслятор уровня

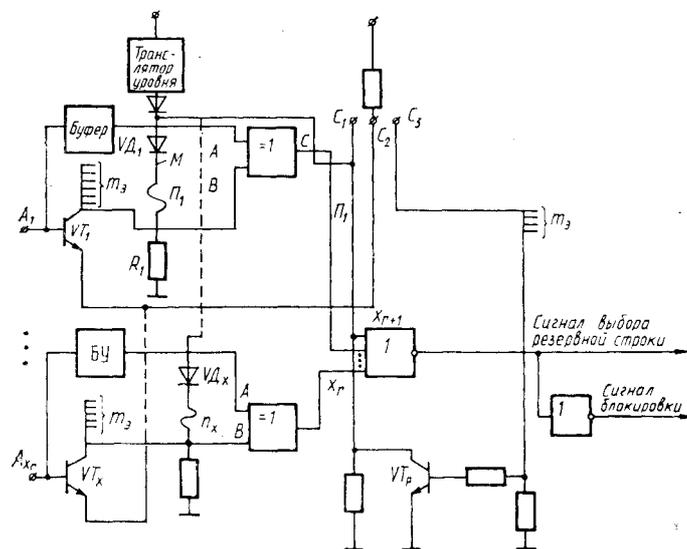


Рис. 4.17. Схема РД на основе АПЗУ с цепями программирования плавких перемычек

и переключку высокий потенциал ($U_B > U_{02}$). Если переключки отсутствуют, на вход B поступает низкий потенциал $U_B < U_{02}$ (рис. 4.18).

Таким образом, состояние каждой переключки сравнивается с логическим сигналом каждого разряда адреса. При совпадении сигналов на входах A и B на выходе C схемы сравнения формируется низкий уровень сигнала (лог. «0»). Сигналы с выходов схем сравнения подаются

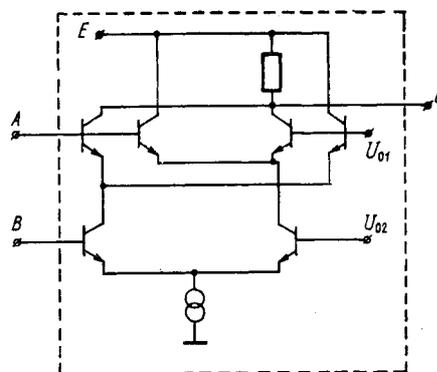


Рис. 4.18. Схема сравнения

на x_r входов элемента ИЛИ—НЕ, на (x_r+1) -й вход которого поступает сигнал, определяемый состоянием плавкой переключки $П_r$. Если последняя разрушена, то на (x_r+1) -м входе (входе разрешения) элемента ИЛИ—НЕ будет лог. «0», что при лог. «0» на остальных входах приведет к формированию высокого уровня сигнала на выходе элемента ИЛИ—НЕ и выбору резервной строки (столбца). Одновременно этот же выходной сигнал через инвертор заблокирует ОД и отключит дефектную строку (столбец). В случае подачи на вход ЗУ адреса годного ЭП на выходе хотя бы одной из схем сравнения будет сигнал лог. «1» из-за несовпадения состояния плавкой переключки с разрядом адреса — ОД выберет основной ЭП, а резервные будут отключены.

Введение плавкой переключки $П_r$ позволяет не проводить дополнительных операций по пережиганию плавких переключек $П_1—П_x$ при отсутствии отказавших элементов в ОН, так как поступающий через переключку $П_r$ высокий уровень сигнала на вход разрешения элемента ИЛИ—НЕ блокирует выбор резервных элементов. Кроме того, на-

личие переключки Π_p позволяет не подключать резервную строку (столбец) в случае, если она дефектна, даже при разорванных плавких переключках Π_1 — Π_x . Программирование Π_p осуществляют подачей напряжений программирования на входы C_1 (8...10 В) и C_3 (3...5 В) по цепи вывод C_1 —переключка Π_p —включенный транзистор VT_p —земля.

Подобную схему РД из-за ее достаточно высокой

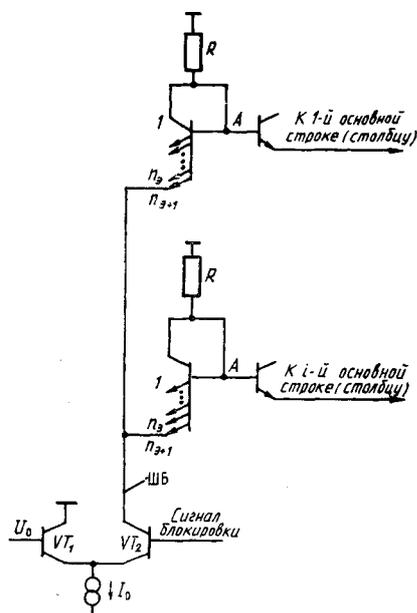


Рис. 4.19. Схема блокировки ОД

сложности (большое число активных элементов и шин разводки) следует применять при незначительном числе резервных элементов (один-два). В результате использования одной резервной строки (столбца) схема может быть упрощена путем исключения переключки Π_p и, следовательно, входа разрешения элемента ИЛИ—НЕ и цепи пережигания переключки Π_p (транзистор VT_p —резисторы—вывод C_3 —связь с выводом C_1). Однако в этом случае следует учитывать, что при отсутствии дефектных элементов в ОН будет происходить замена годной строки (столбца) по нулевому (единичному) адресу на резерв-

ную строку (столбец). В большинстве случаев такая замена не нарушает годности кристалла ЗУ, поскольку вероятность отказа одной резервной строки (столбца) мала.

Рассмотрим далее схемы блокировки ОД. При реализации ОД на диодах или МЭТ сигнал блокировки с выхода РД через элемент блокировки ИЛИ—НЕ обычно подается на дополнительный вход (рис. 4.19). При поступлении на базу VT_2 высокого потенциала ($U > U_0$) происходит включение транзистора VT_2 , и ток генератора токовой пары, выполняющий функцию инвертора, формирует на ШБ низкий уровень потенциала. При этом блокируется выбранный элемент И ОД и запрещается обращение к основному отказавшему ЭП (строке, столбцу).

Блокировку дешифратора, построенного на элементах ИЛИ, осуществляют введением дополнительных транзисторов VT_6 в элементы ИЛИ. Базы данных транзисторов подключены к ШБ. Основной дешифратор блокируется, когда на ШБ будет высокий уровень потенциала ($U > U_0$), так как в указанном случае транзистор VT_6 включен и в точке А будет низкий потенциал (см. рис. 4.14).

Схема блокировки ОД, построенного на элементах И (рис. 4.19), имеет одну существенную особенность по сравнению со схемой блокировки, изображенной на рис. 4.17: в первой необходимо правильно выбрать значение тока генератора I_0 ключа блокировки, поскольку в противном случае произойдет значительное уменьшение логического перепада между выбранной резервной строкой (столбцом) и заблокированной дефектной основной строкой (столбцом) ЭП. Это уменьшение нарушает функционирование ИС ЗУ при поступлении адреса отказавшего ЭП.

Рассмотренные схемы можно использовать при блокировке как дешифратора D_X , так и D_Y . В отличие от них показанная на рис. 4.8 схема блокировки дешифратора D_Y позволяет исключить ключ блокировки и тем самым уменьшить мощность потребления резервных цепей (устранение тока I_0 и задержки в адресном сигнале). В данном случае функция блокировки ОД совмещена с выбором резервного столбца.

4.3. ИСПЫТАНИЯ РЕЗЕРВИРОВАННЫХ КРИСТАЛЛОВ ЗУ

Функции измерительного оборудования при зондовых испытаниях кристаллов значительно усложняются из-за наличия резервных элементов. Испытания кристаллов осуществляют по алгоритму, изображенному на рис. 4.20. На I этапе осуществляется функциональный контроль (проверка) ОН, выявление отказавших элементов, на II — проверка выполнения условия $q \leq m$, где q — число обнаруженных дефектных элементов; m — число имеющихся на кристалле резервных элементов. На III этапе проводится замена дефектных элементов на резервные, для чего пережигаются плавкие перемычки, на IV — повторный функциональный контроль ЗУ (в котором вместо дефектных подключены резервные элементы). На V этапе контролируются статические параметры ИС.

Очевидно, что для кристаллов без резервных элементов достаточно I и V этапов проверки, причем I этап длится до появления первого отказа, что занимает небольшой промежуток времени. Для замены дефектных элементов на резервные вводят дополнительные этапы контроля. Из них наиболее длительными являются II и III. На II этапе определяется местоположение и число дефектных (отказавших) элементов, проводится проверка возможности восстановления кристаллов (иногда эту операцию называют ремонтом). На III этапе осуществляется пережигание перемычек электрическим или лазерным способом. На I и IV этапы проверки кристаллов затрачивается всего несколько сот миллисекунд, в то время как на II и III необходимо несколько секунд. Приведенный алгоритм испытаний кристаллов с резервными элементами является общим, однако он наглядно показывает и определяет функции измерительного оборудования.

Снижения длительности испытаний кристаллов ЗУ с резервом можно добиться, если оптимизировать проверку и ремонт кристаллов как в результате выработки критериев для более ранней отбраковки кристаллов из числа пригодных к восстановлению, так и благодаря созданию специализированного оборудования для испытаний ИС ЗУ с резервом, а также путем введения специальных аппаратных средств непосредственно на кристалл [126]. Процесс пережигания плавких перемычек занимает зна-

чительное время во всем процессе испытаний кристаллов ЗУ. Чем больше используют резервных элементов, тем больше в среднем время восстановления ИС. Уменьшить временные затраты на программирование перемычек можно посредством снижения их числа и одновременного пережигания нескольких перемычек. Число пережигаемых перемычек определяется способом подключения резервных элементов вместо дефектных. Уменьшить время на восстановление ЗУ можно с помощью введения специальных схем контроля резервных элементов. После программирования адреса дефектного элемента путем пережигания плавких перемычек может оказаться, что подключаемый резервный элемент является дефектным. В итоге это приведет к забраковыванию кристалла или к необходимости повторного занесения адреса дефектного элемента и отключения дефектного резервного элемента, что сопряжено с дополнительными временными

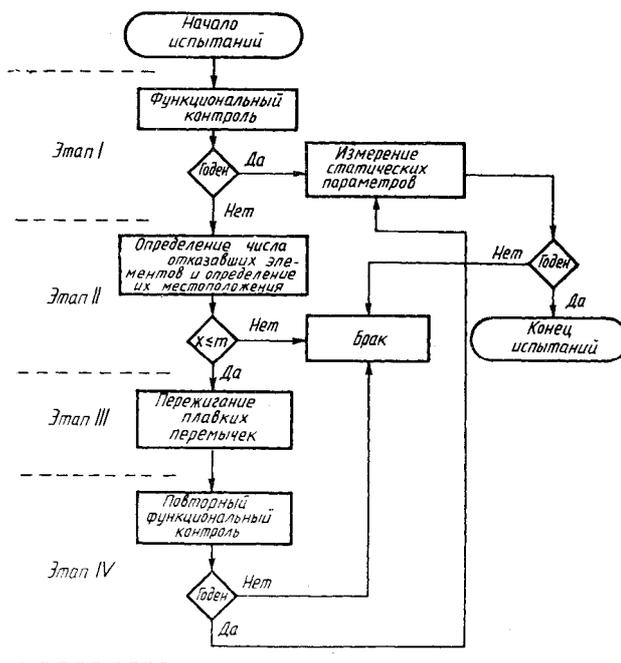


Рис. 4.20. Алгоритм испытаний кристаллов СБИС ЗУ с резервными элементами

затратами на программирование. Следовательно, предварительная проверка исправности резервных элементов до программирования, при анализе и проверке критерия ремонтпригодности позволяет сократить временные затраты при испытаниях кристаллов избыточных БИС ЗУ. Структурная схема блока контроля исправности резервных элементов изображена на рис. 4.21.

При подаче на адресные входы сигнала лог. «1» на

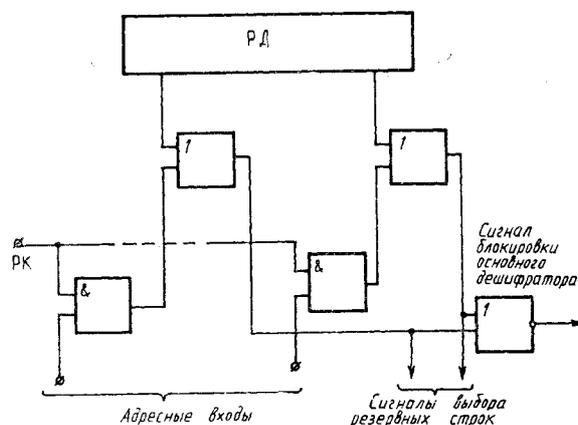


Рис. 4.21. Блок контроля резервных элементов

контактную площадку «разрешение контроля» (PK) и сигналов, содержащих не более одной единицы в адресе (10...0, 01...0, ..., 00...1), на выходах соответствующих элементов ИЛИ последовательно устанавливаются сигналы лог. «1». Данные сигналы выбирают соответствующие резервные элементы и блокируют ОД. В результате происходит опрос резервных элементов без программирования РД. Это позволяет проводить отбраковку невосстанавливаемых кристаллов, когда годные резервные элементы отсутствуют или их число недостаточно для восстановления ИС. Кроме того, программирование адресов дефектных элементов при достаточном резерве будет осуществляться только для исправных резервных элементов.

Глава 5

ЗАПОМИНАЮЩИЕ УСТРОЙСТВА С КОРРЕКЦИЕЙ ОШИБОК

5.1. ИНТЕГРАЛЬНЫЕ СХЕМЫ ПАМЯТИ С КОРРЕКЦИЕЙ ОДИНОЧНЫХ ОШИБОК

Как отмечено в гл. 1, наибольшее практическое применение для исправления ошибок в ЗУ нашли итеративный код и код Хэмминга, позволяющие обнаруживать и корректировать одиночную ошибку в кодовом слове (в наиболее общем случае). Общая особенность использования кодов в СБИС — определенная трудность с организацией кодового слова, если длина его информационной части больше длины хранимых в СБИС слов (разрядности СБИС). При этом необходима достоверная информация о состоянии ЭП, составляющих одно кодовое слово, или информация об изменении данного состояния между циклами обращения. Реализовать такие требования можно, например, с помощью устройств «защелки», что будет показано ниже на примере ИС с кодами Хэмминга. Наиболее полно эффективность применения кодов характеризуют посредством сопоставительного анализа следующих технологических и технических параметров ИС: надежности (или БГ), быстродействия, потребляемой мощности. Стремление максимально улучшить один из указанных параметров неизбежно (прямо или косвенно) приводит к ухудшению одного (или обоих) из остальных. На основе учета этой особенности следует строить избыточные кристаллы памяти для определенных систем и конкретных применений.

5.1.1. Интегральные схемы памяти на основе итеративного кода

Общие принципы построения ЗУ на основе итеративного кода рассмотрены в подпараграфе 1.4.2. При небольшой длине информационного слова ($k=1...2$ бай-

та) построение избыточной БИС сопряжено со значительным ростом размеров базового кристалла ($\approx 150\%$ и более), а в одноразрядных кристаллах памяти метод и вовсе практически не реализуем. Однако очевидные преимущества отмеченной конструкции кода по сравнению с другими побуждают искать нетривиальные решения. Одно из таких решений реализовано в ЗУ, структурная схема которого изображена на рис. 5.1. Дополнительные накопители ДН 1 (блок 2) и ДН 2 (блок 10) представляют собой дополнительные столбец и строку соответственно. Их функциональное назначение аналогично назначению избыточных ЭП, которые хранят свертку (по модулю два) разрядов строк и столбцов матрицы (см. рис. 1.15) информационного слова. Следовательно, в рассматриваемом устройстве размер информационного слова

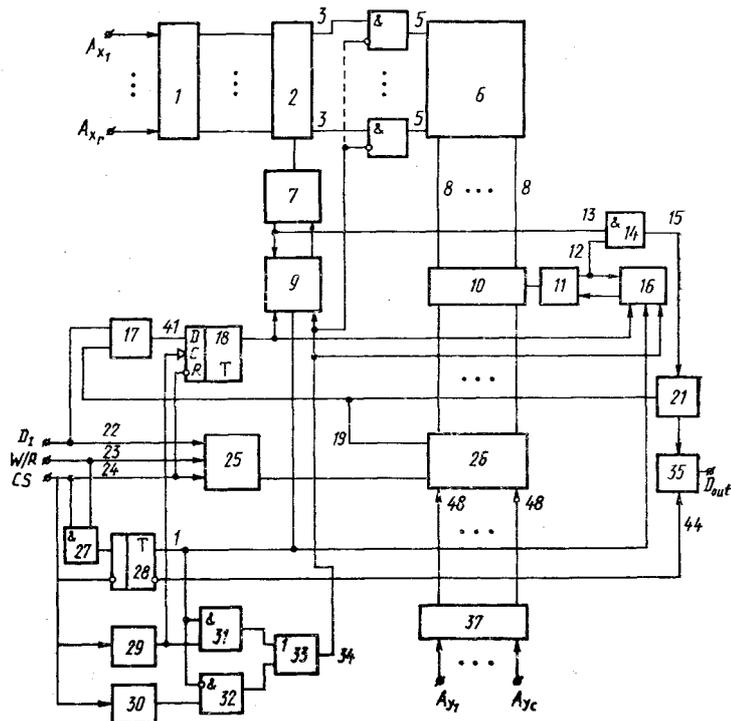


Рис. 5.1. Структурная схема ИС ЗУ, в которой записываемая в отказавший ЭП информация согласовывается с состоянием отказавшего ЭП

эквивалентен информационной емкости ОН 6, т. е. k_1, k_2 соответствует числу столбцов и строк в ОН [127].

В режиме записи информации на входы D_X, D_Y подаются соответствующие коды адресов опрашиваемых строки и столбца. На входы 22—24 блока ввода (БВв) 25 подаются сигналы $D_I, W/R, CS$ (положим, что рабочий режим сигнала — лог. «1»; такой же сигнал и на шине 23 в режиме записи). При этом обращение к ДН 1 и ДН 2 запрещено низким уровнем сигнала на выходе элемента ИЛИ 34. В выбранный ЭП ОН записывается бит информации. Затем на шине 23 сигнал изменяется на противоположный — происходит чтение записанного символа и его сравнение на сумматоре 17 с битом, установленным на шине 22. Если сравниваемые символы различны, то сигнал лог. «1» с выхода сумматора по модулю два 17 через триггер 18 поступает с элемента задержки 21 через Тг 28 на другие входы формирователей и параллельно блокирует СШ5 ОН 6. В ЭП дополнительных накопителей записывается лог. «1». Если же бит информации в ОН хранится правильным, то в ДН1 и ДН2 по тому же адресу записывается лог. «0».

В режиме чтения выборка ЭП из ОН осуществляется как в режиме записи. Считанный символ с выхода УЗС 26 поступает на один из входов сумматора 21, на второй вход которого подается корректирующий символ, соответствующий уровню лог. «1» только в одном случае: в параллельных ЭП ДН1 и ДН2 записаны символы лог. «1». При этом такой же сигнал будет и на выходе 15 элемента И 14. Символ лог. «1» на шине 15 проинвертирует неправильно хранившийся информационный бит в сумматоре 21. Истинная информация поступает через блок вывода (БВ) информации 35 на выход устройства.

Достоинством рассмотренной конструкции ИС является минимальное (несколько процентов) увеличение площади кристалла по отношению к безызбыточному, однако имеет место снижение быстродействия на 50...70%. Подобное решение целесообразно применять при преимущественных отказах одиночных ЭП: в устройстве будут корректироваться только ошибки, вызванные отказами такого типа и при условии, что в каждой строке и каждом столбце ОН будет не более одного неработоспособного ЭП. Надежность ЗУ может быть рассчитана по методике, изложенной в подпараграфе 3.2.2. В значительной степени уровень надежности устройства определяется отказо-

устойчивостью ДН1, ДН2. Последнего недостатка лишено устройство, структурная схема которого изображена на рис. 5.2 [128]. В этом устройстве проверочные символы $((k_1+1)$ -е и (k_2+1) -е) дополнительно защищены кодом Хэмминга, т. е. ошибки, которые возникают в проверочных разрядах, исправляются и не оказывают влияния на функциональную надежность ОН.

В режиме записи параллельно с занесением информации в ОН происходит вычисление проверочных символов итеративного кода в формирователях 4, 11 (на основе (1.6)); коммутаторы 3, 9 подключают на входы блоков 4, 11 или входную информацию (в режиме записи), или считанную из ОН (в режиме чтения). Блоки кодирования (БК) 5, 12 вырабатывают контрольные символы кода Хэмминга (согласно (1.3)) для слов, состоящих из про-

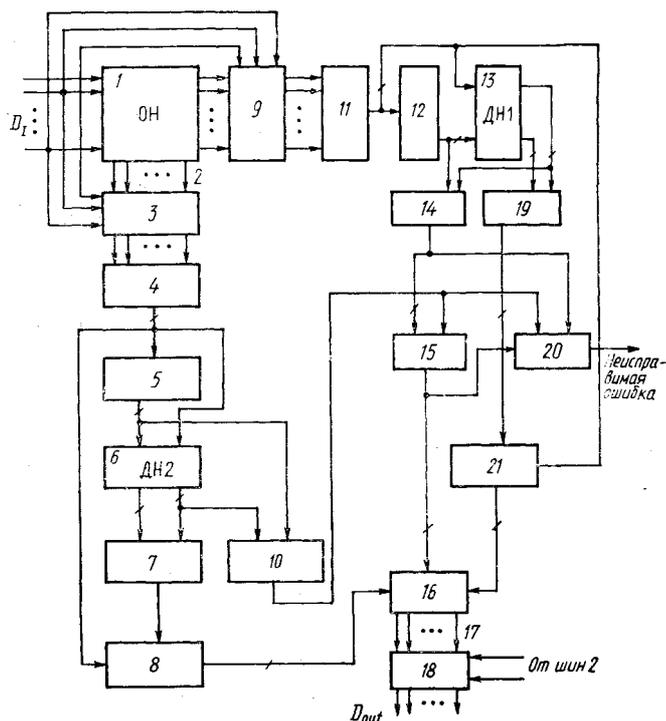


Рис. 5.2. Структурная схема ЗУ на основе итеративного кода с дополнительной защитой проверочных символов

верочных разрядов итеративного кода. В ДН6, ДН13 записываются соответствующие проверочные и контрольные символы (управляющие сигналы накопителей являются общими и на рисунке не показаны). При $k = k_1 k_2$ емкости ДН6 ($C_{д1}$), ДН13 ($C_{д2}$) определяют по формулам

$$C_{д1} = k_1 + \log_2 k_1 + 1, \quad C_{д2} = k_2 + \log_2 k_2 + 1.$$

В режиме считывания блоки 3, 4 и 10, 12 вновь формируют проверочные и контрольные символы (для считанного слова). Блоки коррекции 7, 19 осуществляют (по принципу синдромного декодирования) исправление ошибок в проверочных символах (итеративного кода), а в блоках 10, 14 пары считанных и вновь сформированных контрольных символов (кода Хэмминга) поразрядно сравниваются с целью обнаружения некорректируемых ошибок. На выходах блоков 8, 21 вырабатываются векторы ошибок по строкам и по столбцам. Блок 16 (рис. 5.3) формирует на выходах 17 сигналы коррекции, которые поступают на входы соответствующих сумматоров блока исправления ошибок 18.

Подобный метод целесообразно использовать в асинхронных устройствах памяти с многоразрядной организа-

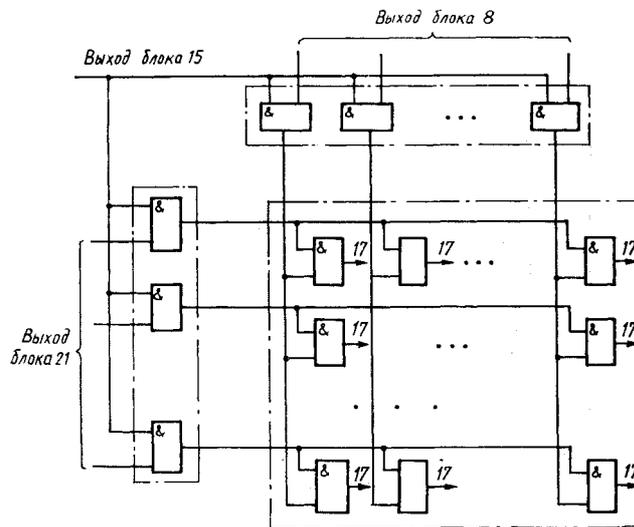


Рис. 5.3. Схема блока 16 устройства, показанного на рис. 5.2

цией. Его надежность может быть подсчитана по методике, изложенной в подпараграфе 3.2.1. Построение избыточных схем на основе итеративного кода эффективно для ДОЗУ [37—39]. В данном случае избыточные схемы топологически хорошо совмещены с разрядными формирователями (РФ). Это дает возможность вычислять проверочные символы кода практически параллельно с усилением информации, что в свою очередь обеспечивает выигрыш как в быстродействии, так и в величине избыточной площади кристалла.

На рис. 5.4 изображена упрощенная схема соединения

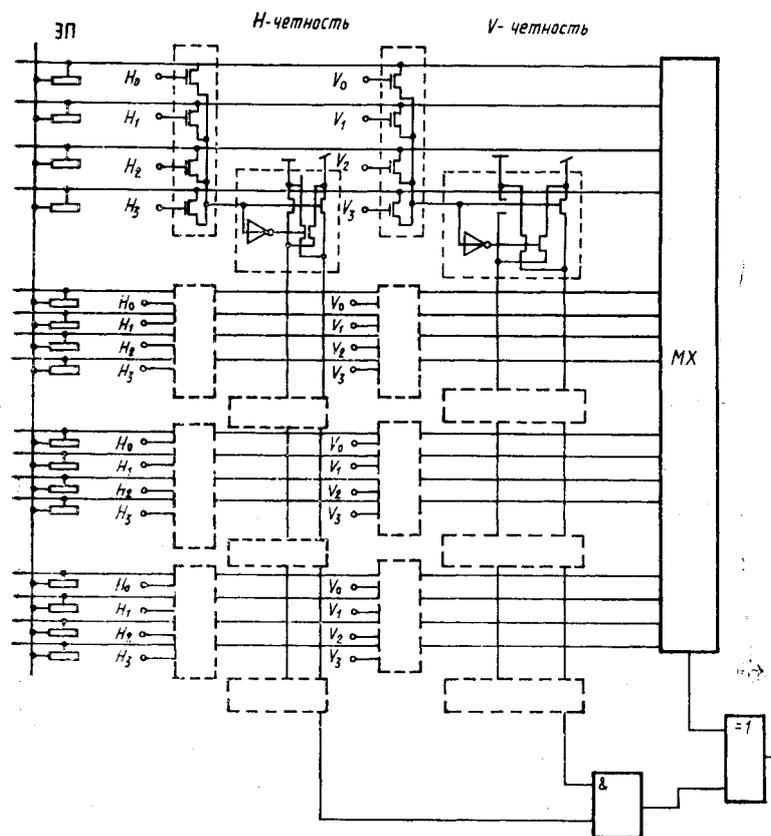


Рис. 5.4. Структурная схема (фрагмент) ДОЗУ с коррекцией информации итеративным кодом

блоков ИС, а на рис. 5.5 — схема, поясняющая принцип работы селектора. Суть работы ЗУ состоит в том, что слово длиной k ($k=k_1k_2$) разрядов записывается в РФ и сворачивается с помощью селектора в матрицу $k_1 \times k_2$. Обнаружение ошибки в информационных разрядах происходит согласно схеме, показанной на рис. 5.2. Для удобства проверочные биты по строкам матрицы обозначены буквой H (горизонтальные), а по столбцам матрицы —

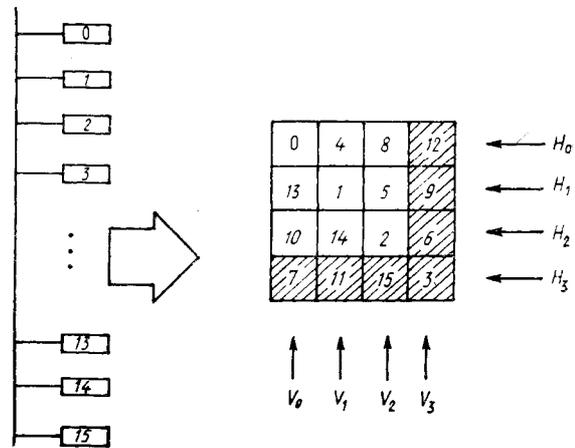


Рис. 5.5. Схема, поясняющая принцип работы селектора

буквой V (вертикальные). С точки зрения надежности ИС целесообразна перезапись скорректированной информации в ту же ячейку памяти (см. подпараграф 4.2.4), что позволяет практически полностью нейтрализовать сбой в ЭП. Наибольший эффект при этом достигается при коррекции ошибок из-за сбоев в каждом цикле регенерации информации [129]. В качестве примера на рис. 5.6 показано устройство с перезаписью информации. Записанные в УС блока РФ символы поступают на входы элементов Исключающее ИЛИ (сумматоров по модулю два), где вычисляются символы H и V .

Известное требование по унификации (с точки зрения потребителя) избыточных и безыбыточных ИС памяти приобретает особую строгость в отношении ДОЗУ с кодами, поскольку в данных устройствах требуется запись некоторой информации в избыточные ЭП после включе-

ния питания. Одно из очевидных и достаточно простых решений — запись однотипной информации (фона) во все ЭП накопителя. Этот фон может быть или физическим, или логическим. В первом случае в ЭП записывается информация, соответствующая одному уровню напряжения, во втором — одна и та же логическая информация. Оба подхода равносильны вследствие того, что УС обычно имеет симметричную структуру и вырабаты-

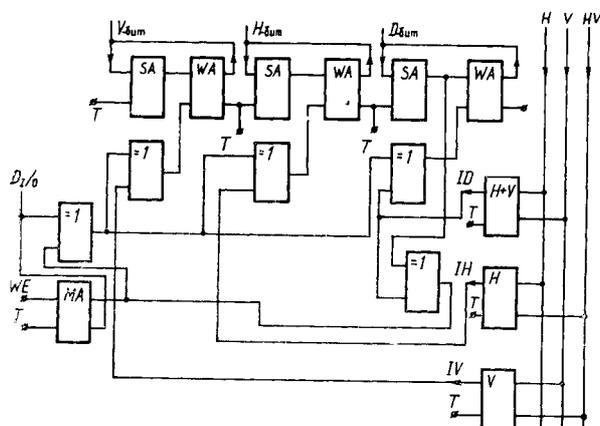


Рис. 5.6. Структурная схема ИС ДОЗУ с перезаписью информации в отказавшие ЭП

вает парафазный сигнал. Оба выхода УС соединены с одинаковыми РШ, одна из которых в произвольном такте обращения соединена с опрашиваемым ЭП, другая служит для формирования опорного напряжения и компенсации емкостной нагрузки.

Для большинства конструкций СБИС ДОЗУ целесообразно использовать следующий алгоритм формирования физического фона; формирование потенциала обратного смещения подложки и высокого напряжения на СШ при поддержании низкого напряжения на РШ; формирование напряжения на обеих обкладках конденсаторов ЭП; снятие напряжения с СШ; формирование уровня опорного напряжения на РШ. В данном случае во все ЭП запишется низкий уровень. Логический же фон можно записать путем организации внутреннего активного цикла с принудительной установкой всех УС в определенное состояние при одновременной активизации всех СШ. Окон-

чание этого активного цикла осуществляется, например, по первому инициализирующему циклу. Для «равноценности» записи обоих из рассмотренных фонов в ЗУ (рис. 5.6) на выходе мультиплексов *H*- и *V*-бит ставят схему Иключающее ИЛИ, управляемую кодом адреса строки. Все сигналы на рис. 5.6 изображены в виде парафазных.

В зависимости от того, перезаписывается скорректированная информация в накопитель или нет, определяют сложность схем коррекции ошибок и регенерации инфор-

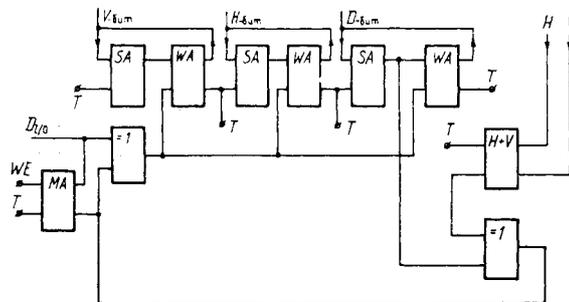


Рис. 5.7. Схема ОКО для ЗУ, показанного на рис. 5.5

мации. На рис. 5.7 показана схема ОКО для ЗУ, изображенного на рис. 5.5. Схема является синхронной, причем для некоторых конкретных реализаций желательно, чтобы синхросигнал *T* в паузе обеспечивал обнуление критичных узлов схемы. По окончании записи (фронта синхросигнала) схемы защелки не должны воспринимать изменение информации на шинах накопителя, которое может произойти в результате перезаписи скорректированной или записи новой информации. В данной конструкции ОКО УЗ должны содержать схемы, позволяющие записывать на шины соответствующих разрядов как прямую (по отношению к УС), так и инверсную информацию. Это требование вытекает из того, что в одном активном цикле возможна двойная инверсия информации. Например, в режиме записи первоначально обязательно осуществляется запись считанной информации в УС с возможной инверсией ошибочного бита на соответствующей шине, далее же при записи противоположной информации произойдет еще одно инвертирование бита на той же шине.

Структура ОКО для ЗУ без перезаписи скорректированного слова изображена на рис. 5.8 и отличается от показанной на рис. 5.7 упрощенными РФ и УЗ, отсутствием контроллеров *H*- и *V*-бит. Оба варианта ОКО конструктивно удобнее реализовать, используя парафазные шины как информационных, так и избыточных разрядов и достигая тем самым возможности реализации на шинах третьего состояния в режиме стробирования (пассивная фаза сигнала *T*). Срабатывание схемы будет происходить только по мере появления всех управляющих сигналов.

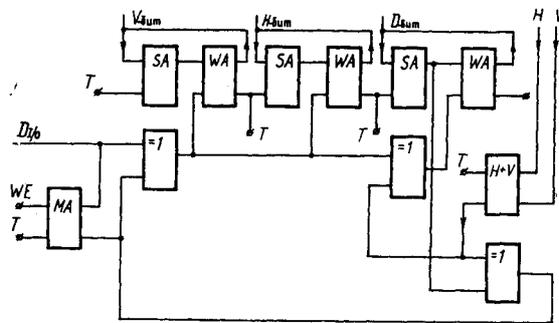


Рис. 5.8. Схема ОКО для ЗУ без перезаписи скорректированной информации в опрашиваемые ЭП

Это позволит осуществить практически асинхронную обработку и коррекцию информации, тем самым увеличив быстродействие СБИС.

Для СБИС ЗУ емкостью 4 Мбит с организацией кода в виде слов длиной 289 разрядов, 256 из которых — информационных ($k_1 = k_2 = 16$) и 33 — контрольных, расчетная задержка на выработку признаков четности (*H*- и *V*-битов) составила 9 нс (КМОП-структура). Между тем время считывания по магистральной шине данных достигает 3 нс. Таким образом, избыточная задержка обращения приблизительно равна 6 нс. Площадь кристалла возрастает приблизительно на 10..15%, время наработки ИС (рассчитываем по методике, изложенной в подпараграфе 3.2.1) до некорректируемого отказа (при условии исправления ошибок из-за сбоев в ЭП) увеличивается приблизительно в 3 раза по сравнению с аналогичным параметром для безыбыточного варианта ЗУ.

5.1.2. Интегральные схемы памяти на основе кода Хэмминга

В начале данного параграфа подчеркнuto, что для формирования контрольных символов кода в каждом цикле обращения к строке, где расположен (расположены) опрашиваемый ЭП, необходимо идентифицировать состояние соответствующих ЭП. С учетом этого нередко всю строку ОН принимают за длину информационной части кодового слова ($k = N_c$) или в той же строке размещают несколько слов. В первом случае аппаратная избыточность является максимальной и практически определяется объемом дополнительной логики, основную часть которой составляет дешифратор синдрома и БК. Снизить аппаратную избыточность можно прежде всего путем совмещения одним блоком функций кодера (при записи информации) и формирователя синдрома ошибки (при чтении информации).

На рис. 5.9 показана структура ИС ЗУ, построенная с учетом отмеченных особенностей. После включения питания все ЭП устанавливаются в одинаковое логическое состояние. В режиме записи информационные разряды (k) строки подключаются к первому ОУС (блоки считывания и записи, ввода и вывода для наглядности разнесены) и регистру 4 (защелка). Одновременно с этим на входы DY поступает код адреса опрашиваемого столбца ОН. На одном из выходов 3 ОУС появится информация (или состояние этого элемента, если он неисправен), хранящаяся в опрашиваемом ЭП. На сумматоре по модулю два 1 подлежащий хранению (на шине D_I) и хранящийся в ЭП биты сравниваются. Если они отличаются, то соответствующий разряд слова, находящегося в регистре 4, будет инвертирован. На основе k информационных символов БК формирует, согласно (1.3), значения r проверочных разрядов кодового слова, которые поступают на соответствующие входы дополнительного усилителя записи (ДУЗ). Затем в выбранный ЭП ОН, а также в r дополнительных ЭП (по той же словарной шине) происходит запись сформированного кодового слова.

В режиме считывания, как и в режиме записи, k разрядов кодового слова считываются блоком ОУС, а r разрядов — блоком ДУЗ. По разрядам БК формирует в соответствии с (1.4) второй набор дополнительных символов, которые на сумматорах по модулю два 7 поразрядно

сравниваются с r битами, считанными из ДН, т. е. на сумматорах 7 происходит вычисление синдрома S (1.5). Синдром в блоке 8 декодируется, что позволяет установить местоположение ошибки, если она возникла. Совмещение функций кодера по расчетам позволяет уменьшить площадь избыточной СБИС емкостью 16 Кбит на 4...5%. Надежность избыточного ЗУ рассчитывают по методике, изложенной в подпараграфах 3.1.1 и 3.1.2. Описанный метод построения целесообразно использовать в асинхронных устройствах из-за различия в требуемой длительности циклов записи и чтения.

Еще большего снижения аппаратной избыточности можно достичь, поставив в соответствие синдрому ошибки код адреса столбца опрашиваемого ЭП. При этом

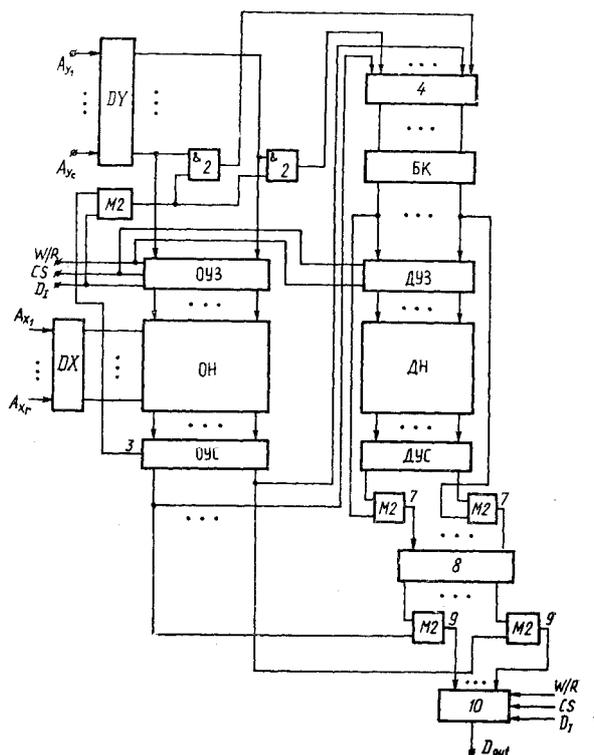


Рис. 5.9. Структурная схема ИС ЗУ на основе кода Хэмминга с совмещением функций БК

становится необходимым обязательное изменение разрядов кодового слова (в режиме записи), если опрашиваемый ЭП является отказавшим или должен изменить логическое состояние в соответствии с записываемой информацией. Работа такой ИС может быть описана следующим образом. В режиме записи: 1) считывание информации из всех ЭП строки ОН и ДН; 2) вычисление синдрома S ; 3) определение работоспособности опрашиваемого ЭП: годен—не годен; 4) исправление ошибки; 5) сравнение записываемого в ЭП бита информации с состоянием данного элемента; 6) изменение состояния соответствующих проверочных ЭП (при несовпадении записываемого бита с состоянием опрашиваемого ЭП) и запись основной и проверочной информации в соответствующие элементы строки. Режим считывания включает в себя пп. 1—4 режима записи, а также процесс выдачи информации на выход устройства.

Сопоставление алгоритмов (данного и описывающего работу устройства, изображенного на рис. 5.9) показывает, что стремление к упрощению ИС привело к некоторому увеличению длительности цикла записи. Это вызвано необходимостью определения логического состояния опрашиваемого ЭП и исправления ошибки (пп. 3, 4). Однако степень снижения быстродействия становится менее заметной при переходе к избыточной структуре, если в ЗУ реализован мультиплексированный ввод адреса ЭП (справедливо для любого типа используемого в ЗУ корректирующего кода). Данное обстоятельство связано с тем, что последовательный ввод кода адреса строки и кода адреса столбца позволит параллельно с установлением сигнала выборки на РШ накопителя осуществить контрольное считывание информации и вычисление проверочных соотношений согласно пп. 1, 2 приведенного выше алгоритма. Рассмотрим, например, работу ИС с мультиплексированным вводом кода адреса опрашиваемого ЭП, избыточные схемы которого реализуют такой алгоритм [130]. Структурная схема устройства изображена на рис. 5.10.

В режиме записи в соответствии с кодом адреса строки, поступающим через мультиплексор 1 в регистр-защелку 2 и далее на входы D_X , происходит возбуждение одной из числовых шин ОН. Она подключает ЭП опрашиваемой строки к блоку 13, осуществляющему вычисление контрольных соотношений (1.5). Результат расчета

помещается в триггеры 17. Параллельно с этим происходит перезапись данных, хранимых в r разрядах строки ДН, в триггеры 5. Необходимость запоминания контрольных символов обусловлена тем, что в случае изменения состояния опрашиваемого ЭП при записи (например, в ЭП хранилась лог. «1», а записывается лог. «0» или наоборот) следует изменить также состояние дополнительных разрядов с целью выполнения условий (1.3).

После подачи кода адреса столбца и появления сигнала на одной из разрядных шин DY в БК 11 будет сформировано r двоичных символов, которые на сумматорах блока 16 сравниваются с r разрядами синдрома S . Если опрашиваемый элемент является неисправным, то синд-

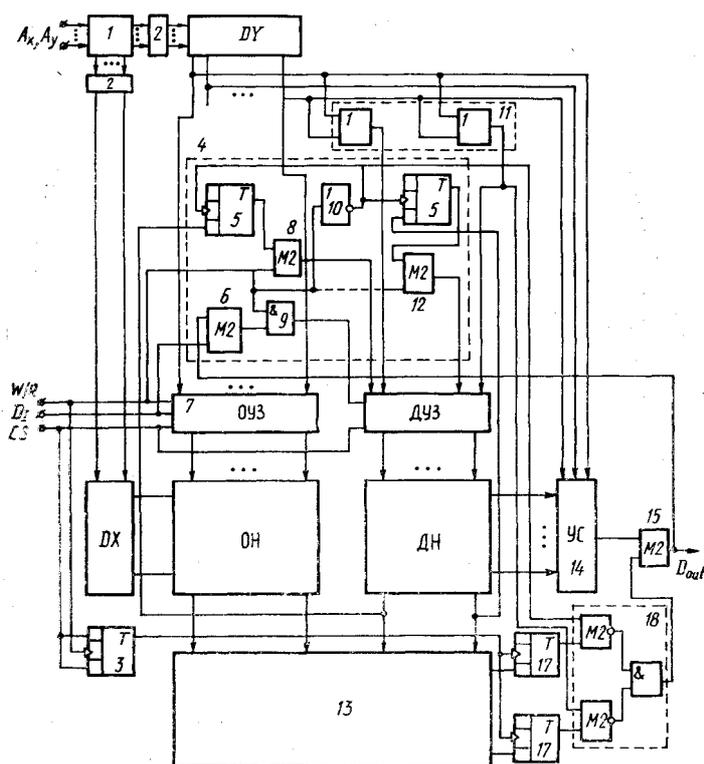


Рис. 5.10. Структурная схема избыточной ИС ЗУ с мультиплексированным вводом кода адреса ЭП

ром совпадает с сигналами, сформированными схемами ИЛИ БК, и на выходе блока коррекции 16 будет сигнал лог. «1». Он инвертирует ошибочный бит, считанный блоком УС. С выхода сумматора 15 скорректированный сигнал сравнивается на сумматоре 6 с сигналом на шине D_i , соответствующим записываемому двоичному символу. Если опрашиваемый ЭП должен изменить свое состояние, то для выполнения условий (1.3) изменяются на обратные состояния соответствующих дополнительных ЭП.

При поступлении сигнала разрешения записи блок ДУЗ вырабатывает сигнал, изменяющий состояние некоторых дополнительных ЭП строки ДН. В режиме считывания контроль считываемой информации и исправление ошибок осуществляют, как в режиме записи. Использование кода адреса опрашиваемого разряда для декодирования синдрома уменьшает площадь избыточного кристалла, построенного по схеме, изображенной рис. 5.9, на 6...8% при любой емкости ОН ИС.

С учетом тенденции к увеличению степени интеграции ИС ЗУ особое внимание следует обращать на обеспечение теплоотвода от корпуса избыточного кристалла, в котором активный режим характеризуется резким (особенно в одноразрядных устройствах) возрастанием количества иницируемых ЭП. Особенно это существенно для биполярных ИС.

Одним из возможных вариантов решения проблемы может стать, например, уменьшение числа циклов, в которых изменяется состояние r ЭП ДН. С целью нормального функционирования ИС при одновременной записи двоичных символов не более чем в u из r дополнительных ЭП необходимо учесть некоторые ограничения. Нижний предел u устанавливается таким, чтобы при формировании контрольных соотношений не были нарушены условия (1.3), т. е. требуется выполнение неравенства $u > 1$. При использовании кода адреса опрашиваемого столбца накопителя следует учитывать, что код может представлять собой не только двоичные числа с одной лог. «1», но и быть нулевым, а также содержать единичные символы на всех y_c (11...1) или на большинстве позиций. Таким образом, чтобы не нарушились условия (1.3) при обращении к ЭП, код адреса которого содержит не менее двух лог. «1», необходимо увеличить на единицу число дополнительных ЭП строки ДН: $r = y_c + 1$ удовлетворяет усло-

вию $r = \log_2 k + 1$. Отмеченные ограничения выполняются, если выбрать из соотношения $\sum_{i=1}^u C_i^i > k + r$.

С точки зрения энергетических затрат целесообразно разделить во времени занесение информации в основной и дополнительные ЭП. Это может быть достигнуто, если в режиме записи первоначально производить не считывание, а запись информации в ОН. С учетом последнего алгоритм работы ИС ЗУ будет заключаться в следующем.

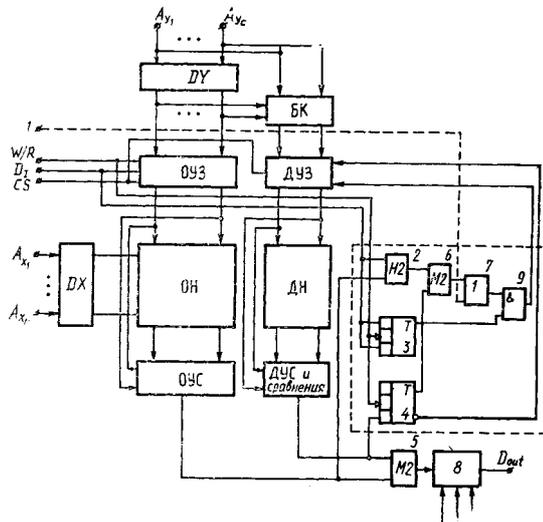


Рис. 5.11. Структурная схема избыточной ИС ЗУ, в которой запись проверочной информации проводится параллельно в u из r ЭП

Режим записи: 1) запись информации в ОН, считывание информации из ДН ЭП, формирование проверочных символов; 2) вычисление синдрома (сравнение сформированных и считанных из ДН двоичных символов); 3) контрольное считывание информации из ОН и ее сравнение с записываемой — определение состояния опрашиваемого элемента; 4) запись проверочной информации в u из r дополнительных ЭП. Режим считывания: 1) считывание информации из всех ЭП опрашиваемой строки (ОН и ДН), формирование проверочных соотношений; 2) сравнение считанных из ЭП строки и вновь сформированных проверочных символов; 3) исправление ошибки и выдача

информации. Схема избыточного ЗУ, работающая по такому алгоритму, показана на рис. 5.11, а пример реализации БК — на рис. 5.12 [131].

Параллельно с выборкой ЭП из ОН в БК вырабатываются r двоичных символов. Если код адреса опрашиваемого столбца представляет собой лог. «0» или содержит одну лог. «1» на любой позиции, то возбуждаются соответствующие выходные шины ОУ и на одном из выхо-

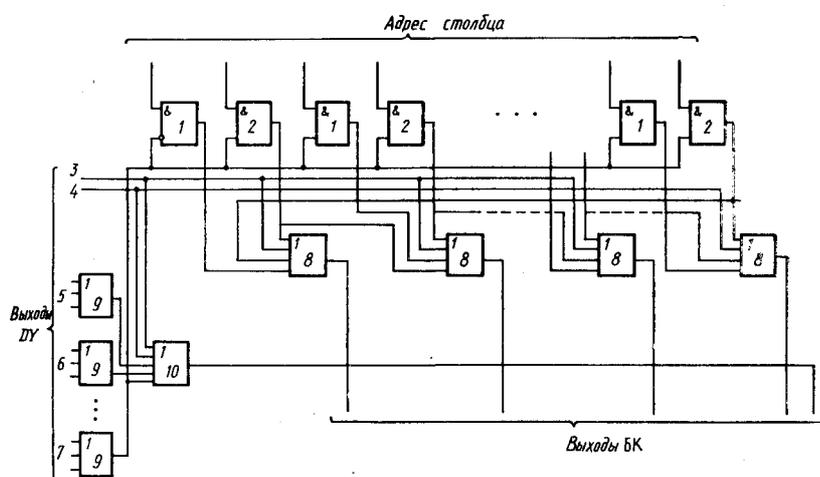


Рис. 5.12. Схема БК для ЗУ, показанного на рис. 5.11

дов (3 или 4) БК (рис. 5.12) будет сигнал лог. «1». Такой же сигнал появится на выходе одной из z схем ИЛИ 9 ($z = y_c - u + 1$) при наличии в данном коде более u лог. «1». Во всех отмеченных случаях в r -й разряд ЭП строки с выхода схемы ИЛИ 10 будет записана лог. «1». Пример соответствия выходных сигналов БК входному коду адреса столбца при $u = 4$ и $y_c = 6$ приведен в табл. 5.1.

Сигналы с выходов БК в совмещенном с ДУС блоке сравниваются с сигналами, считанными с r ЭП (происходит формирование синдрома, поразрядное сложение символов и запись результата в триггер 4). При снятии сигнала на шине W/R запись в ОН прекращается, происходит контрольное считывание информации из этого же элемента и сравнение ее на сумматоре 2 с битом данных, подлежащим хранению. Одновременно триггер 3 выраба-

Таблица 5.1. Соответствие выходных символов БК входному коду адреса столбца опрашиваемого ЭП

Вес входного кода адреса (число единиц)	Входной код адреса	Выходные сигналы БК	Вес входного кода адреса (число единиц)	Входной код адреса	Выходные сигналы БК
0	000000	111000 1	4	000111	000111 0
1	100000	100000 1		111100	111100 0
	010000	010000 1		101110	101110 0
2	000001	000001 1	5	001111	001111 0
	110000	110000 0		111110	100001 1
	011000	011000 0	101111	011000 1	
3	000011	000011 0	6	011111	110000 1
	111000	111000 0		111111	000111 1
	101100	101100 0			

Таблица 5.2. Логические состояния некоторых элементов устройства, показанного на рис. 5.11

Состояние выходов элементов		Состояние ЭП в ОН	Соответствие между состоянием ЭП в ОН и записываемым битом информации	Инициализация ЭП в ДН
Сумматор 2	Триггер 4			
1	0	Отказ	Не совпадают	Запись (в и из r) адреса отказавшего ЭП
1	1	Отказ	Не совпадают (повторное обращение)	Не происходит
0	0	Исправен	—	Не происходит
0	1	Отказ	Совпадают	Обнуление всех ЭП

тывает сигнал разрешения записи контрольных символов в ДН. При этом могут возникнуть несколько ситуаций, последствия которых поясняют с помощью табл. 5.2.

Рассмотренные методы эффективно могут быть реализованы в энергонезависимой памяти для нейтрализации дефектов накопителя.

5.2. УСТРОЙСТВА ПАМЯТИ С КОРРЕКЦИЕЙ МНОГОКРАТНЫХ ОШИБОК

5.2.1. Устройства с исправлением двойных (группирующихся) ошибок

Как отмечено в гл. 2, один из характерных типов отказов (производственных и эксплуатационных) ЭП в строке накопителя связан с дефектами двух расположенных рядом элементов, чаще парных (1—2, 3—4 и т. д.) или общей РШ. Такое расположение неисправностей облегчает задачу поиска конструкций устройства и типа кода, близких к оптимальным (по величине аппаратной и временной избыточности).

При длине кодового слова n разрядов ($n = k + r$) в нем могут появиться n одиночных независимых и $n/2$ двойных парных ошибок. Имея в виду, что для данных k и r ($r = f(k)$) существует 2^r кодовых слов, одно из которых (нулевой синдром) соответствует случаю отсутствия ошибок в кодовом слове, можно записать следующее выражение для определения минимально необходимого значения r :

$$n + n/2 + 1 \leq 2^r$$

или

$$3(k + r) + 2 \leq 2^{r+1}.$$

Решение последнего неравенства относительно r имеет вид: $r \geq \log_2 k + 2$. Его анализ показывает, что для коррекции рассматриваемого типа ошибок необходимо меньше проверочных разрядов в кодовом слове, чем для коррекции одиночных и двойных смежных ошибок [127]. В анализируемой ситуации значение r соответствует коду с минимальным кодовым расстоянием $d=4$. Например, проверочная матрица H -кода ($n=13, r=5$) имеет вид

$$H = \begin{array}{cccccc|cccccc} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 \end{array}$$

Принципы построения и функционирования ЗУ с коррекцией одиночных и двойных парных ошибок и уст-

роЙств, описанных в параграфе 5.1, практически не отличаются, если использовать стандартный метод синдромного декодирования. Проиллюстрируем это с помощью примера [128] хранения в ОН информационного слова: 10110110 ($k=8$). В соответствии с матрицей H БК формирует пять контрольных символов: 01000. Кодовое слово длиной 13 разрядов записывается в соответствующие ячейки ОН и ДН. Предположим, что первый и второй символы данного слова являются ошибочными, т. е. из накопителей считано слово вида 01110110 01000. Синдром ошибки ($S=01100$) соответствует единственному случаю в комбинациях столбцов матрицы H : поразрядному сложению первого и второго из них. Синдром дешифрируется соответствующим блоком, на основе чего ошибки корректируются, и на выходах ЗУ будет исходное слово.

Более сложная задача — построение устройства с исправлением одиночных и двойных смежных ошибок. Использование кодов БЧХ [68—70] для коррекции подобных ошибок сопряжено со значительной аппаратной избыточностью кристалла (практически для любых k), вызванной, с одной стороны, емкостью ДН, с другой — высокой сложностью кодера и декодера. Сложность данных блоков можно уменьшить, если использовать для формирования r проверочных разрядов кодового слова (при кодировании и декодировании) код адреса опрашиваемого разряда.

Построим проверочную матрицу H -кода таким образом, чтобы разность a (a характеризует число разрядов в коде адреса опрашиваемого столбца накопителя БИС ЗУ) разрядов любых двух соседних вектор-столбцов матрицы была равна единице. Это означает, что отмеченная часть разрядов вектор-столбцов h_j представляет собой последовательность чисел, включая нуль, соответствующих изменению j от 0 до $k-1$. При указанных значениях разрядов a вектор-столбцов устанавливается однозначное соответствие между ними и кодами адресов опрашиваемых ЭП, т. е. порядковый номер j опрашиваемого элемента, начиная с левого, точно соответствует местоположению вектор-столбца h_j в матрице H . В слове длиной k информационных разрядов могут появиться k одиночных и $k-1$ двойных ошибок: всего $2k-1$. Сложение соответствующих разрядов соседних вектор-столбцов матрицы H при появлении двойной ошибки (вычисление синдрома) показывает, что $k/2^i$ (из $k-1$) таких сумм содер-

жат единичные символы в i младших разрядах. Например, при $k=16$ и $a=4$ сложение a соседних разрядов вектор-столбцов матрицы H дает восемь двоичных чисел, соответствующих 0001, четыре — 0011, два — 0111, одно — 1111. Кроме того, в матрице имеется по одному вектор-столбцу h_j ($j=2^i$), a разрядов которых соответствуют отмеченным двоичным числам.

Таким образом, при появлении одиночных или двойных ошибок a первых разрядов $(k/2+1)$ синдромов будут равны двоичному числу 00...01. Для устранения такой однозначности a разрядов вектор-столбцов матрицы необходимо дополнить r' разрядами, принимая во внимание, что синдром ошибок в k разрядах слова не может быть нулевым числом или содержать единичные символы лишь в одном разряде. Поскольку число повторяющихся разрядных частей синдромов, включающих в себя более одного единичного символа (0...011, ..., 11...1), меньше, чем $k/2+1$, то минимально необходимое значение r выбираем из условия $2^{r'} - 1 = k/2 + 1$. Учитывая, что $k=2^a$, путем несложных преобразований в приведенном выражении получаем: $r' = a$. Это означает, что общее число r ($r = a + r'$) проверочных разрядов в построенной матрице H можно определить с помощью соотношения $r = 2 \log_2 k$. По сравнению с обычными кодами БЧХ данная проверочная матрица кода содержит на два проверочных разряда меньше. В качестве примера построим проверочную матрицу H -кода, исправляющего одиночные и двойные ошибки в кодовом слове при $k=8$. Она будет иметь вид

$$H = \begin{pmatrix} 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 1 & 1 & 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{pmatrix} \quad (5.1)$$

Лексико-графическое значение разрядов вектор-столбцов проверочной матрицы дает возможность построить относительно простые логические схемы обнаружения двойных и исправления одиночных ошибок в СБИС ЗУ при следующем алгоритме функционирования устройства. В режиме записи: 1) формирование проверочных соотношений в соответствии с используемой матрицей; 2) за-

пись основной и проверочной информации в ЭП опрашиваемой строки. В режиме считывания (с j -го ЭП): 1) считывание информации из всех ЭП кодового слова; 2) вычисление синдрома S ; 3) обнаружение ошибок (сравнение синдрома с j -м, $(j-1)$ -м и $(j+1)$ -м вектор-столбцами матрицы H); 4) исправление ошибок (инверсия считываемого бита данных, если он является ошибочным).

Рассмотрим описанный цикл работы БИС ЗУ детальнее. Формирование проверочных соотношений осуществляется обычным способом. При считывании информации вычисляется синдром S . Поразрядное сравнение синдрома с вектор-столбцом h_j проверочной матрицы, соответствующим опрашиваемому ЭП, а также с двумя соседними вектор-столбцами (h_{j-1} и h_{j+1}) позволит установить, является ли опрашиваемый ЭП работоспособным. При условии

$$S + h_j = 0 \quad (5.2)$$

опрашиваемый ЭП будет неработоспособным, в случаях

$$S + h_{j-1} + h_j = 0, \quad (5.3)$$

$$S + h_j + h_{j+1} = 0 \quad (5.4)$$

ошибочной является информация, считанная с соседних ЭП или с опрашиваемого и одного из рядом расположенных с ним элементов строки.

Структурная схема СБИС ЗУ, в которой коррекция ошибок осуществляется в соответствии с описанным методом, изображена на рис. 5.13 [129]. В режиме считывания информации выходными сигналами дешифраторов устанавливается местоположение опрашиваемого ЭП. Двоичные символы, хранящиеся в соответствующих ячейках памяти ОН и ДН, помещаются в регистры (ОРг, ДРг). По считанным информационным разрядам слова БК вырабатывает r контрольных соотношений, которые на сумматорах по модулю два 2 сравниваются с r разрядами, сформированными в режиме записи. Таким образом, на выходах сумматоров 2 будет установлен синдром S , равный нулю (нулю соответствуют все разряды синдрома) при отсутствии ошибок в считанном слове и не равный нулю в случае их наличия. Одновременно с этим в блоке 12 устанавливается соответствие расположения опрашиваемого и соседних с ним разрядов ЭП строки

вектор-столбцам матрицы H (структурная схема блока 12 показана на рис. 5.14). Поступающие на один из входов блока 12 a разрядов кода адреса опрашиваемого столбца h_j позволяют сформировать в сумматорах 1, 2 (рис. 5.14) a разрядов кодов адресов столбцов накопителя, расположенных по обе стороны от опрашиваемого (h_{j-1} , h_{j+1}), добавлением и вычитанием лог. «1» из кода адреса j -го разряда.

Блоки 3, 4 предназначены для установления того, что

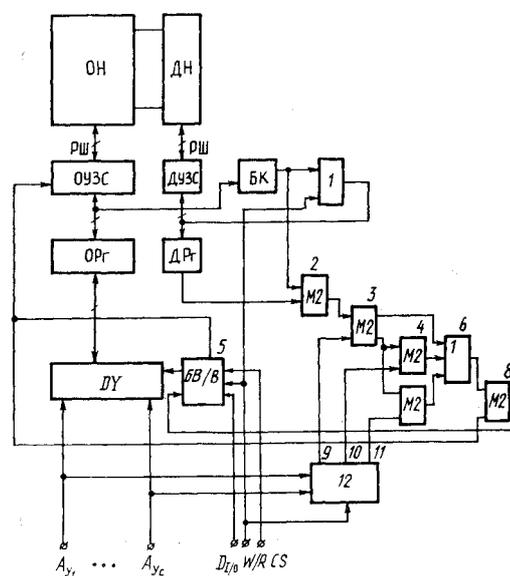


Рис. 5.13. Структурная схема ИС ЗУ, в которой исправляются ошибки в двух соседних разрядах слова

код адреса является нулевым (3) или на одной из его позиций стоит лог. «1» (4). Схемы дополнения 5 вырабатывают r' дополнительных разрядов, и на выходах 9, 10, 11 блока 12 будут сформированы три вектор-столбца проверочной матрицы H , порядковые номера которых совпадают с местоположением трех разрядов ЭП строки ОН ИС. Блок сумматоров 3 (см. рис. 5.13) предназначен для проверки выполнения условия (5.2), а сумматоры 4 и 7 — соответственно для проверки (5.3) и (5.4). Если считываемый бит информации является ошибочным, то на выходе схемы ИЛИ 6 (рис. 5.14) будет сигнал лог. «1», ко-

торый в корректирующем сумматоре 8 проинвертирует этот ошибочный символ. На выход БИС поступит достоверная информация.

В случае возникновения неисправностей одного или двух других ЭП опрашиваемой строки исправление ошибок будет осуществляться при обращении к данным элементам. Если же неисправными являются один или два ЭП в ДН, на выходе схемы ИЛИ 6 будет сигнал лог. «0».

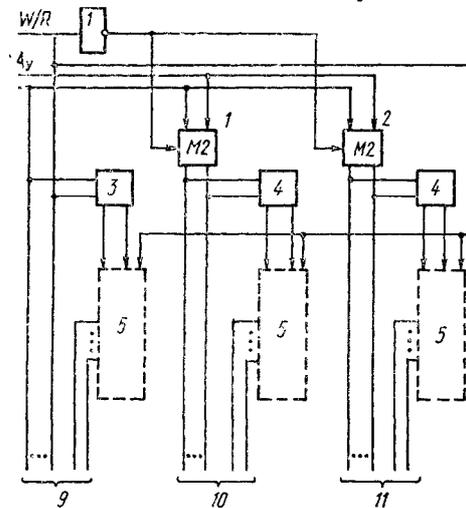


Рис. 5.14. Структурная схема блока 12 ЗУ, изображенного на рис. 5.13

и все считываемые информационные символы пройдут на выход ИС без изменений.

В качестве примера рассмотрим запись и считывание информационного слова, состоящего из восьми битов. Пусть хранению подлежит слово 10110111. Тогда в ДН, согласно проверочной матрице H (5.1), должны быть записаны дополнительные биты 10101. Сформированное таким образом кодовое слово 10110111 10101 записывается в накопитель. Положим далее, что при считывании четвертый и пятый разряды слова являются ошибочными: 10101111 10101 (дефектные разряды подчеркнуты). Пять вновь сформированных в БК символов будут следующими: 01011. В блоке 2 (см. рис. 5.13) формируется синдром $S=11110$. На входах дешифратора DY установлен код адреса опрашиваемого разряда 100 (а при считыва-

нии четвертого разряда — С11). С помощью этого кода на выходах 9—11 блока 12 сформируются соответственно двоичные числа 01100, 001101, 00011 (при считывании четвертого бита — соответственно 00011, 01100, 01010). Биты, поступающие с выходов 9 блока 12, в сумматорах 3 поразрядно складываются со словом: $01100 + 11110 = 10010$. Результат сложения поступает на входы сумматоров 4 и 7, на выходах которых соответственно формируются лог. «0» и лог. «1» (на другом выходе сумматоров 3 — также лог. «0»). Лог. «1» с выхода элемента ИЛИ 6 проинвертирует в сумматоре 8 неправильно считанный бит: лог. «1» на лог. «0» в одноразрядном устройстве и оба ошибочных — в многоразрядном. Это позволит на выходе устройства получить правильную информацию.

Анализ функционирования описанных ЗУ показывает, что дополнительная задержка (по сравнению с устройствами, в которых исправляются только одиночные ошибки) сигнала на выходной шине практически не вносится (для ЗУ, описанного в работе [128]) и не превышает задержку, эквивалентную скорости работы трех-четырех сумматоров по модулю два (для ЗУ, изображенного на рис. 5.13). Надежность устройств может быть рассчитана по методике, изложенной в подпараграфе 3.2.3 в предположении, что $N_{2r} = N_r$, т. е. что в любом кодовом слове корректируются и одиночные, и двойные ошибки. В частности, расчеты показывают, что при $\lambda_{си} \approx (0,1 \dots 0,3) \lambda_n$ и $\lambda_{сн} \approx (0,5 \dots 0,6) \lambda_n$ время наработки до отказа избыточной ИС возрастает приблизительно в 4—6 раз по сравнению с временем безотказной работы безыбыточного устройства.

5.2.2. Запоминающие устройства с коррекцией ошибок и стираний

Определение понятия стирание и требования, предъявляемые к коду для исправления стираний (ошибок и стираний), даны в гл. 1. Применительно к ЗУ рассматриваемый термин приемлем, поскольку при многократном обращении к отказавшему ЭП установить местоположение последнего и в дальнейшем использовать информацию о нем не представляется сложным [19]. Это позволяет повысить надежность устройства посредством

коррекции многократной ошибки при использовании кода меньшей корректирующей мощности.

Принципы построения и функционирования некоторых ЗУ с коррекцией ошибок и стираний достаточно детально описаны в работе [19]. Сущность их заключается в том, что информация о возникшем отказе (который при последующих обращениях к тому же ЭП можно рассматривать как стирание) хранится в дополнительной памяти. Функцию последней может выполнять, например, АЗУ, в признаковую часть которой записывается адрес ЭП, а в информационную — соответствующий синдром ошибки (назовем его предыдущим и обозначим через \hat{S}). В случае возникновения нового отказа в той же ячейке памяти синдром последней ошибки (S) вычисляется как сумма (по модулю два) соответствующих разрядов синдрома многократной ошибки (S_{Σ}) и \hat{S} :

$$S = S_{\Sigma} + \hat{S}. \quad (5.5)$$

Используя два независимых дешифратора синдрома (ДС), можно с помощью, например, кода Хэмминга обнаружить и исправить при определенных условиях двукратную ошибку. Надежность ЗУ с коррекцией одиночных ошибок и стираний в кодовом слове рассчитываем по методике, изложенной в подпараграфе 3.2.3 (там же обоснована эффективность метода коррекции ошибок). Для дальнейшего повышения надежности ЗУ в [19, 130] рассмотрены варианты построения устройств памяти с дополнительным циклом чтения-записи для установления типа отказа (жесткий или мягкий). Однако в результате практически предельного уровня отказоустойчивости ИС имеет место снижение приблизительно в 2—2,5 раза (по сравнению с безызбыточным вариантом) быстродействия устройства, что уже нельзя считать приемлемым для современных СБИС памяти.

Учитывая, что даже повторная запись бита информации в ЭП, в котором произошел сбой, позволяет восстановить нормальное функционирование этого элемента, дополнительный режим контрольного считывания можно не применять. На рис. 5.15 (без блоков, обведенных штриховыми линиями) изображена структурная схема ЗУ, в котором реализован следующий алгоритм функционирования [131]. Цикл записи: 1) формирование кодового слова и запись его в ОН и ДН. Цикл чтения:

1) чтение кодового слова; 2) обнаружение и исправление ошибок; 3) запись скорректированного слова в ОН и ДН по тому же адресу и запись информации о стирании в АЗУ (или РГ).

С практической точки зрения наиболее целесообразным в ЗУ с рассматриваемым алгоритмом функционирования является применение кода Хэмминга с $d=4$, позволяющего обнаруживать две ошибки (и корректиро-

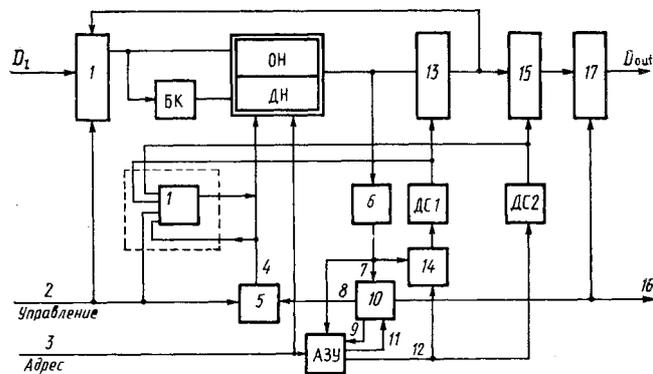


Рис. 5.15. Структурная схема ЗУ, в которой корректируются одиночные и некоторое число двойных ошибок

вать одну при обычном синдромном декодировании). В данном случае ЗУ (рис. 5.15) функционирует следующим образом. В цикле записи мультиплексор (коммутатор) 1 подключает на вход БК информацию с шин D_I , кодовое n -разрядное слово записывается в ОН и ДН. В цикле чтения считанная из ОН (k разрядов) и ДН (r разрядов) информация поступает в первый блок коррекции ошибок (БКО1) 13 и блок определения синдрома ошибок 6. На выходах блока 6 (блок стандартного типа) установится синдром, анализ которого (в совокупности с сигналом на выходе 11 АЗУ) осуществляется блоком 10. Его функциональная схема показана на рис. 5.16. При отсутствии ошибки в считанном слове $S=0$. Если в этой ячейке памяти и ранее не было обнаружено ошибок, то на выходе 11 АЗУ будет уровень лог. «1», а на информационных выходах 12 АЗУ — символы лог. «0». Считанные информационные разряды проходят через БКО1 (13), БКО2 (15) на шины D_{out} без изменений.

При появлении первой ошибки синдром имеет нечет-

ный вес (число единичных символов). Вычисленный признак ошибки $S(S=S_{\Sigma})$ проходит через блок 14 вычисления S_{Σ} без изменений, поскольку на выходе 11 АЗУ 22 установлены только нулевые двоичные сигналы. Далее в ДС1 синдром дешифрируется, т. е. устанавливается местоположение ошибочного разряда, а в блоке 13 ошибка корректируется. Кодовое слово, в котором нет ошибок, с выхода блока 13 поступает на коммутатор 1, а инфор-

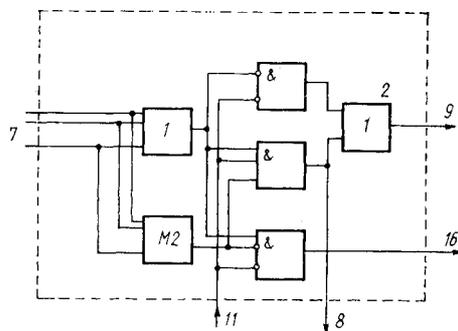


Рис. 5.16. Фрагмент схемы ЗУ, показанного на рис. 5.15

мационные разряды данного слова подаются на выходы устройства. Параллельно с этим на выходах 8 и 9 блока анализа 10 (рис. 5.16) вырабатываются сигналы лог. «1», которые разрешают запись исправленного кодового слова из коммутатора 1 в опрашиваемые ЭП ОН и ДН, а синдрома ошибки — с выходов блока 6 в информационную часть АЗУ. Если обнаруженная ошибка возникает из-за сбоя ЭП, то повторная запись правильного бита изменяет состояние данного элемента. В следующем цикле чтения информации из этих же ЭП ошибки в слове не будет. Выдача информации на выходы D_{out} осуществляется так же, как и в случае отсутствия ошибок. Однако сигнал лог. «1» на выходе 20 разрешает обнулить ячейки АЗУ, в которых записана информация о возникшем ранее сбое. Когда же первым возник отказ ЭП, то состояние соответствующих ЭП накопителя и разрядов АЗУ не изменится, поскольку на выходах 8 и 9 установлены сигналы лог. «0».

Если при последующих обращениях к ЭП в цикле считывания обнаруживается нулевой синдром четного веса, т. е. сигналы лог. «1» на выходах элемента ИЛИ 1

и сумматоров (рис. 5.16), то это означает, что в считанном слове обнаружены две ошибки, которые возникли в промежутке между двумя последними циклами. В данном случае сигнал лог. «1» на выходе 16 стробирует блок вывода и тем самым запрещает выдачу информации на выходы устройства. Когда же одна из неисправностей в ЭП (отказ или сбой) возникла в предыдущих циклах, о чем свидетельствует сигнал лог. «0» на выходе 18 АЗУ, то на выходах 8, 9, 16 блока 10 будут сигналы лог. «0», т. е. изменения состояния опрашиваемых ЭП и ячеек АЗУ не происходит. Синдром двойной ошибки S_2 с выхода блока 6 суммируется в блоке 14 с синдромом одиночной ошибки \bar{S} , возникшей ранее, который поступает на входы блока 14 с выходов 12 АЗУ, т. е. в блоке 14 осуществляется вычисление (5.5). На одном из выходов ДС1 формируется сигнал, который в блоке 13 корректирует ошибку, возникшую позже, а в блоке 15 исправляется ошибка, возникшая ранее. Таким образом, на выходы 29 устройства поступает слово без ошибок.

Для уменьшения энергопотребления избыточным кристаллом информацию можно переписывать не во все ЭП опрашиваемого слова, а лишь в отказавшие [132]. При этом в ЗУ (см. рис. 5.15) вводится дополнительно блок элементов ИЛИ (обведен пунктиром) в разрез шины управления (записью-чтением) ОН и ДН. В случае необходимости коррекции двойных ошибок, которые возникли между двумя соседними циклами обращения к соответствующей ячейке памяти накопителя, целесообразно изменять длительность циклов обращения к ЗУ при обнаружении ошибок разной кратности, в том числе и при отсутствии отказов вообще. При этом максимальная длительность цикла чтения будет приблизительно соответствовать указанной выше для устройств, описанных в работах [19, 130]. Если в таких ЗУ используют код меньшей, чем кратность ошибки, корректирующей мощности, то исправление ошибок может быть достигнуто только путем записи в накопитель инверсного кодового слова, что следует применять при внешней коррекции ошибок. Оценка надежности описанных в данном параграфе ЗУ может быть проведена по методике, изложенной в подпараграфе 3.2.3.

5.3. ИСПЫТАНИЯ СБИС ЗУ С КОРРЕКТИРУЮЩИМИ КОДАМИ

При испытании СБИС ЗУ с корректирующими кодами необходимо выявить полностью работоспособные кристаллы, обладающие повышенной устойчивостью к отказам и случайным сбоям, и отделить их от тех кристаллов, работоспособность которых обеспечивается благодаря избыточным корректирующим схемам, нейтрализующим производственные отказы. С помощью только внешних систем диагностики и испытаний такую разбраковку кристаллов осуществить невозможно. Необходимы специальные внутренние средства, расположенные на кристалле, которые позволяли бы проводить отдельно проверку работоспособности ОН со схемами обрaмления и РН со схемами корректирующей логики. К таким внутренним средствам относят схему прерывания исправления ошибок, отключающую корректирующую логику и создающую возможность тестирования всей матрицы памяти; схему внесения ошибки в любой разряд кодового слова для проверки правильности работы схем коррекции [15]. Указанные схемы управляются специальными сигналами, подаваемыми с диагностической системы на некоторые заранее подготовленные основные контактные площадки или выводы ИС ЗУ. Уровни рассматриваемых управляющих сигналов должны отличаться от логических уровней сигналов, подаваемых на отмеченные выводы при эксплуатации.

Тестирование ИС с корректирующими кодами для выделения микросхем с высокой надежностью необходимо проводить по специальным алгоритмам, один из которых показан на рис. 5.17. Проверку кристаллов следует осуществлять с помощью стандартных способов и алгоритмов, аналогичных применяемым при испытаниях кристаллов безыбыточных ИС ЗУ. Данный факт объясняют, во-первых, невозможностью разделять кристаллы на пластине на группы, во-вторых, тем, что после сборки кристаллов в корпус для разбраковки приборов необходим еще один обязательный цикл испытаний. Разделение ИС ЗУ на группы (высоконадежные и обычные) проводят после корпусирования кристаллов. Вначале осуществляют проверку собственно ЗУ без схем корректирующей логики. С этой целью кроме стандартных сигналов на специальный вывод подают сигнал, по уров-

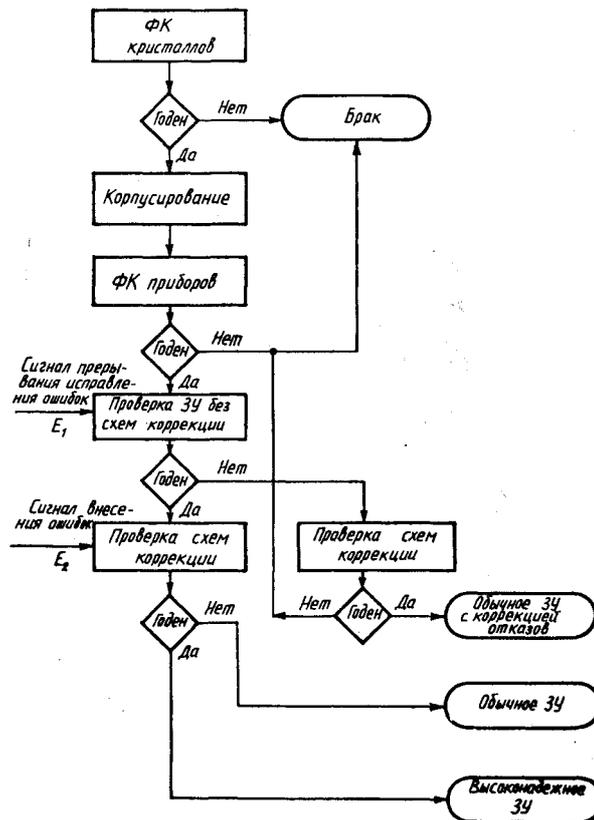


Рис. 5.17. Алгоритм испытаний СВИС ЗУ с корректирующими кодами

но отличающийся от стандартных, например, как в ИС ППЗУ при занесении информации. В данном случае информация, считываемая с накопителя, поступает сразу на выход ЗУ, минуя схемы коррекции.

Далее, после определения состояния накопителя на наличие отказавших элементов памяти проводят проверку схем коррекции. Ее осуществляют путем внесения ошибки в каждый разряд кодового слова. Для этого, например, на адресные входы подают сигнал E_1 с уровнями, отличными от стандартных. Разрядность сигнала E_2 определяется длиной кодового слова n . При $n=7$ разрядность сигнала E_2 равна трем, при $n=12$ сигнал E_2 должен содержать четыре разряда, которые подаются

на четыре вывода БИС и т. д. Путем дешифровки сигнала вырабатывается внутренний сигнал, определяющий разряд кодового слова, в который будет внесена ошибка.

В результате испытаний СБИС с корректирующими кодами могут быть забракованы на три группы: ЗУ с исправлением отказов накопителя корректирующими схемами; обычные ЗУ с характеристиками, соответствующими безызбыточному варианту; высоконадежные ЗУ. Необходимо отметить, что появление второй группы ЗУ возможно в том случае, когда по окончании испытаний прибора отключают схемы коррекции путем пережигания специальной плавкой перемычки, подавая сигналы программирования на выводы корпуса. В противном случае такая группа БИС должна быть забракована, поскольку неисправности в схемах коррекции могут привести к нарушению работоспособности всей БИС ЗУ.

Следовательно, длительность испытаний приборов ЗУ с корректирующими кодами превышает длительность испытаний безызбыточных кристаллов. Для БИС ЗУ с резервными элементами ситуация противоположная. Однако общим для всех избыточных БИС ЗУ является увеличение времени их испытаний.

Глава 6

ПРОГНОЗИРОВАНИЕ РАБОТОСПОСОБНОСТИ ИМС ПАМЯТИ

6.1. ОБЕСПЕЧЕНИЕ ЭЛЕКТРОМАГНИТНОЙ СОВМЕСТИМОСТИ

Согласно ГОСТ 23611—79, электромагнитная совместимость (ЭМС) радиоэлектронных средств (РЭС) — это его способность одновременно функционировать в реальных условиях эксплуатации с требуемым качеством при воздействии на РЭС непреднамеренных радиопомех и не создавать недопустимых радиопомех другим РЭС [140].

Электромагнитная помеха (ЭМП) — это электромагнитный, электрический и (или) магнитный процесс, созданный любым источником, который нежелательно влияет или может влиять на работоспособность как отдельных элементов, так и аппаратуры в целом. Авторы [141] классифицировали ЭМП, возникающие вследствие случайных процессов, на стационарные, индустриальные, естественные и контактные, назвав их непреднамеренными (табл. 6.1). По форме ЭМП разделяют на импульсные и регулярные [142]. Импульсные помехи — это одиночные импульсы или их последовательности, произвольные по форме и разные по амплитуде, которые появляются в случайные моменты времени, причем для последовательности импульсов с интервалами, длительность которых больше самих импульсов. Регулярные помехи определяют как гармонические. В реальных условиях это помехи с частотой сети и (или) ее гармоник.

При работе мощных электрических установок возникают электромагнитные импульсы (ЭМИ), которые могут повредить современные электронные и радиотехнические устройства или создать помеху большой интенсивности [143, 144]. Электромагнитный импульс представляет собой импульсное электромагнитное поле. Когда оно достигает электронной системы, все электропроводящие части системы входят в контакт с переменным им-

пульсным полем и в них наводятся индукционные токи. Фактические величины амплитуд и форм данных токов зависят от многих параметров, что затрудняет их аналитическую оценку. Однако полагают, что с увеличением размеров проводящих частей системы возрастают и токи.

Большие системы особо чувствительны к воздействию ЭМИ, поскольку они собирают и фокусируют энергию со значительной поверхности земли. В таких случаях необходимо иметь средства гарантированной защиты от воздействия ЭМИ. Однако нельзя пренебрегать возможностью нежелательного воздействия ЭМИ на малые системы. Защита от ЭМИ должна обеспечивать баланс между

Таблица 6.1. Классификация непреднамеренных электромагнитных помех

Класс	Подкласс	Вид (для всех классов и подклассов)
Станционные	Излучаемые (основное и неосновное излучения): внеполосное, гармоника, субгармоника, комбинационное, интермодуляционное, шумовое, паразитное	По частоте и спектру: низкочастотная, высокочастотная, синусоидальная, модулированная, импульсная, шумовая, импульсно-шумовая По времени: непрерывная, длительная, кратковременная, редкомпульсная, регулярная, нерегулярная
	Излучаемые: электромагнитная, электрическая индукция; магнитная индукция	
Индустриальные	Кондуктивные: симметричная, несимметричная, провал напряжения, перенапряжение, коммутационная, индуцированная, помеха отражения	По отношению помехи к рецептору: узкополосная, широкополосная, аддитивная, мультипликативная, внешняя, внутренняя, межсистемная, внутрисистемная, внутриаппаратурная, когерентная, некогерентная
Естественные	Излучаемые: атмосферная, космическая, электростатическая, мощный электромагнитный импульс	
Контактные	Излучаемые: от одиночного облучателя, от нескольких облучателей (интермодуляционная контактная)	По отношению рецептора к помехе: допустимая, недопустимая, приемлемая, блокирующая, перекрестная, амплитудно-фазовая, интермодуляционная

наводимыми токами и чувствительностью систем к наводимым токам. Последние должны быть меньше, чем чувствительность. В связи с этим защиту можно осуществлять с помощью мер по уменьшению наводимых при воздействии ЭМИ на систему или ее элемент токов или посредством снижения чувствительности системы к наведенным токам (своеобразным закруглением системы). Оба пути приводят к разным конструктивным и схемным решениям.

Все схемные компоненты РЭС, если их сильно перегрузить, подвергаются опасности повреждения. Последнее может быть следствием или тепловой перегрузки, когда компонент за некоторый промежуток времени получает большое количество энергии и для того, чтобы рассеять ее во внешнее пространство, необходим перегрев компонента, превышающий допустимые пределы, или результатом электрического перенапряжения, когда разность напряжений между отдельными частями компонента превышает допустимую и может возникнуть электрический пробой или перекрытие по поверхности. Перегревы или тепловые перегрузки возникают в полупроводниковых переходах, резисторах, соединительных проводах и других изделиях электронной техники. Нередки случаи, когда имеют место оба механизма повреждения компонента [144].

Чувствительность к перегреву в значительной степени определяется длительностью импульса, а также тепловыми характеристиками компонента. Величину энергии E , действующей на компонент, в зависимости от длительности импульса можно оценить по формуле:

$$E = E_0 \left(1 + \sqrt{\frac{\tau}{t_0}} + \frac{\tau}{\sqrt{t_0 t_1}} \right), \quad (6.1)$$

где τ — длительность импульса, мкс; t_0, t_1 — величины, характеризующие компонент. Например, для малых полупроводниковых переходов, как правило, принимают $t_0 = 0,1$ мкс, $t_1 = 1$ мс.

Первый член уравнения характеризует адиабатический нагрев, второй — квазиадиабатический, третий — установившийся. Если допустить, что ЭМИ имеет длительность 1 мкс, то второй член уравнения будет почти в 3 раза больше, чем первый, а третий — в 10 раз меньше, чем первый. Добавкой энергии, обусловленной уста-

новившимся режимом нагрева, при такой длительности импульса можно пренебречь, а квазиадиабатическую компоненту не учитывать нельзя. При длительности импульса 1 мкс для повреждения ИС разных типов необходимы значения энергии от 2 до 600 мкДж.

Любой полупроводниковый прибор или ИС могут быть повреждены импульсом. Для этого только следует подобрать соответствующие амплитуду и длительность импульса. Нередко полупроводниковые приборы, успешно прошедшие испытания, при повторных испытаниях в тех же условиях получали повреждения. Для выработки мер защиты от ЭМИ необходимо знать особенности систем и их чувствительность к электромагнитному воздействию. Разработчики специальной аппаратуры располагают ориентировочными данными о стойкости к ЭМИ полупроводниковых приборов и ИС. Однако использовать полученные результаты при проектировании сложно, так как они основаны на оценке энергии разрушения $p-n$ -переходов и приведены практически без учета длительности импульсов. Согласно существующим методам оценки стойкости аппаратурных систем к воздействию ЭМИ, систему признают стойкой в следующих случаях.

1. ЭМИ не может создать в системе помехи выше того верхнего уровня, при котором система остается работоспособной. Это условие достаточно точно характеризует состояние, которое может быть названо «абсолютной стойкостью», но оно не гарантирует, что какая-либо из частей системы не является чувствительной к действию помехи.

2. ЭМИ не может создать в системе нарушений режимов работы, выходящих за рамки гарантированных для нормальной работы системы максимальных значений сигналов, параметров и характеристик. Иными словами, в системе не могут быть созданы условия для перегрузок, перегревов, пробоев, поскольку при воздействии ЭМИ она работает в номинальном режиме. Такое требование к системе обеспечит вполне удовлетворительную защиту ее от воздействия ЭМИ, но реализовать выполнение этого требования затруднительно.

3. ЭМИ не может при воздействии привнести в систему большее количество энергии, чем предусмотрено в техническом задании на разработку системы, или чем то, которое признано опасным для целостности или для нормального функционирования системы. Данное условие представляется весьма полезным, особенно если стой-

кость систем по отношению к воздействию ЭМИ оценивают теоретически на этапах разработки, на которых еще нет реально собранных устройств и невозможно провести экспериментальную проверку.

Теоретические проверки обычно осуществляют для наиболее сложных ситуаций, чтобы обеспечить некоторый допуск на работоспособность. Расчеты по уровням привносимой в систему энергии имеют некоторый трудно рассчитываемый запас, так как энергия, поступающая в систему, попадает не на один компонент, а распределяется между многими компонентами и это распределение определяется трудно учитываемыми характеристиками, в частности взаимными емкостями, резонансными соотношениями и др. Отмеченные характеристики изменяются при варьировании формы и крутизны нарастания импульса.

Расчеты можно вести так, чтобы все неопределенности шли «в запас». В данном случае достигается избыточная прочность по отношению к воздействию ЭМИ, молнии и коммутационных перенапряжений. Возможность нарушения работы системы должна быть исключена в нормальных и экстремальных (например, при ядерном взрыве) условиях работы. Повышение уровня помех, при котором может быть нарушена работа системы, важно не только для аналоговых систем, где помеха может привести к повышению ошибок или срыву работы всего устройства из-за нарушения устойчивости, но и для цифровых систем, в которых помехи обычно создают единичные сбои (когда система вообще не выходит из строя), вызывающие ошибки в цифровых посылках. Если аппаратура не защищена от единичных сбоев и ошибок, например не работает на защищенных от ошибок кодах, это может привести к отказу всей системы. Защита от воздействия ЭМИ должна одновременно служить повышению защищенности аппаратуры от помех разного рода в нормальных условиях работы аппаратуры.

При проектировании электронных систем, стойких к воздействию ЭМИ, целесообразно ключевые или стробирующие схемы использовать при разработке систем специально в ключевых импульсных структурах, а не для других возможных входных схем; устанавливать устройства, чувствительные к ЭМИ, для подачи сигналов о наличии и времени существования ЭМИ; преду-

смагивать в схемах устройства для повторения функций, которые должны были бы включаться во время прохождения полосы шумов в период воздействия ЭМИ.

6.2. ФЕНОМЕНОЛОГИЧЕСКАЯ МОДЕЛЬ РАЗОГРЕВА ПОЛУПРОВОДНИКОВЫХ ПРИБОРОВ И ИМС ИМПУЛЬСАМИ ИНДУСТРИАЛЬНЫХ ПОМЕХ

Увеличение срока эксплуатации РЭС тесно связано с методологией поиска факторов, дестабилизирующих их работу. Один из наиболее существенных и распространенных — воздействие мощного внешнего электромагнитного излучения. Для защиты системы необходимо определить природу, механизмы и уровни повреждения элементов, из которых она состоит. Более всего чувствительны к высоким уровням переходных процессов полупроводниковые приборы и ИМС [144]. Их чувствительность усиливают собственные свойства $p-n$ -переходов, так как в них выделяется значительное количество тепловой энергии, время релаксации которой, из-за низкой теплопроводности кремния, заметно превышает время воздействия ЭМИ. При этом возникают большие градиенты температур, приводящие к плавлению и частичному испарению материала.

Существенное влияние на пороги тепловой энергии оказывают дефекты изготовления полупроводникового прибора или ИМС. На рис. 6.1, а показана фотография области $p-n$ -перехода транзистора при воздействии на него импульса напряжения $U=600$ В длительностью $\tau=0,1$ мкс. На рис. 6.1, в изображено температурное поле этой же области после прекращения действия импульса [145]. В момент релаксации тепловое поле фиксировали на тепловизоре. Анализ полученных изображений (рис. 6.2—6.5) показывает, что при воздействии мощного ЭМИ имеют место два основных процесса: расплавление и частичное испарение металлизации; выделение тепла непосредственно в $p-n$ -переходе.

Таким образом, нахождение природы возникновения и динамики процесса требует рассмотрения теплофизических аспектов формирования и релаксации источников тепла, нахождения временного и пространственного распределений температуры в области $p-n$ -перехода. Задачу при этом делят на следующие основные этапы: на-

чальный процесс прохождения ЭМИ через прибор, формирование источников тепла и релаксации температурных полей. Последний этап включает в себя задачу «рассасывания» тепла на поверхности кристалла, когда источник представляет собой токопроводящие тонкие параллельные полосы или тонкий плоский круг. Выбор данных конфигураций обусловлен разными типами конструкций микросхем памяти.

Затем необходимо рассмотреть задачу о рассасывании источника в области $p-n$ -перехода, когда тепло распространяется по толщине кристалла прибора. В общем случае с учетом параметров проходящего импульса

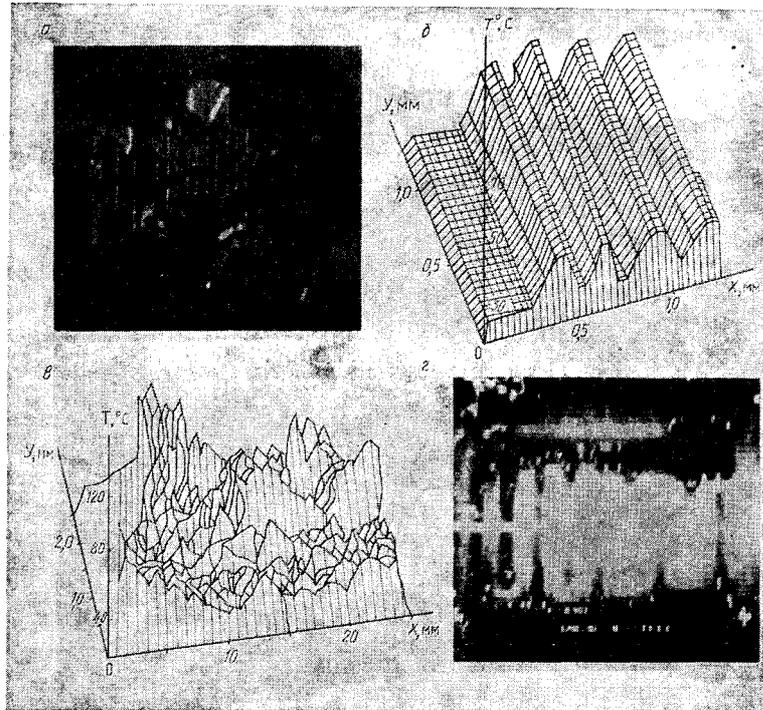


Рис. 6.1. Внешний вид кристалла $p-n$ -перехода (а), распределение температур по поверхности центральной зоны кристалла в рабочем режиме (б), термограмма кристалла в момент воздействия ЭМИ (в), распределение температур по кристаллу непосредственно после воздействия ЭМИ (г)

задача существенно усложняется. Следует принимать во внимание процессы фазовых переходов (плавление, испарение). Пренебрегаем также сильной зависимостью коэффициента теплопроводности материала от температуры в достаточно большом диапазоне (100...1100 К). Это справедливо при временах формирования, значительно меньших, чем релаксация температурного поля. Выбор начальных и граничных условий обусловлен серией качественных экспериментов на транзисторах и микросхемах памяти при энергии разряда через прибор



Рис. 6.2. Расплавление и частичное испарение металлизации при воздействии ЭМИ



Рис. 6.3. Поверхность металлизации после термоудара ($t=293...533$ °С, число циклов $n=80$)

100 Дж. Для модели прибора можно использовать полуограниченное тело при подводе к нему тепла через тонкие параллельные полосы (рис. 6.6). Задачу решаем в системе декартовых координат X, Y, Z и формулируем ее следующим образом: имеется полуограниченное тело, начальная температура которого во всех точках одинакова и равна T_0 . Начало выбранной системы координат размещаем на поверхности полуограниченного тела

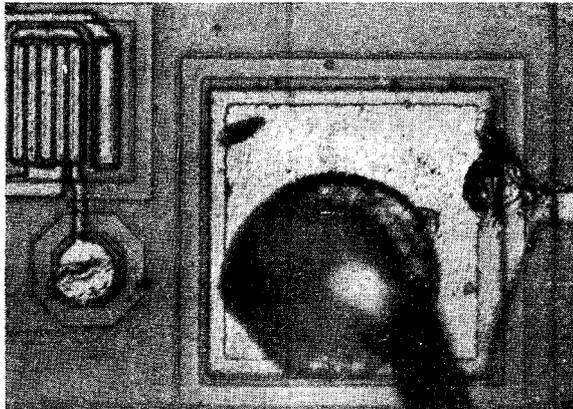


Рис. 6.4. Дegrадация ТКС на traversе

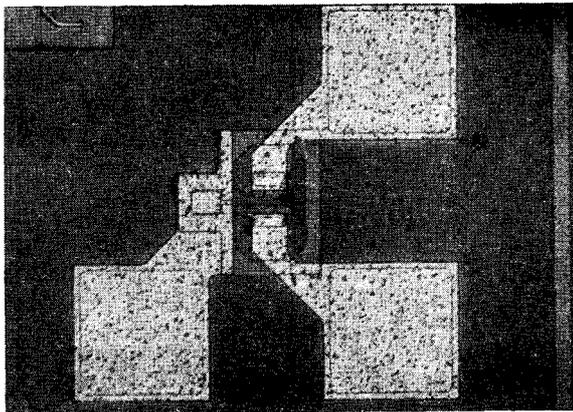


Рис. 6.5. Результаты воздействия ЭМИ на $p-n$ -переход

($Z=0$), а ось Z направляем нормально к поверхности тела, т. е. плоскость XY совпадает с границей тела. Как известно, нагрев части поверхности тела осуществляется переменным во времени тепловым потоком плотностью

$$q(\tau) = -\lambda \frac{\partial T_2(x, y, z, \tau)}{\partial z},$$

$$R_1 < x < R_2, |y| < \infty, z = 0, \tau > 0, \quad (6.2)$$

который действует внутри двух параллельных оси Y тонких полос шириной $R_2 - R_1$. В остальных областях на

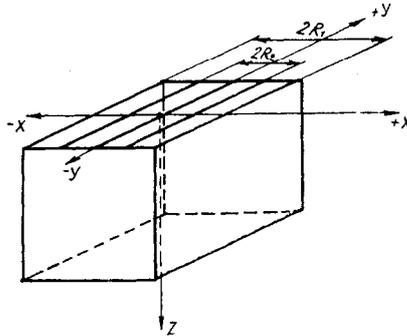


Рис. 6.6. Модель p - n -перехода при воздействии на него электрического импульса

поверхности полуограниченного тела ($-R_1 < x < R_1$, $\infty < |x| < R_2$, $|y| < \infty$, $z=0$) существует идеальная теплоизоляция, т. е.

$$\frac{\partial T_1}{\partial z} = \frac{\partial T_2}{\partial z} = 0. \quad (6.3)$$

Так как задача симметрична относительно плоскости $x=0$ и всегда выполняется условие $\partial T_1 / \partial x = 0$ при $x=0$, $|y| < \infty$, $z \geq 0$, $\tau > 0$, то необходимо найти температурные поля

$$\Theta_1(x, y, z, \tau) = T_1(x, y, z, \tau) - T_0 \quad (6.4)$$

в области $0 \leq x < R_1$, $|y| < \infty$, $z \geq 0$, $\tau > 0$;

$$\Theta_2(x, y, z, \tau) = T_2(x, y, z, \tau) - T_0 \quad (6.5)$$

в области $R_1 < x < R_2$, $|y| < \infty$, $z \geq 0$, $\tau > 0$;

$$\Theta_3(x, y, z, \tau) = T_3(x, y, z, \tau) - T_0 \quad (6.6)$$

в области $R_2 < x < \infty$, $|y| < \infty$, $z \geq 0$, $\tau > 0$.

В математическом плане задача сводится к решению следующей системы из трех дифференциальных уравнений теплопроводности: для области $0 \leq x < R_1$, $z \geq 0$, $|y| < \infty$, $\tau > 0$:

$$\nabla^2 \Theta_1(x, y, z, \tau) = \frac{1}{a} \frac{\partial \Theta_1(x, y, z, \tau)}{\partial \tau}; \quad (6.7)$$

для области $R_1 < x < R_2$, $z \geq 0$, $|y| < \infty$, $\tau > 0$

$$\nabla^2 \Theta_2(x, y, z, \tau) = \frac{1}{a} \frac{\partial \Theta_2(x, y, z, \tau)}{\partial \tau}; \quad (6.8)$$

для области $R_2 < x < \infty$, $z \geq 0$, $|y| < \infty$, $\tau > 0$

$$\nabla^2 \Theta_3(x, y, z, \tau) = \frac{1}{a} \frac{\partial \Theta_3(x, y, z, \tau)}{\partial \tau}. \quad (6.9)$$

В системе уравнений (6.7—6.9) ∇ оператор Лапласа соответствует областям $i=1, 2, 3$:

$$\nabla^2 \Theta_i = \frac{\partial^2 \Theta_i}{\partial x^2} + \frac{\partial^2 \Theta_i}{\partial y^2} + \frac{\partial^2 \Theta_i}{\partial z^2} \quad (6.10)$$

и так как заданные разрывные граничные условия второго рода на поверхности полуограниченного тела расположены симметрично и параллельно оси $|y| < \infty$, то

$$\frac{\partial \Theta_i}{\partial y} = 0, \quad \frac{\partial^2 \Theta_i}{\partial y^2} = 0. \quad (6.11)$$

Применяя к уравнениям системы бесконечные интегральные преобразования Лапласа для временной τ и пространственной z переменных и определяя условия сопряжения, записываем решения для нахождения соответствующих температурных полей в следующем виде: для области $0 \leq x \leq R_1$, $z \geq 0$, $\tau > 0$

$$\Theta_1(x, y, z, \tau) = T_1(x, z, \tau) - T_0 = \frac{1}{2b\sqrt{\pi}} \times \\ \times \int_0^\tau \frac{\exp\left[-\frac{z^2}{4a(\tau-\xi)}\right]}{\sqrt{\tau-\xi}} \left\{ \operatorname{erf} \frac{R_2-x}{2\sqrt{a(\tau-\xi)}} - \right.$$

$$\begin{aligned} & - \operatorname{erf} \frac{R_1 - x}{2 \sqrt{a(\tau - \xi)}} + \operatorname{erf} \frac{R_2 + x}{2 \sqrt{a(\tau - \xi)}} - \\ & - \operatorname{erf} \frac{R_1 + x}{2 \sqrt{a(\tau - \xi)}} \} a(\xi) d(\xi); \end{aligned} \quad (6.12)$$

для области $R_1 < x < R_2, z \geq 0, \tau > 0$

$$\begin{aligned} \Theta_2(x, z, \tau) = T_2(x, z, \tau) - T_0 &= \frac{1}{2b \sqrt{\pi}} \times \\ \times \int_0^\tau \frac{\exp \left[-\frac{z^2}{4a(\tau - \xi)} \right]}{\sqrt{\tau - \xi}} &\left\{ \operatorname{erf} \frac{R_2 + x}{2 \sqrt{a(\tau - \xi)}} - \right. \\ - \operatorname{erf} \frac{R_2 - x}{2 \sqrt{a(\tau - \xi)}} + \operatorname{erf} \frac{x - R_1}{2 \sqrt{a(\tau - \xi)}} - & \\ - \operatorname{erf} \frac{x + R_1}{2 \sqrt{a(\tau - \xi)}} \} a(\xi) d(\xi); \end{aligned} \quad (6.13)$$

для области $R_2 < x \leq 0, z \geq 0, \tau > 0$

$$\begin{aligned} \Theta_3(x, z, \tau) = T_3(x, z, \tau) - T_0 &= \frac{1}{2b \sqrt{\pi}} \times \\ \times \int_0^\tau \frac{\exp \left[-\frac{z^2}{4a(\tau - \xi)} \right]}{\sqrt{\tau - \xi}} &\left\{ \operatorname{erf} \frac{x - R_1}{2 \sqrt{a(\tau - \xi)}} - \right. \\ - \operatorname{erf} \frac{x + R_1}{2 \sqrt{a(\tau - \xi)}} + \operatorname{erf} \frac{x + R_2}{2 \sqrt{a(\tau - \xi)}} - & \\ - \operatorname{erf} \frac{x - R_2}{2 \sqrt{a(\tau - \xi)}} \} a(\xi) d(\xi). \end{aligned} \quad (6.14)$$

Здесь a — коэффициент температуропроводности; $b = \lambda/\sqrt{a}$ — коэффициент тепловой активности; a/λ — коэффициент теплопроводности.

Таким образом, получено общее решение для нестационарного процесса формирования источника тепла при воздействии на прибор ЭМИ. Его анализ и рассмотрение предельных случаев дают возможность получения

пространственного и временного распределений температуры исследуемых микросхем.

По аналогии решаем задачу для импульсного нагрева токопроводящей структурой в виде тонкого кольца (рис. 6.7). Задача сводится к следующему. Пусть имеется полуограниченное тело с равномерным начальным распределением температуры по всему объему, равным T_0 . В начальный момент времени на ограничивающей

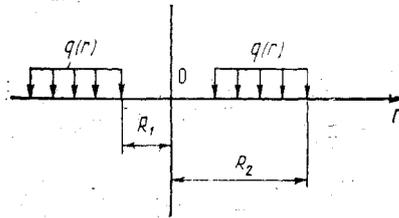


Рис. 6.7. Модель токопроводящей структуры

поверхности ($Z=0$) в области кольца $R_1 < r < R_2$ начинает действовать переменный во времени плоский источник тепла удельной мощностью q . В остальных областях на поверхности тела ($0 \leq r < R_1$, $R_2 < r < \infty$) градиент температуры по нормали к границе тела отсутствует (имеет место тепловая изоляция). Более того, в данном случае полагаем, что в момент времени $\tau > 0$ часть поверхности полуограниченного тела ($R_1 < r < R_2$) в форме кольца нагревается тепловым источником q_0 в течение τ_0 . Начало координат выбираем в центре круга ($0 \leq r \leq R_1$) на поверхности $Z=0$. Теплофизические характеристики среды λ аналогичны рассмотренным в предыдущей задаче. Изменение температуры происходит в двух направлениях (r и Z). Искомым является распределение температуры $T(r, z)$ в любой момент времени $\tau > 0$. Как и в предыдущем случае, записываем систему дифференциальных уравнений для области $0 \leq r \leq R_1$, $z \geq 0$, $\tau > 0$. После замены переменной $\Theta_1(r, z, \tau) = T_1(r, z, \tau) - T_0$ получаем

$$\frac{\partial^2 \Theta_1(r, z, \tau)}{\partial r^2} + \frac{1}{r} \frac{\partial \Theta_1(r, z, \tau)}{\partial r} + \frac{\partial^2 \Theta_1(r, z, \tau)}{\partial z^2} = \frac{1}{a} \frac{\partial \Theta_1(r, z, \tau)}{\partial \tau}; \quad (6.15)$$

для области $R_1 < r < R_2, z \geq 0, \tau > 0$ после замены $\Theta_2(r, z, \tau) = T_2(r, z, \tau) - T_0$ имеем

$$\frac{\partial^2 \Theta_2(r, z, \tau)}{\partial r^2} + \frac{1}{r} \frac{\partial^2 \Theta_2(r, z, \tau)}{\partial r} + \frac{\partial^2 \Theta_2(r, z, \tau)}{\partial z^2} = \frac{1}{a} \frac{\partial \Theta_2(r, z, \tau)}{\partial \tau}; \quad (6.16)$$

для области $R_2 < r < \infty, z \geq 0, \tau > 0$ после замены $\Theta_3(r, z, \tau) = T_3(r, z, \tau) - T_0$ получаем

$$\frac{\partial^2 \Theta_3(r, z, \tau)}{\partial r^2} + \frac{1}{r} \frac{\partial \Theta_3(r, z, \tau)}{\partial r} + \frac{\partial^2 \Theta_3(r, z, \tau)}{\partial z^2} = \frac{1}{a} \frac{\partial \Theta_3(r, z, \tau)}{\partial \tau}. \quad (6.17)$$

Начальные и граничные условия будут следующие:

$$\left\{ \begin{array}{l} \Theta_1(r, z, 0) = \Theta_2(r, z, 0) = \Theta_3(r, z, 0) = 0, \\ \frac{\partial \Theta_1(0, z, \tau)}{\partial z} = 0, \quad 0 \leq r < R_1, \\ \frac{\partial \Theta_2(r, 0, \tau)}{\partial z} = 0, \quad -\lambda \frac{\partial \Theta_2(r, 0, \tau)}{\partial z} = \\ = \begin{cases} q_0 = \text{const} & \text{при } \tau < \tau_0, \quad R_1 < r < R_2, \\ 0 & \text{при } \tau > \tau_0, \quad R_1 < r < R_2, \end{cases} \\ \frac{\partial \Theta_3(r, 0, \tau)}{\partial z} = 0, \quad r > R_2, \quad \Theta_1(r, \infty, \tau) = \\ = \Theta_2(r, \infty, \tau) = \Theta_3(r, \infty, \tau) = 0, \\ \frac{\partial \Theta_1(r, \infty, \tau)}{\partial z} = \frac{\partial \Theta_2(r, \infty, \tau)}{\partial z} = \frac{\partial \Theta_3(r, \infty, \tau)}{\partial z} = 0, \\ \Theta_3(\infty, z, \tau) = 0, \quad \frac{\partial \Theta_3(\infty, z, \tau)}{\partial r} = 0. \end{array} \right. \quad (6.18)$$

Для решения данной системы необходимы условия сопряжения:

$$\Theta_1(R_1, z, \tau) = \Theta_2(R_1, z, \tau), \quad \frac{\partial \Theta_1(R_1, z, \tau)}{\partial r} = \frac{\partial \Theta_2(R_1, z, \tau)}{\partial r}, \quad (6.19)$$

$$\Theta_2(R_2, z, \tau) = \Theta_3(R_2, z, \tau), \quad \frac{\partial \Theta_2(R_2, z, \tau)}{\partial r} = \frac{\partial \Theta_3(R_2, z, \tau)}{\partial r}.$$

Используя бесконечные интегральные преобразования Фурье и Лапласа, получаем для любой точки на поверхности $Z=0$ [144, 145]

$$\begin{aligned} \Theta_1(r, 0, \tau) = & \sqrt{\frac{2}{\pi}} \frac{1}{b} \sum_{n=0}^{\infty} \sum_{m=0}^n A_{n,m} \left(\frac{r}{R_2}\right)^{2n} \times \\ & \times \left(\frac{R_2}{\sqrt{a}}\right)^{2n-m-1/2} \int_0^{\tau} q(\tau-\xi) \xi^{-n+m/2-1/4} \times \quad (6.20) \\ & \times \left[\left(\frac{R_1}{R_2}\right)^{-m-1/2} e^{-\frac{R_1^2}{8a\xi}} W_{\frac{2n-m}{2} + \frac{1}{n}, \frac{m}{2} - \frac{1}{4}} \left(\frac{R_1^2}{4a\xi}\right) - \right. \\ & \left. - e^{-\frac{R_2^2}{8a\xi}} W_{\frac{2n-m}{2} + \frac{1}{4}, \frac{m}{2} - \frac{1}{4}} \left(\frac{R_2^2}{4a\xi}\right) \right] d\xi, \text{ для } 0 \leq r \leq R_1; \\ \Theta_2(r, 0, \tau) = & \frac{1}{b\sqrt{4}} \int_0^{\tau} \frac{q(\tau-\xi)}{\sqrt{\xi}} d\xi - \sqrt{\frac{2}{n}} \frac{1}{6} \times \\ & \times \sum_{n=0}^{\infty} \sum_{m=0}^n A_{n,m} \left(\frac{r}{R_2}\right)^{2n} \left(\frac{R_2}{\sqrt{a}}\right)^{2n-m-1/2} \times \\ & \times \int_0^{\tau} q(\tau-\xi) \xi^{-n+m/2-1/4} e^{-\frac{R_2^2}{8a\xi}} W_{\frac{2n-m}{2} + \frac{1}{4}, \frac{m}{2} - \frac{1}{4}} \times \\ & \times \left(\frac{R_2^2}{4a\xi}\right) d\xi - \sqrt{\frac{2}{\pi}} \frac{R}{\lambda} \sum_{n=0}^{\infty} \sum_{m=0}^n \frac{A_{n,m}}{2(n+1)} \times \\ & \times \left(\frac{R_1}{r}\right) \left(\frac{R_1}{\sqrt{a}}\right)^{2n} \left(\frac{r}{\sqrt{a}}\right)^{-m-1/2} \int_0^{\tau} q(\tau-\xi) \xi^{-n+m/2-3/4} \times \\ & \times e^{-\frac{r^2}{8a\xi}} W_{\frac{2n-m}{2} + \frac{3}{4}, \frac{m}{2} + \frac{1}{4}} \left(\frac{r^2}{4a\xi}\right) d\xi, \text{ для } R_1 \leq r \leq R_2; \end{aligned} \quad (6.21)$$

$$\Theta_3(r, 0, \tau) = \sqrt{\frac{2}{\pi}} \frac{R_2}{\lambda} \sum_{n=0}^{\infty} \sum_{m=0}^n \frac{A_{n,m}}{2(n+1)} \left(\frac{R_2}{r}\right) \times$$

$$\times \left(\frac{R_2}{\sqrt{a}}\right)^{2n} \left(\frac{r}{\sqrt{a}}\right)^{-m-1/2} \left[1 - \left(\frac{R_1}{R_2}\right)^{2n+2}\right] \times$$

$$\times \int_0^{\tau} q(\tau - \xi) \xi^{-n+m/2-3/4} e^{-\frac{r^2}{8a\xi}} W_{\frac{2n-m}{2} + \frac{3}{4}, \frac{m}{2} + \frac{1}{4}} \times$$

$$\times \left(\frac{r^2}{4a\xi}\right) d\xi, \text{ для } R_2 < r < \infty. \quad (6.22)$$

Здесь $W_{n,m}(x)$ — функция Уиттекера; множитель

$$A_{n,m} = \frac{C_n^m \left(\frac{1}{2}\right)_m 2^m}{4^n (n!)^2} = \frac{(2m-1)!!}{4^n n! m! (n-m)!}, \quad (6.23)$$

в котором $\left(\frac{1}{2}\right)_m = \frac{1 \cdot 3 \cdot 5 \cdot 7 \cdot \dots \cdot (2m-1)}{2^m}$ — символ Похгаммера; $(2m-1)!! = 1 \cdot 3 \cdot 5 \cdot 7 \cdot \dots \cdot (2m-1) = \pi^{-1/2} 2^m \Gamma\left(m + \frac{1}{2}\right)$ — нечетный факториал.

В критериальной форме при $q(\tau - \xi) = q_0 = \text{const}$ данные уравнения будут иметь следующий вид: для области $R_1 \leq r \leq R_2$, $z = 0$, $\tau > 0$ ($F_0 > 0$)

$$\frac{\Theta_2(r, 0, F_0)}{K_i} = \frac{2}{\sqrt{\pi}} \sqrt{F_0} \left[1 - V(F_0 - F_{0_0}) \sqrt{1 - \varphi_0}\right] -$$

$$- \sqrt{\frac{2}{\pi}} \sum_{n=0}^{\infty} \sum_{m=0}^n A_{n,m} \left(\frac{r}{R_2}\right)^{2n} F_0^{-n + \frac{m}{2} + \frac{3}{4}} \times$$

$$\times \left[e^{-\frac{1}{8F_0}} W_{n - \frac{m}{2} - \frac{3}{4}, \frac{m}{2} - \frac{1}{4}} \left(\frac{1}{4F_0}\right) - V(F_0 - F_{0_0}) \times \right.$$

$$\times (1 - \varphi_0)^{-n + \frac{m}{2} + \frac{3}{4}} e^{-\frac{1}{8F_0(1-\varphi_0)}} W_{n - \frac{m}{2} - \frac{3}{4}, \frac{m}{2} - \frac{1}{4}} \times$$

$$\left. \times \left(\frac{1}{4F_0(1-\varphi_0)}\right) \right] - \sqrt{\frac{2}{\pi}} \sum_{n=0}^{\infty} \sum_{m=0}^n \frac{A_{n,m}}{2(n+1)} \times$$

$$\begin{aligned}
& \times \left(\frac{r}{R_2} \right)^{-m-3/2} K_R^{2n+2} F_0^{-n+\frac{m}{2}+\frac{1}{4}} \left[e^{-\frac{(r/R_2)^2}{8F_0}} \times \right. \\
& \times W_{n-\frac{m}{2}-\frac{3}{4}, \frac{m}{2}+\frac{1}{4}} \left(\frac{(r/R_2)^2}{4F_0} \right) - V(F_0 - F_{0_0}) \times \\
& \times (1 - \varphi_0)^{-n+\frac{m}{2}+\frac{1}{4}} e^{-\frac{(r/R_2)^2}{8F_0(1-\varphi_0)}} W_{n-\frac{m}{2}-\frac{1}{4}, \frac{m}{2}-\frac{1}{4}} \times \\
& \left. \times \left(\frac{(r/R_2)^2}{4F_0(1-\varphi_0)} \right) \right]; \quad (6.24)
\end{aligned}$$

для области $0 \leq r \leq R_1, z = 0, \tau > 0 (F_0 > 0)$

$$\begin{aligned}
\frac{\Theta_1(r, 0, F_0)}{K_i} &= \sqrt{\frac{2}{\pi}} \sum_{n=0}^{\infty} \sum_{m=0}^n A_{n,m} \left(\frac{r}{R_2} \right)^{2x} \times \\
& \times F_0^{-4+\frac{m}{2}+\frac{3}{4}} \left\{ K_R^{-m-\frac{1}{2}-\frac{K^2 R}{8F_0}} W_{n-\frac{m}{2}-\frac{3}{4}, \frac{m}{2}-\frac{1}{4}} \times \right. \\
& \times \left(\frac{K_R^2}{4F_0} \right) - e^{-\frac{1}{8F_0}} W_{n-\frac{m}{2}-\frac{3}{4}, \frac{m}{2}-\frac{1}{4}} \times \\
& \times \left(\frac{1}{4F_0} \right) - V(F_0 - F_{0_0}) (1 - \varphi_0)^{-n+\frac{m}{2}+\frac{3}{4}} \times \\
& \times \left[K_R^{-m-\frac{1}{2}} e^{\frac{K_R^2}{8F_0(1-\varphi_0)}} W_{n-\frac{m}{2}-\frac{3}{4}, \frac{m}{2}-\frac{1}{2}} \times \right. \\
& \times \left. \left(\frac{K_R^2}{4F_0(1-\varphi_0)} \right) - e^{-\frac{1}{8F_0(1-\varphi_0)}} W_{n-\frac{m}{2}-\frac{3}{4}, \frac{m}{2}-\frac{1}{4}} \times \right. \\
& \left. \left. \times \left(\frac{1}{4F_0(1-\varphi_0)} \right) \right] \right\}; \quad (6.25)
\end{aligned}$$

для области $R_2 < r \leq \infty, z = 0, \tau > 0 (F_0 > 0)$

$$\frac{\Theta_3(r, 0, F_0)}{K_i} = \sqrt{\frac{2}{\pi}} \sum_{n=0}^{\infty} \sum_{m=0}^n \frac{A_{n,m}}{2(n+1)} \times$$

$$\begin{aligned}
& \times [1 - K_R^{2n+2}] \left(\frac{r}{R_2} \right)^{-m - \frac{3}{4}} F_0^{-n + \frac{m}{2} + \frac{1}{4}} \times \\
& \times \left[e^{-\frac{(r/R_2)^2}{8F_0}} W_{n - \frac{m}{2} - \frac{1}{2}, \frac{m}{2} + \frac{1}{4}} \left(\frac{(r/R_2)^2}{4F_0} \right) - \right. \\
& - V(F_0 - F_{0_0})(1 - \varphi_0)^{-n + \frac{m}{2} + \frac{1}{4}} e^{-\frac{(r/R_2)^2}{8F_0(1 - \varphi_0)}} \times \\
& \left. \times W_{n - \frac{m}{2} - \frac{1}{4}, \frac{m}{2} + \frac{1}{4}} \left(\frac{(r/R_2)^2}{4F_0(1 - \varphi_0)} \right) \right], \quad (6.26)
\end{aligned}$$

где $\Theta_i(r, 0, F_0)/K_i$ — избыток температур; $K_R = R_1/R_2$; $F_0 = \alpha\tau/R_2^2$; $F_{0_0} = \alpha\tau_0/R_2^2$; $K_i = q_0R_2/\lambda T_0$; $\varphi_0 = \tau_0/\tau = F_{0_0}/F_0$; $V(F_0 - F_{0_0})$ — единичная функция Хевисайда:

$$V(F_0 - F_{0_0}) = \begin{cases} 1 & \text{при } F_0 > F_{0_0}, \tau > \tau_0, \\ 1/2 & \text{при } F_0 = F_{0_0}, \tau = \tau_0, \\ 0 & \text{при } F_0 < F_{0_0}, \tau < \tau_0. \end{cases}$$

В начальный момент времени ($0 < \tau \leq \tau_0$) происходит нестационарный нагрев до температур, определяемых при $1 - \varphi_0 = 0$ и $F_0 - F_{0_0} = 0$, а затем в случае прекращения действия источника с момента времени $\tau > \tau_0$ ($F_0 > F_{0_0}$) начинается выравнивание температуры по поверхности тела вследствие процесса теплопроводности. Результаты математического моделирования данных тепловых процессов можно представить в виде зависимости безразмерной температуры от относительной координаты при фиксированных значениях F_0 .

Предложенная методика анализа релаксации тепловых полей, созданных наводкой мощного ЭМИ в полупроводниковом приборе или ИС, позволяет достаточно полно описать их динамику как во временной области, так и в пространственных координатах. Методика позволила исследовать тепловые поля целого ряда микросхем. Это позволяет сделать вывод, что кратковременные импульсы, которые разогревают кристалл микросхемы до 260...270 °С, не приводят к мгновенному катастрофическому отказу последней, а лишь снижают ее время сохранения работоспособности. Многократные же импульсы, как показали результаты расчетов и экспериментов,

разогревают только поверхностный слой металлизации.

Таким образом, при температуре, вызываемой импульсными промышленными помехами, возникает необходимость исследования деградации ИМС в случае периодического воздействия ЭМИ с температурой $< 265^{\circ}\text{C}$ и деградации металлизации при температуре $< 150^{\circ}\text{C}$.

6.3. ПРОГНОЗИРОВАНИЕ РАБОТОСПОСОБНОСТИ МИКРОСХЕМ ПАМЯТИ

6.3.1. Оценка информативности прогнозирующих признаков

Точность прогноза в значительной степени зависит от обоснованного выбора информативных параметров. Решая задачу прогнозирования в ее наиболее типичной постановке, данные об информативности параметров получаем лишь по результатам испытания обучающей или экзаменационной выборки в течение времени t . Поскольку каких-либо общих методов, направленных на поиск информативных признаков, не существует и выбор признаков осуществляем из физических соображений на основе опыта, может оказаться, что в процессе решения задачи прогнозирования мы не обеспечим требуемых показателей надежности в выделенном классе, а лишь с некоторой достоверностью оценим полученный результат прогноза, что чаще и имеет место на практике. Это еще раз свидетельствует об отсутствии обусловленной необходимости постановки и решения задачи в типовой форме, однако в любом случае не снимается проблема решения вопроса об обоснованном выборе информативных параметров.

В действующей нормативно-технической документации нет четко определенных признаков, характеризующих информативные параметры. Поскольку от выбора последних в значительной степени зависит эффект разделения совокупности на классы, важно конкретизировать смысл, который вкладываем в данное понятие. Информативными полагаем электрофизические параметры, измеренные величины которых являются характеристиками процессов, отражающих физические состояния приборов, содержащих в себе дефекты. Например, время восстановления обратного сопротивления в приборах, где этот параметр не создается специально, а формируется

под воздействием неконтролируемых факторов, отражает процесс рассасывания неравновесных носителей тока. Характер рассматриваемого процесса и измеренная величина восстановления отражают степень структурных нарушений, т. е. степень дефектосодержания.

Информативный параметр должен иметь достаточно широкий интервал разброса, так как естественно предположить, что чем больше разброс, тем вероятнее в нем отражается качественное состояние микросхем и, следовательно, степень дефектосодержания. Если разброс параметра невелик, распределение должно обладать характерным признаком, свидетельствующим, например, о неоднородности, которая также может быть связана с разными формами дефектосодержания. Параметр полагаем информативным, если отражаемую им степень дефектосодержания можно подтвердить фактическими результатами испытаний, свидетельствующими также и о разных запасах прочности микросхем [146].

В случае выбора параметров микросхем, применяемых при построении системы распознавания, имеют место следующие ограничения: некоторые параметры нецелесообразно использовать из-за того, что они малоинформативны; часть параметров, как правило, наиболее информативных, не может быть найдена в результате отсутствия соответствующей измерительной аппаратуры, а ресурсы, ассигнованные на создание системы распознавания, ограничены. Поэтому в качестве прогнозирующих параметров необходимо использовать лишь те, которые, с одной стороны, наиболее информативны и, с другой — могут определяться имеющейся или специально созданной измерительной аппаратурой.

Следовательно, задача нахождения прогнозирующих параметров изделий в общем случае сводится к тому, чтобы в пределах выделенных ресурсов определить перечень измерительной аппаратуры, применение которой обеспечивает измерение наиболее информативных параметров. Выбранные таким образом прогнозирующие параметры в свою очередь в принципе позволяют реализовать максимально возможную эффективность системы распознавания.

В связи с приведенным выше возникает задача оценки и сравнения информативности как отдельных параметров, так и их наборов. Для этого перед началом испытаний выборки измеряют параметры, которые могут быть

информативными. После завершения испытаний сравнивают информативность параметров и их наборов, а затем выбирают наиболее информативные из них. Существующие методы оценки информативности параметров и их наборов можно разделить на две группы: не связанные с построением прогнозирующего правила; связанные с построением решающего правила. Сравнительная оценка качества параметров может быть проведена с помощью метода, основанного на определении количества информации, которое получает система в процессе распознавания изделия в результате нахождения каждого из параметров (мера Шеннона).

6.3.2. Эффективность алгоритмов индивидуального прогнозирования

Один из эффективных путей решения задач отбора микросхем памяти, обладающих повышенным уровнем надежности,— индивидуальное прогнозирование. Особый интерес для практики представляет индивидуальное прогнозирование, базирующееся на распознавании образов, при котором заключение об уровне работоспособности каждого экземпляра делают на основе контроля значений информативных параметров, называемых признаками.

Простым и в то же время обеспечивающим неплохие результаты является метод, построенный на принципах пороговой (мажоритарной) логики [146, 147]. Суть этого метода состоит в преобразовании значений признаков x_1, x_2, \dots, x_k , используемых для индивидуального прогнозирования работоспособности микросхем памяти, в двоичные числа Z_1, Z_2, \dots, Z_k и принятии решения об уровне качества по набору (комбинации) двоичных чисел. Решающее (прогнозирующее) правило в методе пороговой логики для случая классификации совокупности однотипных элементов на два класса имеет вид

$$\begin{aligned} j \in K_1, \text{ если } F_j(z_1, z_2, \dots, z_k) \geq P_0, \\ j \in K_2, \text{ если } F_j(z_1, z_2, \dots, z_k) < P_0, \end{aligned} \quad (6.27)$$

где $F_j(\dots)$ — значение решающей функции, найденное для j -го экземпляра и зависящее от набора двоичных чисел для данного экземпляра; K_1, K_2 — классы надежных и ненадежных (дефектных) элементов соответствен-

но; P_0 — критерий (порог) разделения классов, определяемый на этапе построения решающего правила; запись $j \in K_s$, $s=1, 2$, означает принадлежность j -го экземпляра к классу K_s .

При построении решающего правила вида (6.27) решающая функция F должна формироваться таким образом, чтобы в среднем ее большие значения соответствовали классу K_1 , меньшие — классу K_2 . При выполнении преобразования признаков в двоичные числа условимся лучшему техническому состоянию (качеству) элементов приписывать число, равное единице, худшему — равное нулю. Тогда для случая, когда лучшему качеству микросхем соответствуют большие значения признака, можно использовать соотношение вида

$$Z_i = \begin{cases} 1, & \text{если } x_i \geq x_{i0}, \\ 0, & \text{если } x_i < x_{i0}. \end{cases} \quad (6.28)$$

Здесь x_{i0} — пороговое значение i -го признака, определяемое из условия лучшего разделения классов. Если лучшему качеству микросхем соответствуют в среднем меньшие значения признака, то в выражении (6.28) знаки неравенств необходимо поменять местами.

Ставили также задачу исследовать и сравнить между собой эффективность эвристических алгоритмов индивидуального прогнозирования метода пороговой логики. Исследуемые алгоритмы отличались видом решающей функции. Решающие правила для этих алгоритмов, записанные с целью упрощения лишь для случая принятия решения о принадлежности элементов к классу K_1 , представляли следующими соотношениями:

$$j \in K_1, \text{ если } \sum_{i=1}^k |r_i(t_{\text{пр}})| Z_i \geq P_0, \quad (6.29)$$

$$j \in K_1, \text{ если } \sum_{i=1}^k P_{(K_1/Z_i=1)Z_i} \geq P_0, \quad (6.30)$$

$$j \in K_1, \text{ если } \sum_{i=1}^k P_{(K_1/Z_i=\bar{x})} > P_0, \quad (6.31)$$

$$j \in K_1, \text{ если } 1 - \prod_{i=1}^k P_{(K_2/Z_i=1)Z_i} \geq P_0. \quad (6.32)$$

$$j \in K_1, \text{ если } 1 - \prod_{i=1}^k P_{K_2/Z_i=\xi} \geq P_0, \quad (6.33)$$

где Z_i — двоичное число, определяемое согласно выражению (6.28); $r_i(t_{\text{пр}})$ — коэффициент парной корреляции между значением, признаком и уровнем качества микросхемы на заданный (прогнозируемый) момент времени $t_{\text{пр}}$; $P_{K_s/Z_i=1}$ — оценка (по результатам обучающего эксперимента) вероятности принадлежности микросхемы к классу K_s при условии, что двоичное число по результатам преобразования i -го признака приняло значение $Z_i = 1$, $s = 1, 2$; $P_{K_s/Z_i=\xi}$ — оценка (по результатам обучающего эксперимента) вероятности принадлежности микросхемы к классу K_s , $s = 1, 2$, при условии, что двоичное число Z_i приняло значение $\xi = 1, 0$.

В качестве критерия эффективности при исследовании эвристических алгоритмов (6.29) — (6.33) выбрана точность (ошибки) индивидуального прогнозирования. Практическая пригодность любого метода прогнозирования определяется не только аппаратом обработки результатов обучающего эксперимента, простотой и оперативностью принятия решения о классе изделия по алгоритму прогнозирования, но и также вероятностями ошибочных решений, их соответствием допустимым ошибкам.

Обоснование выбора критериев оценки ошибочных решений. Нежелательные последствия, обусловленные ошибочными решениями (риском потребителя P_{21} и риском изготовителя P_{12}), наиболее полно можно оценить величиной среднего риска

$$\rho = P_{\text{реш}K_2} P_{K_1/\text{реш}K_2} C_{12} + P_{\text{реш}K_1} P_{K_2/\text{реш}K_1} C_{21}. \quad (6.34)$$

Здесь $P_{\text{реш}K_s}$ — оценка (по результатам обучающего эксперимента) вероятности отнесения микросхемы по прогнозу к классу K_s , $s = 1, 2$; $P_{K_u/\text{реш}K_v}$ — оценка вероятности принадлежности микросхемы к классу K_u при условии, что по прогнозу принято решение об отнесении его к классу K_v ($u, v = 1, 2$; $u \neq v$); C_{21} , C_{12} — цены, обусловленные соответственно риском потребителя и риском изготовителя:

$$P_{21} = P_{K_2/\text{реш}K_1}, \quad (6.35)$$

$$P_{12} = P_{K_1/\text{реш}K_2}. \quad (6.36)$$

Оценку пригодности методов прогнозирования в данном случае выполняют по величине минимума среднего риска, так как по критерию $\rho \rightarrow \min$ (критерию Байеса). Практическое применение критерия Байеса, определяемого выражением (6.34), затруднено, поскольку для решения уравнения необходимо знать значения C_{12} , C_{21} . Цена C_{12} в большинстве случаев представляет собой стоимость изготовления микросхемы и с той или иной точностью и достоверностью может быть найдена. Определение цены C_{21} вызывает трудности, поскольку иногда сложно оценить, к каким последствиям приведет ошибочное решение, обусловленное риском потребителя.

Поскольку снижение цены условно, то при сравнении с точки зрения ошибок прогноза разных алгоритмов прогнозирования можно положить $C_{12} = C_{21}$. При этом критерий Байеса переходит в критерий минимума вероятно-

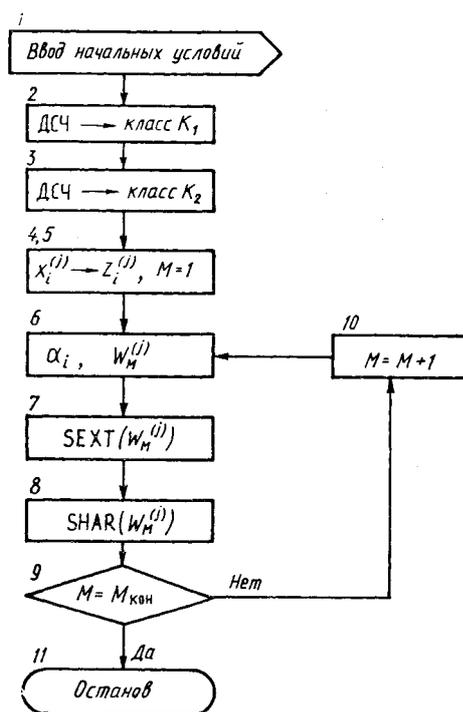


Рис. 6.8. Структурная схема алгоритма моделирования на ПЭВМ обучающего эксперимента и выполнения обучения

сти ошибки ($P_{\text{ош}} \rightarrow \min$). На практике иногда удобно применять критерий максимума вероятности правильных решений ($P_{\text{прав}} \rightarrow \max$). Вероятности $P_{\text{прав}}$ и $P_{\text{ош}}$ связаны соотношением

$$P_{\text{прав}} = 1 - P_{\text{ош}} \quad (6.37)$$

Как правило, цены C_{12} и C_{21} неодинаковы. Обычно $C_{21} > C_{12}$ или даже $C_{21} \gg C_{12}$. Поэтому на практике стремятся к допустимому риску потребителя P_{21} и в качестве критерия оптимальности используют минимум значения

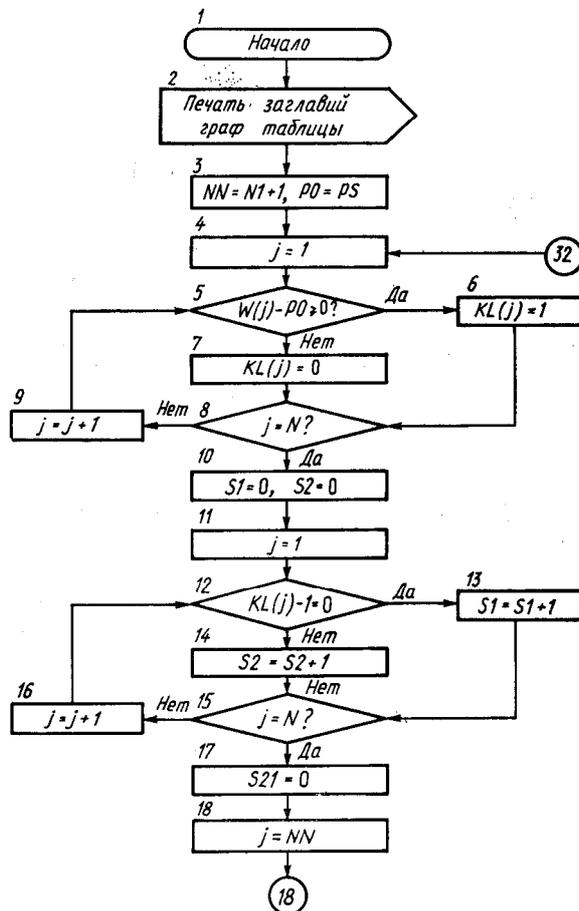


Рис. 6.9. Структурная схема алгоритма

риска изготовителя P_{12} при условии, что

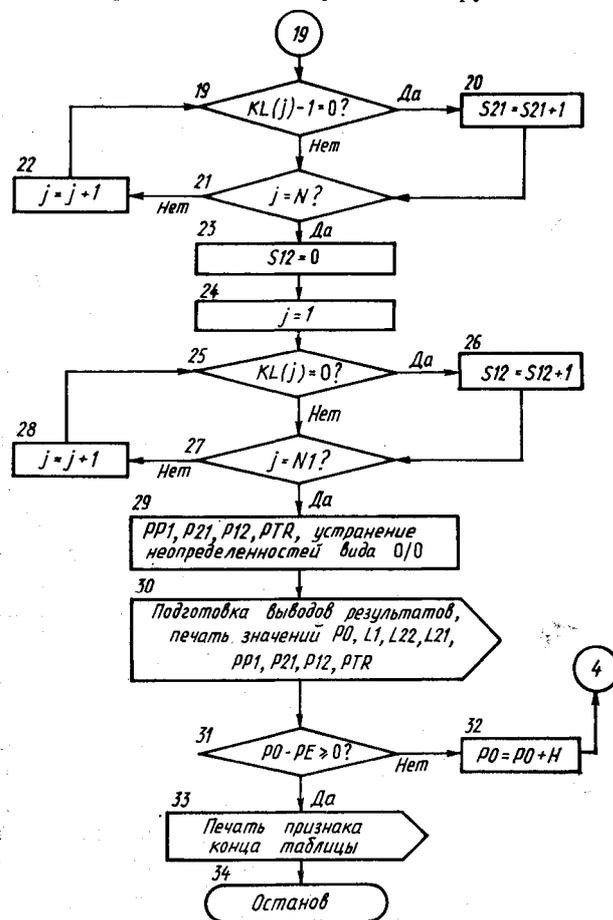
$$P_{21} \leq P_{21 \text{ доп}}$$

где $P_{21 \text{ доп}}$ — допустимое значение риска потребителя.

Данный критерий называют критерием Неймана—Пирсона.

Моделирование на ПЭВМ обучающего эксперимента.

При моделировании обучающего эксперимента приняты следующие условия: число признаков, применяемых для прогнозирования, $K=6$; условные функции плотности ве-



подпрограммы SHAR

Таблица 6.2. Функциональные части алгоритма

Номер блока	Функциональное назначение
1	Ввод параметров условных законов распределения, числа признаков, объема выборок в классах и вспомогательных переменных, необходимых для работы датчиков случайных чисел
2	Обращение к датчику случайных чисел (ДСЧ) и формирование класса K_1
3	Обращение к ДСЧ и формирование класса K_2
4	Преобразование $x_i^{(j)}$ во входные двоичные сигналы $z_i^{(j)}$
6	Определение с учетом вида алгоритма прогнозирования значений весов α_i , входных двоичных сигналов и значения решающей функции для всех микросхем обучающей выборки
7	Определение по подпрограмме SEXT максимального и минимального значений величины $W^{(j)}$ и выбор шага варьирования критерием P_0 в алгоритме прогнозирования
8	Определение по исследуемому алгоритму прогнозирования в каждой выбранной точке P_0 следующих характеристик: риска потребителя P_{21} , риска изготовителя P_{12} , вероятности принятия решений об отнесении экземпляра к классу K_1 : $P_{\text{реш } K_1}$ с использованием подпрограмм
5, 9, 10	Блоки подготовки и организации вычислительного цикла (M — номер исследуемого алгоритма, $M_{\text{кон}}=5$)
11	Конец вычислений

роятностей признаков в классах подчиняются нормальному закону и имеют взаимопроникновения (классы пересекаются); признаки коррелированы между собой.

На рис. 6.8 изображена укрупненная структурная схема алгоритма моделирования на ПЭВМ обучающего эксперимента и выполнения обучения с использованием исследуемых эвристических алгоритмов — выражений (6.29) — (6.33). В табл. 6.2 приведены функциональные части структурной схемы алгоритма. Основные вычислительные процедуры выполняются подпрограммой SHAR. Структурная схема алгоритма вычислительных процедур, выполняемых подпрограммой SHAR, показана на рис. 6.9. В табл. 6.3, 6.4 приведены пояснения функциональных частей структурной схемы алгоритма подпрограммы SHAR и список идентификаторов для этой подпрограммы.

Т а б л и ц а 6.3. Пояснение работы блоков структурной схемы алгоритма подпрограммы SHAR

Номер блока	Функциональное назначение
1	Начало программы, резервирование ячеек памяти для параметров KL и W
2	Печать «шапки» таблицы для результатов
3	Блок присвоения значений параметрам NN и PO
4—9	Цикл принятия решений о классе изделий обучающей выборки для заданного значения PO
11—16	Циклы для определения характеристик $n_{\text{реш } K_1}$ и $n_{\text{реш } K_2}$
18—22	Циклы для определения ошибок $n_{K_2/\text{реш } K_1}$
24—28	Циклы для определения ошибок $n_{K_1/\text{реш } K_2}$
10, 17, 23	Блоки обнуления соответствующих ячеек памяти
29	Блок устранения операции деления на нуль и выполнения расчета вероятностей $P_{\text{реш } K_1}$, P_{21} , P_{12} , $P_{\text{прав}}$
30	Подготовка и вывод результатов на печать в таблицу
31	Логический блок проверки достижения величиной PO своего конечного значения PE
32	Изменение величины PO на величину шага H
33	Печать строки конца таблицы
34	Конец программы

Сравнение по эффективности разработанных эвристических алгоритмов. Путем использования результатов смоделированного обучающего эксперимента на ПЭВМ выполнено обучение и дана количественная оценка результатов обучения для каждого из исследуемых эвристических алгоритмов. Она представлена в форме таблиц, в которых точкам с выбранным значением критерия разделения P_0 в алгоритме прогнозирования соответствуют вероятности $P_{\text{реш } K_1}$, P_{21} , P_{12} , $P_{\text{прав}}$.

По расчетным данным для исследуемых алгоритмов построены графики зависимости риска изготовителя P_{12} от риска потребителя P_{21} . Они отражают результаты анализа эффективности эвристических алгоритмов по критерию Неймана—Пирсона (рис. 6.10). Из графиков видно, что при заданном риске потребителя P_{21} лучшие результаты прогнозирования (меньшее значение риска изготовителя P_{12}) обеспечивает применение эвристических алгоритмов, определяемых выражениями (6.31), (6.33). По данным расчетов построены также графики зависимости вероятности правильных решений $P_{\text{прав}}$ от нормированного значения $P_{0н}$ критерия разделения P_0

Таблица 6.4. Список идентификаторов для подпрограммы SHAR

Обозначение в подпрограмме	Функциональное назначение
N	Число изделий обучающей выборки n
N_1	Число изделий класса k_1 , n_1
NN	Число изделий обучающей выборки $N+1$
$W(j)$	Значение решающей функции для j -го изделия в алгоритме прогнозирования
$KL(j)$	Значение параметра R (мажоритарной функции), определяемого по алгоритму прогнозирования, $R=1$ при $j \in k_1$
PS, PE	Минимальное и максимальное значения величины $W(j)$, $j=1, \dots, N$
PO	Текущее значение критерия разделения P_0
H	Шаг изменения величины P_0
$S21, S12$	Соответственно $n_{K_2/\text{реш } K_1}$ и $n_{K_1/\text{реш } K_2}$ в форме с плавающей десятичной точкой
$S1, S2, AN$	Соответственно $n_{\text{реш } K_1}$, $n_{\text{реш } K_2}$ и величина n в форме с плавающей десятичной точкой
$L1, L2$	Соответственно $n_{\text{реш } K_1}$, $n_{\text{реш } K_2}$
$L21, L12$	Соответственно $n_{K_2/\text{реш } K_1}$, $n_{K_1/\text{реш } K_2}$
$P21, P12$	Соответственно $P_{K_2/\text{реш } K_1}$, $P_{K_1/\text{реш } K_2}$
$PP1, PTR$	Соответственно $P_{\text{реш } K_1}$, $P_{\text{прав}}$

(рис. 6.11). Они отражают результаты исследования эффективности рассматриваемых эвристических алгоритмов по критерию Байеса (частному случаю критерия Байеса — вероятности правильных решений). Из графиков (рис. 6.11) видно, что по критерию Байеса лучшие результаты прогнозирования опять дают алгоритмы, определяемые выражениями (6.31), (6.33).

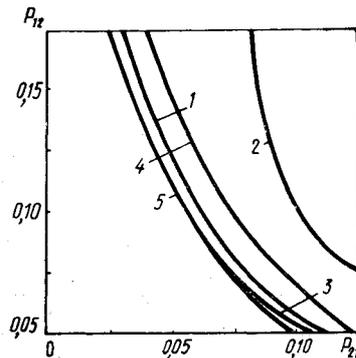


Рис. 6.10. Зависимость риска изготовителя P_{12} от риска потребителя P_{21} : 1 — алгоритм (6.29); 2 — алгоритм (6.30); 3 — алгоритм (6.31); 4 — алгоритм (6.32); 5 — алгоритм (6.33)

Таким образом, исследование эвристических алгоритмов по критериям Неймана—Пирсона и Байеса показали, что лучшие результаты индивидуального прогнозирования обеспечивает использование алгоритмов, задаваемых выражениями (6.31), (6.33).

Анализ графиков, изображенных на рис. 6.11, показывает, что для алгоритма, определяемого выражением (6.33), выбор величины P_0 по критерию Байеса затруд-

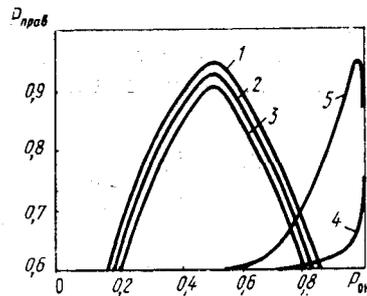


Рис. 6.11. Зависимость вероятности принятия правильных решений $P_{\text{прав}}$ от критерия разделения $P_{\text{он}}$. Обозначения те же, что на рис. 6.10

нен из-за большой асимметрии функции $P_{\text{прав}}$. Для рассматриваемого алгоритма затруднен выбор величины P_0 и по критерию Неймана—Пирсона вследствие резкой нелинейности кривой P_{12} . Это видно из графиков зависимости риска изготовителя P_{12} от нормированного значения $P_{\text{он}}$ критерия разделения P_0 (рис. 6.12). Исследование графических зависимостей показывает, что выбор величины P_0 для алгоритма, определяемого выражением (6.33), затруднен в области, близкой к максимальному значению вероятности правильных решений $P_{\text{прав}}$ в пер-

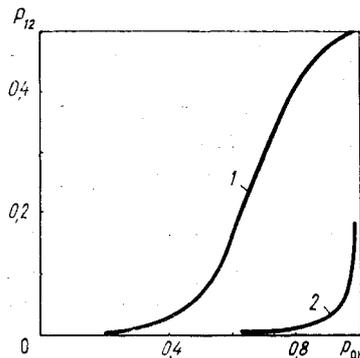


Рис. 6.12. Зависимость риска изготовителя P_{12} от нормированного значения критерия разделения $P_{\text{он}}$: 1 — алгоритм (6.31); 2 — алгоритм (6.33)

вом случае и в области малых значений риска потребителя P_{21} — во втором (рис. 6.10, 6.12), т. е. в областях наиболее часто используемых на практике значений величин $P_{\text{прав}}, P_{21}$.

Указанного недостатка лишен алгоритм, определяемый выражением (6.31). Кроме того, данный алгоритм проще алгоритма вида (6.33) при вычислениях и обеспечивает удовлетворительные для практики результаты прогнозирования, лишь незначительно уступая алгоритму (6.33) по эффективности (величине ошибок прогнозирования). Поэтому алгоритм вида (6.31) может быть рекомендован нами для практических целей.

6.3.3. Алгоритмы прогнозирования работоспособности ИМС с помощью метода оптимальной логической формулы

Методика построения оптимальной логической формулы для прогнозирования. Представим функцию работоспособности ИС в виде [148]

$$R = \sum_{i=1}^n \prod_{\substack{j=1 \\ i \neq j}}^k \alpha_i(Z_j) + \prod_{j=1}^k \alpha_i(Z_j), \quad (6.38)$$

где R — параметр работоспособности на момент времени $t_{\text{пр}}$ (заданное время прогнозирования); Z_j — двоичные входы изделий, отражающие информативные признаки изделия X_1, X_2, \dots, X_k ; α_i — веса входа, взятые с учетом значений входных двоичных сигналов Z_i ($i=1, 2, \dots, k$).

Рассмотрим пример прогнозирования работоспособности микросхемы с помощью метода оптимальной логической формулы при $k=4$. Число информативных параметров $k>5$ использовать нежелательно, так как это увеличивает объем вычислений и уменьшает их точность. Тогда функция работоспособности примет вид

$$R = \alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3 + \alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4 + \alpha_1 Z_1 \alpha_3 Z_3 \alpha_4 Z_4 + \\ + \alpha_1 Z_1 \alpha_2 Z_2 \alpha_4 Z_4 + \alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4. \quad (6.39)$$

Задачу оптимизации функции работоспособности микросхем сводим к построению ее минимальной расширенной логической формулы (РЛФ). В общем случае данную формулу запишем следующим образом:

$$F_i \doteq Z(F_i) = \bigvee_{j=1}^{M_j} K_{J_j}(F_i)[J_j]. \quad (6.40)$$

Здесь $Z(F_i)$ — РЛФ функции F_i ; \doteq — знак соответствия логической функции РЛФ; $[J] K_{J_j}(F_i)$ — член, описывающий значение $F_i = J_j$ на наборах, соответствующих $K_{J_j}(F_i)$.

Процедуру оптимизации сводим к следующей: находим минимальные тупиковые дизъюнктивные нормальные формы $K_1(F)$, $K_0(F)$; строим две матрицы инцидентности для $K_1(F)$ и $K_0(F)$, каждой строке которых соответствует импликанта, входящая в состав минимальных тупиковых дизъюнктивных форм $K_1(F)$ и $K_0(F)$, а столбцу — значение Z_i ; находим множество покрытий (описаний) Z_i матриц инцидентности; выбираем те покрытия, которые имеют минимальное число элементов и включают в себя простые логические переменные, покрывающие максимальное число импликант; эту операцию называют «взвешиванием» первого яруса РЛФ; используя соотношение для булевой функции вида

$$F(X_1, X_2, \dots, X_M) = \bigvee_{i=1}^k X_{i_i} F_i + \sum_{j=1}^n J_j, \quad (6.41)$$

где $F(X_1, X_2, \dots, X_{M_x})$ — булева функция при $X_{i_i} = 1$ и для всех таких X_i , что $X_i \neq X_{i_i}$, но $X_i \in P$, $X_i = 0$; J_j — импликанта, $J_j \in J^*$; r — число импликант в подмножестве J^* вида

$$F = \bigvee_{i=1}^{KL} F_i(X_{iL})/X_{iL} = X_{2L} = \dots = X_{(i-1)/L} = 0 \quad (6.42)$$

$(F_i(X_{iL}) = \bigvee_{j=1}^{m_{iL}} J_j(X_{iL})$ — функция, содержащая все m_{iL} им-

пликант, в которые входит переменная X_{iL}); функции $K_1(F)$, $K_0(F)$ разлагаем по переменным Z_i , выбранным на предыдущем шаге; определяем множество новых функций, входящих в конъюнкции с переменными, выделенными для взвешивания первого яруса $K_1(F)$, $K_0(F)$; для каждой функции находим покрытия, взвешивающие второй ярус, вновь находим разложение и т. д.

Процесс заканчиваем тогда, когда функции вырождаются в простые переменные или принимают постоянные значения и дальнейшее их разложение невозможно,

так как на каждом шаге для взвешивания яруса выбираем минимальное покрытие. Максимальным числом переменных окажется взвешен последний ярус, а это свидетельствует о том, что функция работоспособности оптимальна. После упорядочения записываем оптимальную РЛФ работоспособности.

Найдем оптимальную РЛФ для функции работоспособности вида

$$R = \alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3 + \alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4 + \alpha_1 Z_1 \alpha_3 Z_3 \alpha_4 Z_4 + \\ + \alpha_1 Z_1 \alpha_2 Z_2 \alpha_4 Z_4 + \alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4. \quad (6.43)$$

Запишем минимальные тупиковые дизъюнктивные нормальные формы $K_1(R)$, $K_0(R)$:

$$K_1(R) = \alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3 + \alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4 + \alpha_1 Z_1 \alpha_3 Z_3 \alpha_4 Z_4 + \\ + \alpha_1 Z_1 \alpha_2 Z_2 \alpha_4 Z_4, \quad (6.44)$$

$$K_0(R) = \alpha_1 Z_1 \alpha_2 Z_2 + \alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3 + \alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4 + \\ + \alpha_1 Z_1 \alpha_3 Z_3 \alpha_4 Z_4 + \alpha_1 Z_1 \alpha_2 Z_2 \alpha_4 Z_4 + \alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4. \quad (6.45)$$

С помощью табл. 6.5, 6.6 оценим число импликант, покрываемых каждой переменной, и определим суммарное число покрытий импликант. Определим множество покрытий матриц инцидентности. Минимальные покрытия для $K_1(R)$

$$\Pi_{11} = \{\alpha_3 Z_3, \alpha_4 Z_4\}, \Pi_{12} = \{\alpha_2 Z_2, \alpha_3 Z_3\}, \\ \Pi_{13} = \{\alpha_1 Z_1, \alpha_2 Z_2\}.$$

Минимальные покрытия для $K_0(R)$

$$\Pi_{01} = \{\alpha_1 Z_1, \alpha_3 Z_3, \alpha_4 Z_4\}, \Pi_{02} = \{\alpha_2 Z_2, \alpha_3 Z_3, \alpha_4 Z_4\}, \\ \Pi_{03} = \{\alpha_1 Z_1, \alpha_2 Z_2, \alpha_3 Z_3\}.$$

Таблица 6.5. Матрица инцидентности $K_1(R)$

Импликанта	$\alpha_1 Z_1$	$\alpha_2 Z_2$	$\alpha_3 Z_3$	$\alpha_4 Z_4$
$\alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3$	1	1	1	0
$\alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4$	0	0	1	1
$\alpha_1 Z_1 \alpha_3 Z_3 \alpha_4 Z_4$	1	0	1	1
$\alpha_1 Z_1 \alpha_2 Z_2 \alpha_4 Z_4$	1	1	0	1
Сумма покрытий импликант	3	2	3	3

Таблица 6.6. Матрица инцидентности $K_0(R)$

Импликанта	$\alpha_1 Z_1$	$\alpha_2 Z_2$	$\alpha_3 Z_3$	$\alpha_4 Z_4$
$\alpha_1 Z_1 \alpha_2 Z_2$	1	1	0	0
$\alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3$	1	1	1	0
$\alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4$	0	1	1	1
$\alpha_1 Z_1 \alpha_3 Z_3 \alpha_4 Z_4$	1	0	1	1
$\alpha_1 Z_1 \alpha_2 Z_2 \alpha_4 Z_4$	1	1	0	1
$\alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4$	1	1	1	1
Сумма покрытий импликант	5	5	4	4

Таблица 6.7. Покрытие импликант из $K_1(R)$

Импликанта из $K_1(R)$	P_{11}	P_{12}	P_{13}
	$\alpha_3 Z_3$ $\alpha_4 Z_4$	$\alpha_2 Z_2$ $\alpha_3 Z_3$	$\alpha_1 Z_1$ $\alpha_2 Z_2$
$\alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3$	1	2	2
$\alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4$	2	2	1
$\alpha_1 Z_1 \alpha_3 Z_3 \alpha_4 Z_4$	2	1	1
$\alpha_1 Z_1 \alpha_2 Z_2 \alpha_4 Z_4$	1	1	2
Сумма покрытий импликант	6	6	6

Таблица 6.8. Покрытие импликант из $K_0(R)$

Импликанта из $K_0(R)$	P_{01}	P_{02}	P_{03}
	$\alpha_1 Z_1$ $\alpha_3 Z_3$ $\alpha_4 Z_4$	$\alpha_2 Z_2$ $\alpha_3 Z_3$ $\alpha_4 Z_4$	$\alpha_1 Z_1$ $\alpha_2 Z_2$ $\alpha_3 Z_3$
$\alpha_1 Z_1 \alpha_2 Z_2$	1	1	2
$\alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3$	2	2	3
$\alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4$	2	3	2
$\alpha_1 Z_1 \alpha_3 Z_3 \alpha_4 Z_4$	3	2	2
$\alpha_1 Z_1 \alpha_2 Z_2 \alpha_4 Z_4$	2	2	2
$\alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3 \alpha_4 Z_4$	3	3	3
Сумма покрытий импликант	13	13	14

Для взвешивания первого яруса выберем значения P_{1j} и P_{0j} , которые покрывают своими элементами соответственно импликанты из $K_1(R)$, $K_0(R)$ (табл. 6.7, 6.8) минимальное число раз. Из табл. 6.7 следует, что все покрытия равнозначны для взвешивания первого яруса, так как суммарное число покрытий импликант для них

одинаково. Из табл. 6.8 видно, что для $K_0(R)$ минимальными и равнозначными покрытиями, имеющими минимальное число суммарных покрытий всех импликант, являются P_{01}, P_{02} .

Выбор наилучшего покрытия направлен на уменьшение числа переменных в разложении функций $K_1(R), K_0(R)$ по элементам покрытий. Поэтому требуется выбрать покрытие, которое более одного раза покрывает импликанту с минимальным числом букв. Но покрытия, выбранные по данному критерию, также будут равнозначными. Следовательно, первый ярус можно взвесить одним из покрытий:

$$\{P_{11}, P_{01}\}, \{P_{12}, P_{01}\}, \{P_{13}, P_{01}\}, \{P_{11}, P_{02}\}, \\ \{P_{12}, P_{02}\}, \{P_{13}, P_{02}\}.$$

Сравним покрытия для $K_1(R), K_0(R)$ и определим те из них, которые обеспечивают симметрирование уравнения на первом ярусе. С этой целью необходимо упорядочить элементы в каждом покрытии по мере возрастания номеров переменных; проинвертировать переменные в одном из подмножеств покрытий (\bar{P}_1 или \bar{P}_0); определить число пересечений элементов каждого покрытия для $K_1(R), K_0(R)$; выбрать покрытия с максимальным числом пересечений, что свидетельствует о наибольших возможностях симметрирования данного яруса по выходным логическим переменным.

В результате упорядочения элементов покрытий $K_1(R), K_0(R)$ получим

$$P_{11} = \{\alpha_3 Z_3, \alpha_4 Z_4\}, P_{12} = \{\alpha_2 Z_2, \alpha_3 Z_3\},$$

$$P_{13} = \{\overline{\alpha_1 Z_1}, \overline{\alpha_2 Z_2}\},$$

$$P_{01} = \{\alpha_1 Z_1, \alpha_3 Z_3, \alpha_4 Z_4\}, P_{02} = \{\alpha_2 Z_2, \alpha_3 Z_3, \alpha_4 Z_4\}.$$

Множество пересечений элементов каждого покрытия для $K_1(R)$ и $K_0(R)$, определим ниже:

$\frac{P_{11}P_{01}}{2}$	$\frac{P_{11}P_{02}}{2}$
$\frac{P_{12}P_{01}}{1}$	$\frac{P_{12}P_{02}}{2}$
$\frac{P_{13}P_{01}}{0}$	$\frac{P_{13}P_{02}}{0}$

Множества покрытий, которые обеспечивают лучшее симметрирование схемы на первом ярусе, — $\{P_{11}, P_{01}\}$, $\{P_{11}, P_{02}\}$, $\{P_{12}, P_{02}\}$. Найденные выше множества, минимизирующие число букв разложений функций $K_1(R)$ и $K_0(R)$, имеют вид

$$\{P_{11}, P_{01}\}, \{P_{12}, P_{01}\}, \{P_{13}, P_{01}\}, \{P_{11}, P_{02}\}, \\ \{P_{12}, P_{02}\}, \{P_{13}, P_{02}\}.$$

Отсюда видно, что множества $\{P_{11}, P_{01}\}$, $\{P_{11}, P_{02}\}$, $\{P_{12}, P_{02}\}$ одновременно минимизируют число букв и симметрируют формулу. Следовательно, для покрытия первого яруса можно выбрать одно из этих множеств. В качестве покрытий, взвешивающих первые ярусы — $K_1(R)$ и $K_0(R)$, выберем P_{11}, P_{01} .

Используя соотношения (6.41) и (6.42), разложим функцию по переменным $P_{11} = \{\alpha_3 Z_3, \alpha_4 Z_4\}$, а функцию $K_0(R)$ — по переменным $P_{01} = \{\alpha_1 Z_1, \alpha_3 Z_3, \alpha_4 Z_4\}$. В результате получим

$$K_1(R) = \alpha_3 Z_3 (\alpha_1 Z_1 \alpha_2 Z_2 + \alpha_2 Z_2 \alpha_4 Z_4) + \\ + \alpha_4 Z_4 (\alpha_1 Z_1 \alpha_3 Z_3 + \alpha_1 Z_1 \alpha_2 Z_2), \quad (6.46)$$

$$K_0(R) = \alpha_1 Z_1 (\alpha_2 Z_2 + \alpha_2 Z_2 \alpha_3 Z_3) + \alpha_3 Z_3 (\alpha_2 Z_2 \alpha_4 Z_4 + \\ + \alpha_1 Z_1 \alpha_4 Z_4) + \alpha_4 Z_4 (\alpha_1 Z_1 \alpha_2 Z_2 + \alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3), \quad (6.47)$$

где

$$K_{1z_1} = \alpha_1 Z_1 \alpha_2 Z_2 + \alpha_2 Z_2 \alpha_4 Z_4; \\ K_{1z_2} = \alpha_1 Z_1 \alpha_3 Z_3 + \alpha_1 Z_1 \alpha_2 Z_2; \\ K_{0z_1} = \alpha_2 Z_2 + \alpha_2 Z_2 \alpha_3 Z_3; \\ K_{0z_2} = \alpha_2 Z_2 \alpha_4 Z_4 + \alpha_1 Z_1 \alpha_4 Z_4; \\ K_{0z_3} = \alpha_1 Z_1 \alpha_2 Z_2 + \alpha_1 Z_1 \alpha_2 Z_2 \alpha_3 Z_3.$$

В результате предыдущих операций получены две зависимости (K_{1z_1}, K_{1z_2}) для разложения функции $K_1(R)$ и три зависимости ($K_{0z_1}, K_{0z_2}, K_{0z_3}$) для разложения функции $K_0(R)$. Определим переменные, с помощью которых целесообразно взвешивать последние ярусы функций $K_1(R), K_0(R)$. Найдем покрытия множеств функций $\{K_{1x_i}\}, \{K_{0x_i}\}$. Для этого построим обобщенные матрицы инцидентности (табл. 6.9, 6.10). Определим множества покрытий обобщенных

Таблица 6.9. Покрытие множеств $\{K_{1x_i}\}$

Функция	Импликанта	$\alpha_1 Z_1$	$\alpha_2 Z_2$	$\alpha_3 Z_3$	$\alpha_4 Z_4$
K_{1Z_1}	$\alpha_1 Z_1 \cdot \alpha_2 Z_2$	1	1	0	0
	$\alpha_2 Z_2 \cdot \alpha_4 Z_4$	0	1	0	1
K_{2Z_2}	$\alpha_1 Z_1 \cdot \alpha_3 Z_3$	1	0	1	0
	$\alpha_1 Z_1 \cdot \alpha_2 Z_2$	1	1	0	0
Сумма покрытий импликант		3	3	1	1

Таблица 6.10. Покрытие множеств $\{K_{0x_i}\}$

Функция	Импликанта	$\alpha_1 Z_1$	$\alpha_2 Z_2$	$\alpha_3 Z_3$	$\alpha_4 Z_4$
K_{0Z_1}	$\alpha_2 Z_2$	0	1	0	0
	$\alpha_2 Z_2 \cdot \alpha_3 Z_3$	0	1	1	0
K_{0Z_2}	$\alpha_2 Z_2 \cdot \alpha_4 Z_4$	0	1	0	1
	$\alpha_1 Z_1 \cdot \alpha_4 Z_4$	1	0	0	1
K_{0Z_3}	$\alpha_1 Z_1 \cdot \alpha_2 Z_2$	1	1	0	0
	$\alpha_1 Z_1 \cdot \alpha_2 Z_2 \cdot \alpha_3 Z_3$	1	1	1	0
Сумма покрытий импликант		3	5	2	2

матриц инцидентности. Минимальные покрытия данных матриц содержат наименьшее число элементов. Обобщим через Π_{1i}^* , Π_{0i}^* покрытия множеств $\{K_{1x_i}\}$, $\{K_{0x_i}\}$ на последнем ярусе. Найдем из табл. 6.9, 6.10 минимальные покрытия множеств $\{K_{1x_i}\}$, $\{K_{0x_i}\}$. Они будут иметь следующий вид. Для множества $\{K_{1x_i}\}$

$$\Pi_{11}^* = \{\alpha_1 Z_1, \alpha_2 Z_2\}, \Pi_{12}^* = \{\alpha_3 Z_3, \alpha_4 Z_4\},$$

для множества $\{K_{0x_i}\}$

$$\Pi_{01}^* = \{\alpha_1 Z_1, \alpha_2 Z_2, \alpha_3 Z_3\}, \Pi_{02}^* = \{\alpha_1 Z_1, \alpha_3 Z_3, \alpha_4 Z_4\}.$$

Определим число покрытий импликант функций K_{1x_i} , K_{0x_i} с помощью элементов, входящих в Π_{1i}^* , Π_{0i}^* , для чего построим табл. 6.11, 6.12. Выберем покрытие, имеющее минимальное число суммарных покрытий всех импликант. Таким покрытием является $\{\Pi_{12}^*, \Pi_{02}^*\}$ для взвешивания

Таблица 6.11. Покрытие импликант функции K_{1x_i} элементами, входящими в Π_{1i}^*

Функция	Импликанта	Π_{11}^*	Π_{12}^*
		$\alpha_1 Z_1$ $\alpha_2 Z_2$	$\alpha_3 Z_3$ $\alpha_4 Z_4$
K_{1z_1}	$\alpha_1 Z_1 \cdot \alpha_2 Z_2$	2	0
	$\alpha_2 Z_2 \cdot \alpha_4 Z_4$	1	1
Сумма покрытий импликант		3	1
K_{1z_2}	$\alpha_1 Z_1 \cdot \alpha_3 Z_3$	1	1
	$\alpha_1 Z_1 \cdot \alpha_2 Z_2$	1	0
Сумма покрытий импликант		2	1

Таблица 6.12. Покрытие импликант функций K_{0x_i} элементами, входящими в Π_{0i}^*

Функция	Импликанта	Π_{01}^*	Π_{02}^*
		$\alpha_1 Z_1$ $\alpha_2 Z_2$ $\alpha_3 Z_3$	$\alpha_1 Z_1$ $\alpha_3 Z_3$ $\alpha_4 Z_4$
K_{0z_1}	$\alpha_2 Z_2$	1	0
	$\alpha_2 Z_2 \cdot \alpha_3 Z_3$	2	1
Сумма покрытий импликант		3	1
K_{0z_2}	$\alpha_2 Z_2 \cdot \alpha_4 Z_4$	1	1
	$\alpha_1 Z_1 \cdot \alpha_4 Z_4$	1	2
Сумма покрытий импликант		2	3
K_{0z_3}	$\alpha_1 Z_1 \cdot \alpha_2 Z_2$	2	1
	$\alpha_1 Z_1 \cdot \alpha_2 Z_2 \cdot \alpha_3 Z_3$	3	2
Сумма покрытий импликант		5	3

последнего яруса. Примем в качестве покрытий, взвешивающих последние ярусы, Π_{12}^* и Π_{02}^* . Это означает, что данные покрытия нельзя применять на промежуточных ярусах, а можно использовать только тогда, когда множества вновь образованных функций будут взвешиваться только с помощью указанных переменных. Последнее будет означать, что процесс упорядочения функций $K_1(R)$ и $K_0(R)$ достиг последнего яруса.

Проведем разложение функций на втором ярусе. Для каждой функции K_{1x_i} , K_{0x_i} строим матрицы инцидентно-

сти, по которым определяем покрытия для взвешивания второго яруса. Но матрицы можно не строить, а использовать данные, приведенные в табл. 6.11, 6.12.

Определим следующие покрытия: для K_{1z_1}

$$(\Pi_{11})_{z_1} = \{\alpha_1 Z_1, \alpha_3 Z_3\}, (\Pi_{12})_{z_1} = \{\alpha_3 Z_3, \alpha_4 Z_4\},$$

для K_{1z_2}

$$(\Pi_{11})_{z_2} = \{\alpha_1 Z_1, \alpha_3 Z_3\}, (\Pi_{12})_{z_2} = \{\alpha_3 Z_3, \alpha_4 Z_4\}.$$

Видно, что $(\Pi_{11})_{z_1} = (\Pi_{11})_{z_2}$ и $(\Pi_{12})_{z_1} = (\Pi_{12})_{z_2}$.

Выберем в качестве покрытий, взвешивающих второй ярус, покрытия $(\Pi_{11})_{z_1} = (\Pi_{11})_{z_2} = \{\alpha_1 Z_1, \alpha_2 Z_2\}$. Покрытия $(\Pi_{12})_{z_1}$, $(\Pi_{12})_{z_2}$ применять не будем, так как посредством их элементов взвешивается последний ярус. Используя табл. 6.11 и 6.12, находим множества покрытий для функций K_{0z_1} , K_{0z_2} , K_{0z_3} . Для функции K_{0z_1}

$$(\Pi_{01})_{z_1} = \{(\alpha_2 Z_2)^2\}, (\Pi_{02})_{z_1} = \{\alpha_2 Z_2, \alpha_3 Z_3\},$$

для функции K_{0z_2}

$$(\Pi_{01})_{z_2} = \{\alpha_2 Z_2, \alpha_1 Z_1\}, (\Pi_{02})_{z_2} = \{\alpha_2 Z_2, \alpha_4 Z_4\},$$

$$(\Pi_{03})_{z_2} = \{\alpha_4 Z_4, \alpha_1 Z_1\}, (\Pi_{04})_{z_2} = \{(\alpha_4 Z_4)^2\},$$

для функции K_{0z_3}

$$(\Pi_{01})_{z_3} = \{(\alpha_1 Z_1)^2\}, (\Pi_{02})_{z_3} = \{\alpha_1 Z_1, \alpha_2 Z_2\},$$

$$(\Pi_{03})_{z_3} = \{\alpha_1 Z_1, \alpha_3 Z_3\},$$

$$(\Pi_{04})_{z_3} = \{\alpha_2 Z_2, \alpha_1 Z_1\}, (\Pi_{05})_{z_3} = \{(\alpha_2 Z_2)^2\},$$

$$(\Pi_{06})_{z_3} = \{\alpha_2 Z_2, \alpha_3 Z_3\}.$$

В качестве покрытий, взвешивающих второй ярус функции K_{0x_i} , выберем

$$(\Pi_{02})_{z_1} = \{\alpha_2 Z_2, \alpha_3 Z_3\}, (\Pi_{03})_{z_2} = \{\alpha_4 Z_4, \alpha_1 Z_1\},$$

$$(\Pi_{04})_{z_3} = \{\alpha_2 Z_2, \alpha_1 Z_1\}.$$

Эти покрытия $((\Pi_{02})_{z_1}, (\Pi_{03})_{z_2}, (\Pi_{04})_{z_3})$ позволяют симметризовать функцию работоспособности по отношению к переменным $\{\alpha_1 Z_1, \alpha_2 Z_2\}$.

Разложим функции K_{1z_1} , K_{1z_2} по переменным $\{\alpha_2 Z_2\}$:

$$K_{1z_1} = \alpha_1 Z_1 (\alpha_2 z_2) + \alpha_2 Z_2 (\alpha_4 Z_4) = \alpha_1 Z_1 K_{1z_1 \alpha_1 Z_1} + \alpha_2 Z_2 K_{1z_1 \alpha_2 Z_2}, \quad (6.48)$$

$$K_{1z_2} = \alpha_3 Z_3 (\alpha_1 Z_1) + \alpha_2 Z_2 (\alpha_1 Z_1) = \alpha_3 Z_3 K_{1z_2 \alpha_3 Z_3} + \alpha_2 Z_2 K_{1z_2 \alpha_2 Z_2}, \quad (6.49)$$

где

$$K_{1z_1 \alpha_1 z_1} = \alpha_2 Z_2; \quad K_{1z_1 \alpha_2 z_2} = \alpha_4 Z_4; \\ K_{1z_2 \alpha_3 z_3} = \alpha_1 Z_1; \quad K_{1z_2 \alpha_2 z_2} = \alpha_1 Z_1.$$

Из приведенных результатов видно, что все функции вышли на последний ярус.

Разложим функции K_{0z_1} , K_{0z_2} , K_{0z_3} соответственно по переменным $(\Pi_{02})_{z_1} = \{\alpha_2 Z_2, \alpha_3 Z_3\}$, $(\Pi_{03})_{z_2} = \{\alpha_4 Z_4, \alpha_1 Z_1\}$, $(\Pi_{04})_{z_3} = \{\alpha_2 Z_2, \alpha_1 Z_1\}$. Отметим, что все импликанты для всех функций покрываются только один раз. Получим следующие разложения функций:

$$K_{0z_1} = \alpha_2 Z_2 + \alpha_3 Z_3 (\alpha_2 Z_2) = \alpha_2 Z_2 K_{0z_1 \alpha_2 z_2} + \alpha_3 Z_3 K_{0z_1 \alpha_3 z_3}, \quad (6.50)$$

$$K_{0z_2} = \alpha_4 Z_4 (\alpha_2 Z_2) + \alpha_1 Z_1 (\alpha_4 Z_4) = \alpha_4 Z_4 K_{0z_2 \alpha_4 z_4} + \alpha_1 Z_1 K_{0z_2 \alpha_1 z_1}, \quad (6.51)$$

$$K_{0z_3} = \alpha_2 Z_2 (\alpha_1, Z_1) + \alpha_1 Z_1 (\alpha_2 Z_2 \alpha_3 Z_3) = \alpha_2 Z_2 K_{0z_3 \alpha_2 z_2} + \alpha_1 Z_1 K_{0z_3 \alpha_1 z_1}. \quad (6.52)$$

Здесь

$$K_{0z_1 \alpha_2 z_2} = 1; \quad K_{0z_1 \alpha_3 z_3} = \alpha_2 Z_2; \quad K_{0z_2 \alpha_4 z_4} = \alpha_2 Z_2; \\ K_{0z_2 \alpha_1 z_1} = \alpha_4 Z_4; \quad K_{0z_3 \alpha_2 z_2} = \alpha_1 Z_1; \quad K_{0z_3 \alpha_1 z_1} = \alpha_2 Z_2 \alpha_3 Z_3.$$

Как следует из приведенных результатов, все функции, за исключением $K_{0z_3 \alpha_1 z_1}$, вышли на последний ярус, а функция $K_{0z_1 \alpha_2 z_2}$ уже достигла последнего яруса, о чем свидетельствует значение этой функции, равное единице.

Для функции $K_{0z_3 \alpha_1 z_1}$ существует четыре яруса. На третьем ярусе функция примет вид

$$K_{0z_3 \alpha_1 z_1} = \alpha_2 Z_2 (\alpha_3 Z_3) = \alpha_2 Z_2 K_{0z_3},$$

где

$$K_{0z_3 \alpha_1 z_1 \alpha_2 z_2} = \alpha_3 Z_3.$$

Следовательно, третий ярус взвешивается переменной $\alpha_2 Z_2$, а четвертый — $\alpha_3 Z_3$.

Запишем выражения для функций $K_1(R)$, $K_0(R)$:

$$\begin{aligned} K_1(R) &= \alpha_3 Z_3 K_{1z_1} + \alpha_4 Z_4 K_{1z_2} = \alpha_3 Z_3 (\alpha_1 Z_1 K_{1z_1 \alpha_1 z_1} + \\ &+ \alpha_2 Z_2 K_{1z_1 \alpha_2 z_2}) + \alpha_4 Z_4 (\alpha_3 Z_3 K_{1z_2 \alpha_3 z_3} + \alpha_2 Z_2 K_{1z_2 \alpha_2 z_2}) = \\ &= \alpha_3 Z_3 (\alpha_1 Z_1 \alpha_2 Z_2 + \alpha_2 Z_2 \alpha_4 Z_4) + \alpha_4 Z_4 (\alpha_3 Z_3 \alpha_1 Z_1 + \alpha_2 Z_2 \alpha_1 Z_1), \end{aligned} \quad (6.53)$$

$$\begin{aligned} K_0(R) &= \alpha_1 Z_1 K_{0z_1} + \alpha_3 Z_3 K_{0z_2} + \alpha_4 Z_4 K_{0z_3} = \\ &= \alpha_1 Z_1 (\alpha_2 Z_2 K_{0z_1 \alpha_2 z_2} + \alpha_3 Z_3 K_{0z_1 \alpha_3 z_3}) + \alpha_3 Z_3 (\alpha_4 Z_4 K_{0z_2 \alpha_4 z_4} + \\ &+ \alpha_1 Z_1 K_{0z_2 \alpha_1 z_1}) + \alpha_4 Z_4 (\alpha_2 Z_2 K_{0z_3 \alpha_2 z_2}) + \alpha_1 Z_1 K_{0z_3 \alpha_1 z_1} = \\ &= \alpha_1 Z_1 (\alpha_2 Z_2 + \alpha_3 Z_3 K_{0z_1 \alpha_3 z_3}) + \alpha_3 Z_3 (\alpha_4 Z_4 K_{0z_2 \alpha_4 z_4} + \\ &+ \alpha_1 Z_1 K_{0z_2 \alpha_2 z_2}) + \alpha_4 Z_4 [\alpha_2 Z_2 K_{0z_3 \alpha_2 z_2} + \alpha_1 Z_1 (\alpha_2 Z_2 K_{0z_3 \alpha_1 z_1 \alpha_2 z_2})] = \\ &= \alpha_1 Z_1 (\alpha_2 Z_2 + \alpha_3 Z_3 \alpha_2 Z_2) + \alpha_3 Z_3 (\alpha_4 Z_4 \alpha_2 Z_2 + \alpha_1 Z_1 \alpha_4 Z_4) + \\ &+ \alpha_4 Z_4 (\alpha_2 Z_2 \alpha_1 Z_1) + \alpha_1 Z_1 (\alpha_2 Z_2 \alpha_3 Z_3) = \alpha_1 Z_1 \alpha_2 Z_2 (1 + \alpha_3 Z_3) + \\ &+ \alpha_3 Z_3 \alpha_4 Z_4 (\alpha_2 Z_2 + \alpha_1 Z_1) + \alpha_4 Z_4 \alpha_2 Z_2 \alpha_1 Z_1 (1 + \alpha_3 Z_3) = \\ &= (1 + \alpha_3 Z_3) (\alpha_1 Z_1 \alpha_2 Z_2 + \alpha_4 Z_4 \alpha_2 Z_2 \alpha_1 Z_1) + \alpha_3 Z_3 \alpha_4 Z_4 \times \\ &\times (\alpha_2 Z_2 + \alpha_1 Z_1) = (1 + \alpha_3 Z_3) (1 + \alpha_4 Z_4) \alpha_1 Z_1 \alpha_2 Z_2 + \\ &+ \alpha_3 Z_3 \alpha_4 Z_4 (\alpha_2 Z_2 + \alpha_1 Z_1). \end{aligned} \quad (6.54)$$

На основе полученных результатов запишем РЛФ для функции работоспособности:

$$\begin{aligned} R &= K_1(R) + K_0(R) = \alpha_3 Z_3 \alpha_2 Z_2 (\alpha_1 Z_1 + \alpha_4 Z_4) + \\ &+ \alpha_4 Z_4 \alpha_1 Z_1 (\alpha_3 Z_3 + \alpha_2 Z_2) + (1 + \alpha_3 Z_3) (1 + \alpha_4 Z_4) \alpha_1 Z_1 \alpha_2 Z_2 + \\ &+ \alpha_3 Z_3 \alpha_4 Z_4 (\alpha_2 Z_2 + \alpha_1 Z_1). \end{aligned} \quad (6.55)$$

Формула (6.55) является оптимальной для функции работоспособности (6.38).

Разработка алгоритмов для определения весовых коэффициентов входа. Метод предусматривает представление образа изделий в виде набора двоичных чисел. Решение о классе микросхем можно записать в двоичной форме

$$R \equiv \begin{cases} 1, & \text{если изделие принадлежит к классу } K_1, \\ 0, & \text{если изделие принадлежит к классу } K_2. \end{cases} \quad (6.56)$$

Здесь R — параметр (функция), характеризующий принадлежность изделия к классу K_s ($s=1, 2$) на момент времени $t_{\text{пр}}$ (заданное время прогнозирования).

При разделении на большее число классов может быть использовано несколько функций R_s , каждая из которых принимает значение единицы при S -м классе и нуля при любом другом. Однако на практике иногда необходимо подразделить микросхемы лишь на два класса (класс годных (K_1) и класс дефектных (K_2)). Поэтому в приведенных ниже соотношениях чаще принимают $S=2$.

Информативные признаки X_1, X_2, \dots, X_k изделия преобразуются во входные двоичные сигналы Z_1, Z_2, \dots, Z_k с помощью соотношения

$$Z_i = \begin{cases} 1, & \text{если } X_i \geq X_{i0}, \\ 0, & \text{если } X_i < X_{i0}, \end{cases} \quad (6.57)$$

где X_{i0} — некоторое пороговое значение i -го информативного признака, $i=1, 2, \dots, k$.

В качестве веса i -го входа в выражении (6.38) использована величина [148]

$$\alpha_i = |r_i(t_{\text{пр}})|. \quad (6.58)$$

Здесь $r_i(t_{\text{пр}})$ — коэффициент корреляции между i -м информативным признаком и уровнем работоспособности ИМС данного типа на момент времени $t_{\text{пр}}$.

Коэффициент корреляции $r_i(t_{\text{пр}})$ определяют с помощью известного способа с учетом непрерывного характера информативного признака X_i . В качестве $r_i(t_{\text{пр}})$ служит коэффициент корреляции между i -м признаком и классом изделия K_s или коэффициент корреляции между i -м входным сигналом и классом изделия K_s в случае, если корреляционную обработку проводят после выбора пороговых уровней признаков. Основной недостаток этого алгоритма — необходимость постоянно иметь коэффициенты корреляции, вычисление которых представляет собой трудоемкий процесс, так как для каждого типа микросхем при определенных условиях эксплуатации необходимо находить свои значения $r_i(t_{\text{пр}})$.

В качестве веса i -го входа сигнала используем оценку условий вероятности принадлежности изделия к классу $K = P_{K_i/Z_i=1}$ с учетом, что i -й входной двоичный сигнал принял значение, равное единице ($Z_i=1$). Эту

оценку можно представить так:

$$\hat{P}_{K_1/Z_i=1} = \frac{n_{K_1/Z_i=1}}{n_{Z_i=1}}, \quad (6.59)$$

где $n_{K_1/Z_i=1}$ — число изделий класса K_1 в обучающей выборке, для которых i -й входной двоичный сигнал, определяемый выражением (6.57), принял значение, равное единице, т. е. $Z_i = 1$; $n_{Z_i=1}$ — общее число изделий в выборке, для которых $Z_i = 1$.

В данном случае алгоритм прогнозирования можно записать в виде

$$R = \sum_{i=1}^n \prod_{\substack{j=1 \\ j \neq i}}^k P_{(K_1/Z_i=1)(Z_j)} + \prod_{j=1}^k P_{(K_1/Z_i=1)(Z_j)}. \quad (6.60)$$

Недостаток отмеченного алгоритма состоит в том, что принимаются во внимание веса сигналов, имеющих $Z_i = 1$, хотя входные сигналы, для которых $Z_i = 0$, также оказывают воздействие суммарного веса W .

Учет этого влияния на величину $Z_i = 0$ осуществим следующим образом. Из системы неравенств (6.57) вытекает, что существуют две несовместимые гипотезы ($\Gamma_i^{(1)}$ и $\Gamma_i^{(0)}$), согласно которым может не выполняться условие вида $X_i \leq X_{i0}$. Положим, что гипотеза $\Gamma_i^{(0)}$ справедлива в случае выполнения условия $X_i \leq X_{i0}$, а гипотеза $\Gamma_i^{(1)}$ — в случае $X_i \geq X_{i0}$. Тогда

$$P_{\Gamma_i^{(1)}/Z_i=1} = 1, \quad P_{\Gamma_i^{(0)}/Z_i=0} = 1.$$

Величину суммарного весового коэффициента определим из выражения

$$W = \sum_{i=1}^k P_{\Gamma_i^{(0)}} P_{K_1/\Gamma_i^{(0)}}. \quad (6.61)$$

Здесь $P_{\Gamma_i^{(\xi)}}$ — вероятность ξ -й гипотезы для i -го признака ($\xi = 1, 0$); $P_{K_1/\Gamma_i^{(\xi)}}$ — условная вероятность принадлежности изделия к классу K_1 при условии, что ξ -я гипотеза подтвердилась.

В результате имеем

$$P_{K_1/\Gamma_i^{(\xi)}} = P_{K_1/Z_i=\xi}.$$

Для учета веса входных сигналов, характеризующихся $Z_i=0$, используем оценки вероятностей $P_{K_1/Z_i=0}$, которые определяем из выражения

$$\hat{P}_{K_1/Z_i=0} = \frac{n_{K_1/Z_i=0}}{n_{Z_i=0}}, \quad (6.62)$$

где $n_{K_1/Z_i=0}$ — число изделий класса K_1 в обучающей выборке, для которых $Z_i=0$; $n_{Z_i=0}$ — общее число изделий в выборке, для которых $Z_i=0$.

Алгоритм прогнозирования в этом случае имеет вид

$$R = \sum_{i=1}^n \prod_{\substack{j=1 \\ i \neq j}}^k P_{\Gamma_i^{(\xi)}} P_{(K_1/Z_i=\xi)(Z_j)} + \prod_{j=1}^k P_{\Gamma_i^{(\xi)}} P_{(K_1/Z_i=\xi)(Z_j)}. \quad (6.63)$$

Алгоритм (6.63) дает лучшие результаты, чем алгоритм (6.60), так как в нем кроме весов сигналов $Z_i=1$ учтены и веса сигналов $Z_i=0$.

Разработка алгоритмов для определения пороговых уровней и корреляции. Алгоритмы прогнозирования для метода оптимальной логической формулы (6.42), (6.45), (6.60), (6.62) предполагают выбор пороговых значений $x_{10}, x_{20}, \dots, x_{k0}$ информативных признаков X_1, X_2, \dots, X_k , которые во многом определяются риском изготовителя P_{12} и риском потребителя P_{21} . В данном случае риск изготовителя — это условная вероятность того, что микросхема принадлежит к классу K_1 при условии, что принято решение отнести ее к классу K_2 , а риск потребителя — условная вероятность того, что ИМС принадлежит к классу K_2 при решении отнести ее к классу K_1 .

Пороговые уровни $x_{10}, x_{20}, \dots, x_{k0}$ информативных параметров X_1, X_2, \dots, X_k получаем из условия равенства в точках $X_i=X_{i0}$ ($i=1, 2, \dots, k$) значений функций плотностей вероятностей каждого признака в классах K_1, K_2 . Значения x_{i0} i -го признака находим из уравнения

$$f(X_i/K_1) = f(X_i/K_2). \quad (6.64)$$

Здесь $f(X_i/K_1)$ — условные функции плотностей вероятностей $f(X_i/K_2)$ i -го признака в классах K_1, K_2 (рис. 6.13).

Предположив нормальность распределения i -го признака в классах K_1 и K_2 , можно легко определить пороговое значение указанного признака:

$$x_{i0} = \{m_2 D_1 + m_1 D_2 \pm \sqrt{D_1 D_2 (m_1 - m_2)^2 + 2 D_1 D_2 (D_2 - D_1) \ln \sqrt{D_2 / D_1}}\} \times \{D_1 - D_2\}^{-1}, \quad (6.65)$$

где m_1, D_1 и m_2, D_2 — математическое ожидание и дисперсия i -го признака в классах K_1 и K_2 соответственно.

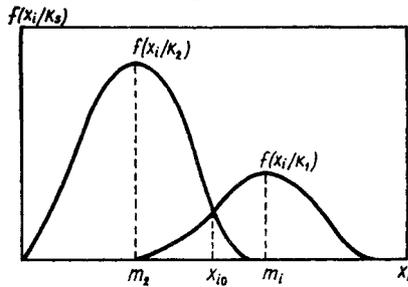


Рис. 6.13. Условные функции плотностей вероятностей для классов K_1 и K_2

В случае равенства дисперсий ($D_1 \approx D_2$) величину x_{i0} рассчитываем согласно формуле

$$x_{i0} = \frac{m_1 + m_2}{2}, \quad (6.66)$$

т. е. она является средней точкой между математическими ожиданиями i -го признака в классах K_1, K_2 .

Недостатки приведенного метода нахождения величины порогового значения i -го признака: возможность применения лишь в предположении нормальности распределения данного признака; наличие трудностей при определении функций плотностей вероятностей $f(X_i/K_1), f(X_i/K_2)$; метод не обеспечивает минимальную величину среднего риска. Поэтому в практических приложениях он малопригоден. Рекомендуется применять метод, основанный на использовании вероятности ошибок:

$$P_{\text{ош}} = \frac{n_{K_2/\text{реш}K_1} + n_{K_1/\text{реш}K_1}}{n} \quad (6.67)$$

и вероятности принятия правильных решений:

$$P_{\text{прав}} = 1 - P_{\text{ош}} = \frac{n_{\text{реш}K_1/K_1} + n_{\text{реш}K_2/K_2}}{n}. \quad (6.68)$$

Здесь $n_{\text{реш}K_1/K_1}$ и $n_{\text{реш}K_2/K_2}$ — число верных решений об отнесении экземпляров к классам K_1 и K_2 соответственно; $n_{K_2/\text{реш}K_1}$, $n_{K_1/\text{реш}K_2}$ — число ошибочных решений, заключающихся в отнесении экземпляров класса K_2 в K_1 и K_1 в K_2 соответственно.

Величину порогового уровня i -го признака можно определить путем просчета нескольких вариантов и выбором такого x_{i0} , при котором

$$P_{\text{ош}} \rightarrow \min, \quad P_{\text{прав}} \rightarrow \max. \quad (6.69)$$

6.3.4. Инженерная методика индивидуального прогнозирования работоспособности микросхем памяти с использованием алгоритма прогнозирования с помощью метода оптимальной логической формулы

Исходные данные. Рекомендуемый метод индивидуального прогнозирования работоспособности ИМС базируется на теории распознавания образов с использованием информативных признаков изделий, т. е. параметров, вероятностно связанных с работоспособностью. Будем исходить из предположения, что информативные признаки известны априорно или определены путем проведения предварительных исследований.

Порядок выполнения основных операций рекомендуемого метода индивидуального прогнозирования следующий: подготовка и проведение обучающего эксперимента; обучение — принятие по алгоритму прогнозирования решения о принадлежности изделий обучающей выборки к классу стойких (K_1) или дефектных (K_2) изделий; экзамен (количественная оценка результатов обучения); индивидуальное прогнозирование новых экземпляров, не участвующих в обучающем эксперименте.

Обучающий эксперимент заключается в испытании в определенном имитационном режиме n экземпляров исследуемых микросхем в течение заданного времени прогнозирования $t_{\text{пр}}$ и нахождении фактического состояния каждого экземпляра к моменту времени $t_{\text{пр}}$. Цель обучающего эксперимента — получение массива исходных

данных, необходимых для обучения. Испытания ИС в обучающем эксперименте с целью сокращения времени испытаний должны быть имитационными форсированными. При использовании форсированных испытаний необходимо, чтобы не нарушалось условие автомодельности (физики отказов).

Для выполнения обучения и прогнозирования работоспособности микросхем памяти применяют эвристический алгоритм, основанный на определении оптимальной логической формулы работоспособности. Общий вид алгоритма прогнозирования для исследуемого метода выражают с помощью формулы

$$R = \sum_{i=1, j=1}^n \left(\prod_{i=1}^k \alpha_i Z_i \cdot \alpha_j Z_j \right), \quad (6.70)$$

где R — параметр работоспособности на момент времени; $t_{пр}$ — заданное время прогнозирования; $Z_i(j)$ — двоичные входы изделия, отражающие информативные признаки изделия X_1, X_2, \dots, X_k ; $\alpha_i(j)$ — веса входа, взятые с учетом значений входных двоичных сигналов $Z_i, i=1, 2, \dots, k$.

Обучение заключается в обработке обучающего эксперимента по алгоритму прогнозирования и определении прогнозируемого состояния каждого из n экземпляров к моменту $t_{пр}$. Экзамен состоит в оценке ошибки прогнозирования и проверке соответствия величины ошибки предъявляемым требованиям. Если величина ошибки согласуется с установленными требованиями, то используемый оператор можно рекомендовать для прогнозирования состояния новых экземпляров, не участвовавших в обучающем эксперименте. В случае, когда ошибки прогнозирования велики, применяют разные способы повышения точности прогнозирования. Разработчики методики исходят из необходимости обеспечения по результатам прогнозирования допустимого риска потребителя P_{21} и получения при этом условия минимального значения риска изготовителя P_{12} . Прогнозирование работоспособности заключается в контроле признаков, преобразовании их во входные сигналы и принятии решения о принадлежности изделия к классу K_1 или K_2 .

Подготовка и проведение обучающего эксперимента. Путем предварительных исследований или из априорных сведений выбирают совокупность признаков X_1, X_2, \dots, X_k .

Необходимо стремиться к выбору совокупности взаимно некоррелированных признаков.

С целью получения в дальнейшем простых логических таблиц для прогнозирования рекомендуют число признаков k ограничивать величиной $k \leq 5 \dots 6$. Уточняют требования в отношении допустимого риска потребителя P_{21} , риска изготовителя P_{12} и времени $t_{пр}$, на которое прогнозируется работоспособность ИС. Определяют объем обучающей выборки для проведения обучающего эксперимента. Объем выборки n следует принимать из условия $n \geq 3k$ и обеспечения с выбранной доверительной вероятностью β допустимой относительной ошибки ΔP от замены вероятностей P ее оценками \hat{P} . Выбор величины n , необходимой для обеспечения допустимой ошибки ΔP , в зависимости от доверительной вероятности β , рекомендуют проводить согласно табл. 6.13. Из двух значений, удовлетворяющих данным условиям, в качестве требуемого объема выборки принимают большее значение величины n .

Для выполнения обучающего эксперимента случайным образом из одной и той же партии отбирают n изделий. У каждого изделия перед испытанием измеряют значения признаков X_1, X_2, \dots, X_k . На основе анализа работы микросхем памяти и режима испытаний проводят выбор критериев отказа ИС. Микросхемы ставят на испытание в одинаковом для всех режиме и исследуют в течение времени t_0 , эквивалентного заданной работоспособности. Неотказавшие на момент времени изделия следует считать принадлежащими к классу K_2 , отказавшие — к K_1 . Массив исходных данных, полученный в результате обучающего эксперимента, рекомендуют представлять в виде табл. 6.14.

Обучение. На этапе обучения необходимо определить средние значения признаков в классах K_1, K_2 ; пороговые

Т а б л и ц а 6.13. Данные для определения объема выборки

Относительная ошибка ΔP , %	Доверительная вероятность β				
	0,80	0,85	0,90	0,95	0,99
50	7	9	11	16	17
40	11	13	17	24	42
30	19	23	30	43	74
20	41	52	68	96	166
10	165	207	270	384	664

Таблица 6.14. Результаты обучающего эксперимента

Номер эк- сперимента	Значения признаков j -го экземпляра				Класс экземпляра
	X_1	X_2	...	X_k	
1	$X_1^{(1)}$	$X_2^{(1)}$...	$X_k^{(1)}$	$K_s^{(1)}$
2	$X_1^{(2)}$	$X_2^{(2)}$...	$X_k^{(2)}$	$K_s^{(2)}$
...
j	$X_1^{(j)}$	$X_2^{(j)}$...	$X_k^{(j)}$	$K_s^{(j)}$
...
n	$X_1^{(n)}$	$X_2^{(n)}$...	$X_k^{(n)}$	$K_s^{(n)}$

уровни признаков X_{i0} , $i=1, 2, \dots, k$; входные двоичные сигналы Z_1, Z_2, \dots, Z_k , соответствующие измеренным в начальный момент времени значениям признаков X_1, X_2, \dots, X_k для каждой микросхемы обучающей выборки; веса признаков $\alpha_i(Z_i)$, соответствующие входным двоичным сигналам $Z_i=1$ и $Z_i=0$; принадлежность каждой микросхемы обучающей выборки к классу K_s , $s=1, 2$, по прогнозу с использованием алгоритма прогнозирования. Обучение необходимо вести в следующем порядке.

1. Подсчитывают средние значения i -го признака в классах K_1, K_2 по формуле

$$m_{is} = \frac{1}{n_s} \sum_{l=1}^{n_s} X_{is}^{(l)}, \quad (6.71)$$

где m_{is} — среднее значение i -го признака в S -м классе, $S=1, 2$; X_{is} — значение i -го признака в S -м классе для l -го экземпляра; n_s — число изделий класса K_s в обучающей выборке, $S=1, 2$.

2. Выполняют преобразование значений признаков микросхем во входные двоичные сигналы (лог. «0», лог. «1») с помощью следующих соотношений: при $m_{i1} > m_{i2}$

$$\begin{aligned} Z_i &= 1, \quad \text{если } X_i \geq X_{i0}, \\ Z_i &= 0, \quad \text{если } X_i < X_{i0}, \end{aligned} \quad (6.72)$$

при $m_{i1} < m_{i2}$

$$\begin{aligned} Z_i &= 1, \quad \text{если } X_i \leq X_{i0}, \\ Z_i &= 0, \quad \text{если } X_i > X_{i0}. \end{aligned} \quad (6.73)$$

Таблица 6.15. Результаты преобразования признаков во входные двоичные сигналы

Номер экземпляра	Класс экземпляра	Значение входного двоичного сигнала при пороговом уровне			
		X_{i1}	X_{i2}	...	X_{ia}
1	$K_s^{(1)}$	$Z_{i2}^{(1)}$	$Z_{i2}^{(1)}$...	$Z_{ia}^{(1)}$
2	$K_s^{(2)}$	$Z_{i1}^{(2)}$	$Z_{i2}^{(2)}$...	$Z_{ia}^{(2)}$
...
j	$K_s^{(j)}$	$Z_{i1}^{(j)}$	$Z_{i2}^{(j)}$...	$Z_{ia}^{(j)}$
...
n	$K_s^{(n)}$	$Z_{i1}^{(n)}$	$Z_{i2}^{(n)}$...	$Z_{ia}^{(n)}$

3. Задают для определения порогового уровня X_{i0} 5...10 точек X_{ig} , $g=1, 2, \dots, a$, лежащих между значениями математических ожиданий m_{i1} и m_{i2} .

4. Выполняют для каждого j -го экземпляра обучающей выборки в точках X_{ig} , $g=1, 2, \dots, a$, с использованием формул (6.72), (6.73) преобразование признаков во входные двоичные сигналы (табл. 6.15).

5. По данным табл. 6.15, для каждой точки X_{ig} , $g=1, 2, \dots, a$, подсчитывают следующие величины: $n_{\text{реш } 1/K_1}$ — число решений $Z_i = 1$, принимаемых согласно условиям (6.72) и (6.73), для микросхем класса K_1 ; $n_{\text{реш } 0/K_2}$ — число решений $Z_i = 0$, принимаемых согласно выражениям (6.72) и (6.73) для микросхем класса K_2 .

6. Для каждой X_{ig} , $g=1, 2, \dots, a$, рассчитывают оценку вероятности принятия правильных решений по формуле

$$P_{\text{прав}} = \frac{n_{\text{реш } 1/K_1} + n_{\text{реш } 0/K_2}}{n} \quad (6.74)$$

7. Значения величин $n_{\text{реш } 1/K_1}$, $n_{\text{реш } 0/K_2}$ и оценки вероятностей $P_{\text{прав}}$ вносят в табл. 6.16.

8. Из табл. 6.16 в качестве оптимального порогового уровня X_{i0} -го признака выбирают такое значение X_{ig} , при котором оценка вероятности $P_{\text{прав}}$ принимает максимальное значение. При равенстве величины $P_{\text{прав}}$ для нескольких точек X_{ig} в качестве порогового уровня X_{i0} принимают значение X_{ig} , соответствующее максимуму величины $n_{\text{реш } 0/K_2}$.

Т а б л и ц а 6.16. Данные для определения порогового уровня

Определяемая характеристика	Значения характеристики при пороговом уровне			
	X_{i1}	X_{i2}	...	X_{ia}
$n_{\text{реш } 1/K}$				
$n_{\text{реш } 0/K}$				
$P_{\text{прав}}$				

9. Для выбранного значения X_{i0} подсчитывают оценки условных вероятностей принадлежности микросхемы к классу K_1 при условии, что входной двоичный сигнал Z_i принял значение $Z_i=1$ или $Z_i=0$. Эти оценки используют затем в качестве весов входных двоичных сигналов. Расчет выполняют по формулам

$$P_{K_1/Z_i=1} = \frac{n_{\text{реш } 1/K_1}}{n_{\text{реш } 1}}, \quad (6.75)$$

$$P_{K_1/Z_i=0} = \frac{n_{\text{реш } 0/K_1}}{n_{\text{реш } 0}}. \quad (6.76)$$

Здесь $n_{\text{реш } 0/K_1}$ — число решений $Z_i = 0$, принимаемых, согласно условиям (6.71) и (6.72), для микросхем класса K_1 , $n_{\text{реш } 0/K_1} = n_1 - n_{\text{реш } 1/K_1}$; $n_{\text{реш } 1/K_1}$ — число решений $Z_i = 1$, принимаемых, согласно выражениям (6.72) и (6.73), для каждой микросхемы класса K_1 ; $n_{\text{реш } 1}$, $n_{\text{реш } 0}$ — общее число решений в обучающей выборке по условиям (6.72) и (6.73) соответственно $Z_i = 1$ и $Z_i = 0$.

Пункты 1—9 повторяются для остальных $k-1$ признаков.

10. Для принятия решений о принадлежности микросхем обучающей выборки к классам K_1, K_2 по прогнозу используют эвристический алгоритм, определяемый соотношением:

$$R \equiv 1, \text{ если } \sum_{i=1, j=0}^n \left(\prod_{i=1, j=0}^k \alpha_i Z_i \cdot \alpha_j Z_j \right) \geq P_0,$$

$$R \equiv 0, \text{ если } \sum_{i=1, j=0}^n \left(\prod_{i=1, j=0}^k \alpha_i Z_i \cdot \alpha_j Z_j \right) < P_0, \quad (6.77)$$

где R — двоичный сигнал (пороговая функция), равный единице и нулю для классов K_1 и K_2 соответственно; P_0 — критерий разделения микросхем на фактические классы:

$$P_0 = \frac{\sum_{i=1, j=0}^n \left(\prod_{i=1, j=0}^k \alpha_i Z_i \cdot \alpha_j Z_j \right)}{k};$$

k — число входных двоичных сигналов, равное числу признаков для i -го экземпляра.

11. Вычисляют значения величины $\sum_{i=1, j=1}^n \left(\prod_{i=1, j=1}^k \alpha_i Z_i \times \alpha_j Z_j \right)$ для микросхем обучающей выборки. При нахождении суммы $\sum P_{K_i/Z_i}$ значения вероятностей P_{K_i/Z_i} необходимо выбирать в зависимости от того, какой входной двоичный сигнал соответствует i -му признаку. Результаты расчета вносят в табл. 6.17.

12. С целью определения критерия разделения P_0 , соответствующего допустимому значению риска потребителя, следует задаться несколькими значениями P_0 в диапазоне изменения суммы $\sum_{i=1, j=1}^n \left(\prod_{i=1, j=1}^k \alpha_i Z_i \cdot \alpha_j Z_j \right)$ и для каждого из них принять решение об отнесении микросхем обучающей выборки к классу K_1 или K_2 . Результаты вносят в табл. 6.17.

Экзамен. Для количественной оценки результатов обучения на этапе экзамена вычисляют риск потребителя P_{21} , риск изготовителя P_{12} , вероятность правильного распознавания $P_{\text{прав}}$ и априорную вероятность принятия решений об отнесении экземпляра к классу $K_{1-P_{\text{реш } K_1}}$.

По данным табл. 6.18 рассчитывают следующие величины: $n_{\text{реш } K_s}$ — общее число решений, принимаемых об отнесении экземпляров к классу K_s , $s = 1, 2$; $n_{K_r/\text{реш } K_t}$ — число ошибочных решений, заключающихся в отнесении экземпляров классов K_r и K_t ($P = 1, 2$; $t = 1, 2$; $P \neq t$).

Таблица 6.17. Результаты отнесения ИС обучающей выборки к классу K_1 или K_2

Номер экземпляра	Фактический класс	Значения входных сигналов при $X_i = X_{i0}$				Значение величины $\sum_{i=1, j=1}^n \left(\prod_{i=1, j=1}^k \alpha_i Z_i \times \alpha_j Z_j \right)$	Класс j -го изделя по прогнозу для значений			
		Z_1	Z_2	...	Z_k		P_{01}	P_{02}	P_{03}	...
1	$K_s^{(1)}$									
2	$K_s^{(2)}$									
...	...									
j	$K_s^{(j)}$									
...	...									
n	$K_s^{(n)}$									

Таблица 6.18. Результаты решений об отнесении экземпляров к классу K_s и числу ошибочных решений

Характеристика	Значение характеристики P_0			
	$P_0 = P_1$	$P_0 = P_2$	$P_0 = P_3$...
$n_{\text{реш } K_1}$				
$n_{\text{реш } K_2}$				
$n_{K_2/\text{реш } K_1}$				
$n_{K_1/\text{реш } K_2}$				
$P_{\text{реш } K_1}$				
$P_{K_2/\text{реш } K_1}$				
$P_{K_1/\text{реш } K_2}$				
$P_{\text{прав}}$				

Результаты вычисления вносят в табл. 6.18 и по этим данным рассчитывают значения P_{21} , P_{12} , $P_{\text{прав}}$, $P_{\text{реш } K_1}$ по формулам

$$P_{21} = P_{K_2/\text{реш } K_1} = \frac{n_{K_2/\text{реш } K_1}}{n_{\text{реш } K_1}}, \quad (6.78)$$

$$P_{12} = P_{K_1/\text{реш } K_2} = \frac{n_{K_1/\text{реш } K_2}}{n_{\text{реш } K_2}}, \quad (6.79)$$

$$P_{\text{прав}} = 1 - \frac{n_{\text{реш } K_2/K_1} + n_{\text{реш } K_1/K_2}}{n}, \quad (6.80)$$

Таблица 6.19. Логическая таблица

Номер комбинации	Входные двоичные сигналы				Значение величины $\sum_{i=1, j=1}^k \left(\prod_{i=1, j=1}^n \alpha_i Z_i \times \alpha_j Z_j \right)$	Класс по прогнозу
	Z_1	Z_2	...	Z_k		
1						K_s
2						K_s
3						K_s

$$P_{\text{реш } K_1} = \frac{n_{\text{реш } K_1}}{n}. \quad (6.81)$$

Значения величин P_{21} , P_{12} , $P_{\text{прав}}$, $P_{\text{реш } K_1}$ вносят в табл. 6.18 и по ним выбирают для алгоритма прогнозирования такое значение критерия разделения P_0 , при котором требования, заданные относительно величин P_{21} и P_{12} , выполняются. Если при допустимом риске потребителя P_{21} требование относительно риска изготовителя P_{12} не выполняется, то следует изменить пороговые уровни признаков (одного или нескольких) таким образом, чтобы обеспечивался меньший риск изготовителя, приходящийся на каждый признак, и снова повторить процесс обучения и экзамен. Когда же этот путь не дает положительных результатов, необходимо использовать большее число признаков или найти более информативные признаки.

Прогнозирование. Для всех возможных комбинаций входных двоичных сигналов Z_1, Z_2, \dots, Z_k рассчитывают

значения сумм $\sum_{i=1, j=1}^k \left(\prod_{i=1, j=1}^n \alpha_i Z_i \cdot \alpha_j Z_j \right)$. Затем строят логическую таблицу вида табл. 6.19 и, используя выбранное значение критерия разделения P_0 по алгоритму, описываемому соотношением (6.77), указывают, какому классу микросхем соответствует та или иная комбинация входных сигналов.

Прогнозирование новых микросхем, не участвовавших в обучающем эксперименте, выполняют в следующем порядке: измерение значений признаков; преобразование признаков во входные двоичные сигналы согласно выражению (6.72) или (6.73); поиск в табл. 6.19 комбинации, соответствующей контролируемому изделию, и принятие на основе табличных данных решения о классе.

ЛИТЕРАТУРА

1. *Ayling J. K., Moore R. D.* // IEEE Intern. Solid-State Circ. Confer. 1969. P. 36, 37.
2. *Regitz W. M., Karp J.* // IEEE Intern. Solid-State Circ. Confer. 1970. P. 42, 43.
3. *Asai C.* // ТИИЭР. 1986. Т. 74, № 12. С. 28—43.
4. *Малы В.* // ТИИЭР. 1990. Т. 78, № 2. С. 146—184.
5. *Мангир Т. Э.* // ТИИЭР. 1984. Т. 72, № 6. С. 36—56.
6. *Мангир Т. Э.* // ТИИЭР. 1984. Т. 72, № 12. С. 25—33.
7. *Корен И., Прадхан Д. К.* // ТИИЭР. 1986. Т. 74, № 5. С. 93—107.
8. *Вудс М. Х.* // ТИИЭР. 1986. Т. 74, № 12. С. 132—150.
9. *Самофалов К. Г., Корнейчук В. И., Городний А. В.* Структурно-логические методы повышения надежности запоминающих устройств. М., 1976.
10. *Хетагуров Я. А., Рудисв Ю. П.* Повышение надежности цифровых устройств методами избыточного кодирования. М., 1974.
11. *Лосев В. В., Конопелько В. К., Урбанович П. П.* // Заруб. электрон. техника. 1982. № 9. С. 3—33.
12. *Сад Р., Харди К.* // Электроника. 1981. Т. 54, № 15. С. 32—40.
13. *Поса Дж.* // Электроника. 1981. Т. 54, № 15. С. 26—31.
14. *Мур Т. Э.* // ТИИЭР. 1986. Т. 74, № 5. С. 76—93.
15. *Хан О.* // Электроника. 1983. Т. 56, № 8. С. 58—66.
16. *Эббот Р., Кокконен К., Канг Р., Смит Р.* // Электроника. 1981. Т. 54, № 15. С. 41—46.
17. *Эннс В. И.* // Электрон. техника. Сер. 10. Микроэлектрон. устройства. 1984. Вып. 3. С. 30—33.
18. *Верниковский Е. А., Конопелько В. К., Попов Ю. П., Сухопаров А. И.* // Электрон. пром-сть. 1986. Вып. 2. С. 11, 12.
19. *Конопелько В. К., Лосев В. В.* Надежное хранение информации в полупроводниковых запоминающих устройствах. М., 1986.
20. *Демин С. Г., Кружанов Ю. В., Эннс В. И.* // Электрон. пром-сть. 1985. № 9. С. 6, 7.
21. *Лосев В. В., Бородин Г. А., Гарбузов Н. И.* // Заруб. электрон. техника. 1986. № 3. С. 57—86.
22. *Верниковский Е. А., Конопелько В. К., Лазаренко И. П.* // Заруб. электрон. техника. 1985. № 10. С. 3—62.
23. *Stapper C. H., McLaren A., Dreckmann D.* // IBM J. 1980. Vol. RD-24, N 3. P. 396—409.
24. *Стэппер Ч. Х., Армстронг Ф. М., Садзи К.* // ТИИЭР. 1983. Т. 71, № 4. С. 6—26.
25. *Stapper C. H.* // IBM J. 1984. Vol. RD-28, N 5. P. 586—594.
26. *Гаврилов П. И.* // Электрон. пром-сть. 1989. № 3. С. 47, 48.

27. Лазаренко И. П. // Микроэлектроника. 1988. Т. 17, вып. 1. С. 53—58.
28. Sredni J. // Proc. IEEE Electron. Devices. 1975. P. 123—125.
29. Stapper C. H. // IBM J. 1989. Vol. RD-33, N 2. P. 162—173.
30. Борисов В. С. // Микроэлектроника. 1988. Т. 11, вып. 3. С. 109—112.
31. Auache J., Diaz M. // IEEE Trans. on Reliab. 1979. Vol. 28, N 4. P. 310—314.
32. Siewiorek P., Elking S. // FTCS-8. 1978. P. 150—155.
33. Огнев И. В., Сарычев И. Ф. Надежность запоминающих устройств. М., 1988.
34. Горшков В. Н. Надежность оперативных запоминающих устройств ЭВМ. Л., 1987.
35. Софийский Г. В., Смирнов Р. В. // Вопр. радиоэлектроники. Сер. Электрон. вычислит. техника. 1980. № 7. С. 55—56.
36. Fuja T., Heegard C., Goodman R. // IEEE Trans. 1988. Vol. C. 37, N 9. P. 1030—1041.
37. Yamada J., Mano T., Date S. // Trans. IEEE. 1984. Vol. J-67, N 10. P. 777—784.
38. IEEE Intern. Solid-State Circ. Confer. 1987. P. 323, 324.
39. Yamada T., Kotani H., Matsushima J., Inoue M. // IEEE J. 1988. Vol. SC-23, N 1. P. 20—26.
40. Кузнецов А. В., Цыбаков Б. С. // Пробл. передачи информ. 1974. Т. 10, № 2. С. 52—60.
41. Карлсон Р. О., Нойгебауэр К. А. // ТИИЭР. 1986. Т. 74, № 12. С. 162—176.
42. Computers. 1988. Vol. 37, N 1. P. 88.
43. Питги С. Г., Адамс Дж. Д., Кэррол С. Л. // ТИИЭР. 1974. Т. 62, № 2. С. 6—37.
44. ГОСТ 15467—79. Управление качеством продукции. Основные понятия. Термины и определения. М., 1981.
45. ГОСТ 27.002—83. Надежность в технике. Термины и определения. М., 1983.
46. Galia J. // IEEE Trans. 1980. Vol. C-29, N 6. P. 527—531.
47. Siewiorek D., Rennols D. // Computers. 1980. P. 51—53.
48. Горяшко А. П., Шура-Бура А. Э. // Изв. АН СССР. Техн. кибернетика. 1988. № 6. С. 133—142.
49. Wadsack R. L. // Bell Syst. Tech. J. 1978. Vol. 57. P. 1475—1488.
50. Абрахам Дж. А., Фукс У. К. // ТИИЭР. 1986. Т. 74, № 5. С. 22—41.
51. Брагин Н. Н., Варшавский В. И., Лашевский Р. А. // Изв. АН СССР. Техн. кибернетика. 1988. № 5. С. 207—217.
52. Wadsack R. L. // Bell. Syst. Techn. J. 1978. Vol. 57. P. 1449—1473.
53. Пархоменко П. П., Согомонян Е. С. Основы технической диагностики / Под ред. П. П. Пархоменко. М., 1981.
54. Авиженис А., Лапри Ж.-Л. // ТИИЭР. 1986. Т. 74, № 5. С. 8—21.
55. Соменци Ф., Гай С. // ТИИЭР. 1986. Т. 74, № 5. С. 41—57.
56. Като Х., Кавамото Х., Мицусада К. // Электроника. 1980. Т. 53, № 17. С. 26—32.
57. Мэй Т. К., Вудс М. Х. // Экспресс-информация. НКК. 1979. № 27. С. 13—16.

58. Савария И., Румин Н. С., Хейес Дж. Ф., Агарвал В. Н. // ТИИЭР. 1986. Т. 74, № 5. С. 58—75.
59. Кейпис Р. // Электроника. 1979. Т. 52, № 6. С. 65—68.
60. Yaney D. S. // IEEE Trans. 1979. Vol. ED-26, N 1. P. 10—16.
61. Sai-Halasz G. A., Tang D. D. // Int. Electron. Device Meeting. 1983. P. 344—348.
62. Peattie C. // IEEE Spectrum. 1981. Vol. 18, N 10. P. 93—97.
63. Koren I., Breuer M. A. // IEEE Trans. 1984. Vol. C-33, N 1. P. 21—27.
64. Sakalay F. E. // IBM Techn. Deeslosure Bull. 1964. Vol. 6, N 1—2.
65. Смит Р. Г. // Электроника. 1981. Т. 54, № 15. С. 26—31.
66. Маккенни В. Дж. // Электроника. 1980. Т. 53, № 6. С. 42—52.
67. Коул Б. // Электроника. 1984. № 1. С. 63—67.
68. Коул Б. // Электроника. 1987. № 1. С. 67—69.
69. Fitzgerald B. F., Thoma E. R. // IBM J. 1980. Vol. RD-24, N 3. P. 291—298.
70. Hamming R. W. // Bell System Techn. J. 1950. N 23. P. 147—150.
71. Шеннон К. Е. Работы по теории информации и кибернетике. М., 1963.
72. Питерсон У., Уэлдон Э. Коды, исправляющие ошибки / Пер. с англ. под ред. Р. Л. Добрушина, С. И. Самойленко. М., 1976.
73. Касами Т., Токура Н., Ивадари И. и др. Теория кодирования / Пер. с яп. под ред. Б. С. Цыбакова, С. И. Гельфанда. М., 1978.
74. Мак-Вильямс Ф., Слоэн Н. Теория кодов, исправляющих ошибки / Пер. с англ. под ред. Л. А. Бассальго. М., 1979.
75. Семаков Н. В., Зиновьев В. А., Зайцев Г. В. // Второй международный симпозиум по теории информации: Тез. докл. М.; Ереван, 1971. С. 227.
76. Колесник В. Д., Мирончиков Е. Т. Декодирование циклических кодов. М., 1968.
77. Блейхут Р. Теория и практика кодов, корректирующих ошибки. М., 1986.
78. Сагалович Ю. Л. // Автоматика и телемеханика. 1991. № 5. С. 3—45.
79. Селлерс Ф. Методы обнаружения ошибок в работе ЦВМ / Пер. с англ. под ред. В. К. Левина. М., 1972.
80. Давыдов А. А. // Автоматика и телемеханика. 1973. № 1. С. 153—160.
81. Дадаев Ю. Т. Теория арифметических кодов. М., 1981.
82. Борисов В. С., Конопелько В. К., Лосев В. В. // Микроэлектроника. 1978. Т. 7, вып. 4. С. 328—336.
83. Борисов В. С., Лосев В. В., Шахнов В. А. // Микроэлектроника и полупроводниковые приборы / Под ред. А. А. Васенкова, Я. А. Федотова. М., 1979. Вып. 4. С. 4.
84. Хаймлих А. // Электроника. 1980. Т. 53, № 1. С. 79—81.
85. Hsiao M. Y. // IBM J. 1970. Vol. RD-14, N 14. P. 395—401.
86. Bose V. // IEEE Trans. 1986. Vol. C-35, N 4. P. 350—354.
87. Бородин Г. А., Столяров А. К., Иванов В. А. // Радиотехника. 1984. № 10. С. 63—65.
88. Бородин Г. А. // Радиотехника. 1987. № 10. С. 31—34.
89. Конопелько В. К. // Изв. вузов. Радиоэлектроника. 1987. № 12. С. 80. Деп. в ВИНТИ 15.08.86, № 3584-B87.

90. Конопелько В. К. // Изв. вузов. Радиоэлектроника. 1987. № 12. С. 80. Деп. в ВИНТИ 15.08.86, № 3576-B87.
91. Chen C. L., Hsiao M. Y. // IBM J. 1984. Vol. RD-28, N 2. P. 124—134.
92. Bossen D. C. // IBM J. 1970. Vol. RD-14, N 6. P. 402—408.
93. Kaneda S., Fujiwara E. // IEEE Trans. 1982. Vol. C-31, N 7. P. 596—602.
94. Верниковский Е. А., Конопелько В. К., Лосев В. В., Сухопаров А. И. // Заруб. электрон. техника. 1983. № 7. С. 3—32.
95. Борисов В. С., Горемыкин В. В., Никулин В. С. // Электрон. пром-сть. 1983. № 4. С. 21—23.
96. Горемыкин А. А. // Электрон. техника. Сер. 3. Микроэлектроника. 1986. Вып. 2. С. 66—73.
97. Paz O., Lawson T. R. // IEEE J. 1977. Vol. SC-12, N 5. P. 540—546.
98. Hu S. M. // Solid-State Electr. 1979. Vol. 22. P. 205—211.
99. Perloff D. S. // Solid-State Techind. 1981. P. 75—80.
100. Урбанович П. П., Конопелько В. К., Лосев В. В., Сухопаров А. И. // Изв. вузов. Сер. Приборостроение. 1983. Т. 26, № 1. С. 92—95.
101. Верниковский Е. А., Урбанович П. П. // Электрон. техника. Сер. 3. Микроэлектроника. 1989. Вып. 1. С. 61—63.
102. Лосев В. В., Конопелько В. К., Урбанович П. П. // Методы функциональной электроники в реализации радиотехнических устройств. Киев, 1983. С. 84—91.
103. Валиев К. А., Орликовский А. А. Полупроводниковые интегральные схемы памяти на биполярных транзисторных структурах. М., 1979.
104. Герасимович А. И., Матвеева Я. И. Математическая статистика. Мн., 1978.
105. Вентцель Е. С. Теория вероятностей. 4-е изд. М., 1969.
106. Toyoda R. A. // Digest of IEEE ISSCC. 1983. P. 108, 109.
107. Мэрфи Б. Т. // ТИИЭР. 1964. Т. 52, № 12. С. 1668—1677.
108. Bernard J. // IEEE Trans. 1978. Vol. ED-25, N 8. P. 939—944.
109. Stapper C. H. // IEEE Trans. 1973. Vol. ED-20. P. 655—657.
110. Stapper C. H. // IBM J. 1976. Vol. RD-20. P. 228—234.
111. Bernard N. // IEEE J. 1989. Vol. SE-32, N 9. P. 807—809.
112. Урбанович П. П. // Изв. вузов. Сер. Радиоэлектроника. 1986. Т. 29, № 9. С. 92—95.
113. Пуртов А. П., Замрий А. С., Захаров А. И. // Электросвязь. 1967. Т. 2. С. 1—8.
114. Урбанович П. П. // Изв. вузов. Сер. Радиоэлектроника. 1982. Т. 25, № 5. С. 85—87.
115. Дьяконов В. П. Справочник по алгоритмам и программам на языке бейсик для персональных ЭВМ. М., 1989.
116. Смирнов Н. В., Дунин-Барковский И. В. Курс теории вероятностей и математической статистики для технических приложений. М., 1965.
117. Урбанович П. П. // Микроэлектроника. 1990. Т. 19, вып. 6. С. 542—548.
118. Прудников А. П., Брычков Ю. А., Маричев О. И. Интегралы и ряды. М., 1981.
119. Справочник по специальным функциям / Под ред. А. Абрамова, Н. Стиган. М., 1981.

120. *Баглаев Ю. П.* Вычислительная математика и программирование. М., 1990.
121. *Урбанович П. П.* // Электрон. техника. Сер. 10. Микроэлектрон. устройства. 1990. Вып. 3. С. 5—7.
122. *Калошкин Э. П., Сухопаров А. И., Верниковский Е. А., Сержанович Д. С.* // Микропроцессор. средства и системы. 1986. № 6. С. 3—7.
123. *Запоминающее устройство*: А. с. 1112412 СССР: МКИ G 11 С 29/00. Оpubл. 02.06.83. Бюл. № 33.
124. *Запоминающее устройство*: А. с. 1159445 СССР: МКИ G 11 С 29/00. Оpubл. 01.02.85. Бюл. № 5.
125. *Запоминающее устройство*: А. с. 1363306 СССР: МКИ G 11 С 29/00. Оpubл. 10.07.86. Бюл. № 48.
126. *Торр М., Будро Д., Мэрфи Р.* // Электроника. 1984. Т. 57, № 1. С. 93—101.
127. *Запоминающее устройство*: А. с. 1252816 СССР: МКИ G 11 С 29/00. Оpubл. 12.02.85. Бюл. № 31.
128. *Запоминающее устройство с самоконтролем*: А. с. 1322379 СССР: МКИ G 11 С 29/00. Оpubл. 21.02.86. Бюл. № 25.
129. *Динамическое запоминающее устройство с коррекцией ошибок*: А. с. 1325569 СССР: МКИ G 11 С 29/00. Оpubл. 25.11.85. Бюл. № 27.
130. *Запоминающее устройство*: А. с. 1010650 СССР: МКИ G 11 С 29/00. Оpubл. 29.12.81. Бюл. № 13.
131. *Запоминающее устройство с самоконтролем*: А. с. 955209 СССР: МКИ G 11 С 29/00. Оpubл. 04.01.81. Бюл. № 32.
132. *Запоминающее устройство*: А. с. 1107176 СССР: МКИ G 11 С 29/00. Оpubл. 29.04.83. Бюл. № 29.
133. *Abramson N. M.* // IRE Trans. 1959. Vol. 5. P. 150—157.
134. *Запоминающее устройство с коррекцией ошибок*: А. с. 1336122 СССР: МКИ G 11 С 29/00. Оpubл. 11.04.86. Бюл. № 33.
135. *Запоминающее устройство с автономным контролем*: А. с. 1043743 СССР: МКИ G 11 С 29/00. Оpubл. 28.06.82. Бюл. № 35.
136. *Запоминающее устройство*: А. с. 1014042 СССР: МКИ G 11 С 29/00. Оpubл. 22.12.81. Бюл. № 15.
137. *Запоминающее устройство*: А. с. 1195393 СССР: МКИ G 11 С 29/00. Оpubл. 22.06.84. Бюл. № 44.
138. *Запоминающее устройство*: А. с. 1547035 СССР: МКИ G 11 С 29/00. Оpubл. 13.06.88. Бюл. № 8.
139. *Запоминающее устройство с коррекцией информации*: А. с. 1283860 СССР: МКИ G 11 С 29/00. Оpubл. 16.07.85. Бюл. № 2.
140. *ГОСТ 23611—79.* Совместимость радиоэлектронных средств электромагнитная. Термины и определения. М., 1979.
141. *Князев А. Д., Кечиев Л. Н., Петров Б. В.* Конструирование радиоэлектронной и электронно-вычислительной аппаратуры с учетом электромагнитной совместимости. М., 1989.
142. *Кравченко В. И., Болотов Е. А., Летунова Н. И.* Радиоэлектронные средства и мощные электромагнитные помехи / Под ред. В. И. Кравченко. М., 1987.
143. *Рикетс Л. У., Бриджес Дж. Э., Майлетта Дж.* Электромагнитный импульс и методы защиты / Пер. с англ. под ред. Н. А. Ухина. М., 1979.
144. *Образцов Н. С., Ходан И. В., Филатов С. А. и др.* // Теплофизические аспекты надежности микроэлектронных устройств при

внешних воздействиях электромагнитных импульсов: Сб. науч. тр. междунар. школы-семинара «Тепло- и массообмен в технологии и эксплуатации электрон. и микроэлектрон. систем», 18—22 сент. 1989. Мн., 1989. С. 71—75.

145. *Алексеев В. Ф., Ходан И. В., Плохоцки З. и др.* // Проблемы обеспечения надежности функциональных элементов вычислительной техники при внешнем воздействии электромагнитного импульса: Материалы междунар. симпозиума «ИНФО-89», 10—16 окт. 1989. Мн., 1989. Т. 1, ч. 1. С. 334—340.

146. *Алексеев В. Ф., Боровиков С. М.* // Теория и практика конструирования и обеспечения надежности и качества электронной аппаратуры и приборов: Тез. докл. ВНТК, 1—3 февр. 1984. Воронеж, 1984. С. 120.

147. *Боровиков С. М., Алексеев В. Ф.* // Вопросы проектирования и производства радиоэлектронной аппаратуры и электрорадиоизделий: Межвуз. МИРЭА. М., 1986. С. 133—139.

148. *Хлопов Ю. Н., Алексеев В. Ф., Образцов Н. С.* // Пути совершенствования технологических процессов, материалов и оборудования в производстве современных изделий радиоэлектроники: Тез. докл. ВНТК, 29—30 ноября 1983. Мн., 1983. Ч. 1. С. 124, 125.

ОГЛАВЛЕНИЕ

Введение	3	
Глава 1		
ПРОБЛЕМА ТЕХНОЛОГИЧНОСТИ И НАДЕЖНОСТИ ПОЛУПРОВОДНИКОВЫХ ИС ЗУ		8
1.1. Принципы построения и функционирования ЗУ	8	
1.2. Факторы, определяющие технологичность приборов	16	
1.3. Основные показатели надежности СБИС ЗУ	22	
1.4. Особенности конструкций СБИС ЗУ с элементами структурно-логической избыточности	26	
1.4.1. Резервирование элементов памяти накопителя	26	
1.4.2. Особенности реализации методов избыточного кодирования информации	32	
Глава 2		
МОДЕЛИРОВАНИЕ И АНАЛИЗ ХАРАКТЕРИСТИК РАСПРЕДЕЛЕНИЯ ДЕФЕКТОВ И ОТКАЗОВ В КРИСТАЛЛАХ ПАМЯТИ		49
2.1. Статистический анализ неисправностей	49	
2.1.1. Характеристики дефектов	49	
2.1.2. Характеристики отказов	62	
2.2. Аналитические модели расчета и оптимизации ВГ микросхем памяти с избыточностью	69	
2.2.1. Теоретические основы статистических моделей ВГ	69	
2.2.2. Модель распределения группирующихся дефектов в строках накопителя	71	
2.2.3. Модель распределения группирующихся дефектов по кристаллу	76	
2.2.4. Прогнозирующий расчет ВГ ИС при статистически независимых дефектах	82	
2.3. Определение параметров распределения дефектов	89	
2.3.1. Расчет плотности и показателя группирования дефектов	89	
2.3.2. Определение вероятностей появления дефектных элементов	96	

Глава 3

РАСЧЕТ НАДЕЖНОСТИ СБИС ЗУ С ИЗБЫТОЧНОСТЬЮ	98
3.1. Определение интенсивности отказов в кристаллах памяти	98
3.2. Модели надежности ЗУ при пуассоновском потоке отказов	102
3.2.1. Надежность ЗУ при коррекции сбоев в режиме считывания информации	102
3.2.2. Надежность избыточных ИС памяти, в которых информация согласовывается с состоянием отказавших ЭП	111
3.2.3. Оценка надежности ИС памяти при коррекции одиночных и двойных ошибок	118
3.2.4. Снижение интенсивности сбоев в ОЗУ при коррекции ошибок	126
3.3. Модели надежности ЗУ при группирующихся отказах	129

Глава 4

ЗАПОМИНАЮЩИЕ УСТРОЙСТВА С РЕЗЕРВНЫМИ ЭЛЕМЕНТАМИ	136
4.1. Способы подключения резервных ЭП вместо дефектных	136
4.2. Конструкции и схемотехника блоков резервированных ИС ЗУ	139
4.2.1. Структура и функционирование ИС	139
4.2.2. Схемотехника блоков подключения резервных ЭП	157
4.3. Испытания резервированных кристаллов ЗУ	165

Глава 5

ЗАПОМИНАЮЩИЕ УСТРОЙСТВА С КОРРЕКЦИЕЙ ОШИБОК	168
5.1. Интегральные схемы памяти с коррекцией одиночных ошибок	168
5.1.1. Интегральные схемы памяти на основе итеративного кода	168
5.1.2. Интегральные схемы памяти на основе кода Хэмминга	178
5.2. Устройства памяти с коррекцией многократных ошибок	186
5.2.1. Устройства с исправлением двойных (группирующихся) ошибок	186
5.2.2. Запоминающие устройства с коррекцией ошибок и стираний	192
5.3. Испытания СБИС ЗУ с корректирующими кодами	197
	261

Глава 6

ПРОГНОЗИРОВАНИЕ РАБОТОСПОСОБНОСТИ ИМС ПАМЯТИ	200
6.1. Обеспечение электромагнитной совместимости	200
6.2. Феноменологическая модель разогрева полупроводниковых приборов и ИМС импульсами промышленных помех	205
6.3. Прогнозирование работоспособности микросхем памяти	218
6.3.1. Оценка информативности прогнозирующих признаков	218
6.3.2. Эффективность алгоритмов индивидуального прогнозирования	220
6.3.3. Алгоритм прогнозирования работоспособности ИМС с помощью метода оптимальной логической формулы	230
6.3.4. Инженерная методика индивидуального прогнозирования работоспособности микросхем памяти с использованием алгоритма прогнозирования с помощью метода оптимальной логической формулы	245
Литература	254

Научное издание

УРБАНОВИЧ ПАВЕЛ ПАВЛОВИЧ

АЛЕКСЕЕВ ВИКТОР ФЕДОРОВИЧ

ВЕРНИКОВСКИЙ ЕВГЕНИИ АЛЕКСАНДРОВИЧ

**ИЗБЫТОЧНОСТЬ
В ПОЛУПРОВОДНИКОВЫХ
ИНТЕГРАЛЬНЫХ
МИКРОСХЕМАХ
ПАМЯТИ**

Заведующий редакцией *Н. Д. Гесь*
Редактор *В. Д. Макогонюк*
Художник *А. Г. Ковширко*
Художественный редактор *В. А. Жаховец*
Технический редактор *Л. А. Корнеева*
Корректор *А. А. Баранова*

Сдано в набор 27.05.94. Подписано в печать
12.10.94. Формат 84×108¹/₃₂. Бум. тип. № 1.
Гарнитура литературная. Высокая печать.
Усл. печ. л. 13,86. Усл. кр.-отт. 13,86. Уч.-изд.
л. 13,05. Тираж 1000 экз. Зак. № 543.

Издательство «Навука і тэхніка» Академии
наук Беларуси и Министерства культуры и
печати Республики Беларусь. 220141. Минск,
Жодинская, 18. ЛВ № 437. Типография
им. Франциска Скорины издательства «На-
вука і тэхніка». 220141. Минск, Жодин-
ская, 18.

