

**Вопросы к зачёту по учебной дисциплине программирование
сверхбольших интегральных схем (5 семестр)**

зачету, экзамену

полное наименование

1. Первые интегральные схемы
2. Закон Мура
3. Архитектура ПЗУ
4. ППЗУ с плавкими перемычками
5. ППЗУ с непроводящими перемычками
6. ППЗУ ИМС 155РЕЗ
7. Программатор для программирования ЗУ с тугоплавкими перемычками
8. Реализация на ППЗУ логических (переключательных) функций
9. СДНФ для ППЗУ
10. Уменьшение количества адресных разрядов ППЗУ
11. Увеличение количества адресных разрядов ППЗУ
12. Воспроизведение числовых (не логических) функций одного аргумента на ППЗУ
13. Преобразователь на ППЗУ с кусочно-линейной аппроксимацией функций
14. МОП транзистор с индуцированным каналом
15. МНОП транзистор для записи информации
16. РПЗУ-УФ
17. РПЗУ-ЭС
18. Архитектура ячеек памяти в РПЗУ
19. Запись, чтение и стирание данных из РПЗУ
20. Импульсное питание РПЗУ
21. Особенности флэш памяти
22. Матрица запоминающих элементов на основе ИЛИ-НЕ
23. Матрица запоминающих элементов на основе И-НЕ
24. Структура матрицы накопителя флэш памяти (ФП) на основе ячеек ИЛИ-НЕ
25. ФП типа BULK ERASE (одновременное стирание всей информации)
26. ИМС 28F010
27. ФП с несимметричными блоками
28. Внешняя организация типичной ФП с несимметричными блоками
29. Файловая ФП
30. ИМС 28F016SA
31. Память типа STRATA FLASH
32. Сравнительный анализ NOR, NAND и Strata Flash памяти
33. Базовая структура ПЛМ
34. Реализация операции конъюнкции в ПЛМ
35. Реализация операции дизъюнкции в ПЛМ

36. ПЛМ на МОП транзисторах
37. Элемент ИЛИ-НЕ в КМОП технологии
38. Упрощённое изображение схем ПЛМ
39. Воспроизведение скобочных форм переключательных функций
40. Схема расширения ПЛМ по числу выходов
41. Схема расширения 2-х ПЛМ по числу термов
42. Схема расширения ПЛМ с разными синхросигналами по числу входов
43. Базовая структура ПМЛ
44. ПМЛ с программируемым выходным буфером
45. Схемы с двунаправленными выводами
46. ПМЛ с разделяемыми конъюнкторами
47. Описание и работа ПМЛ К1556ХЛ8
48. Описание и работа ПМЛ КР1556ХП4
49. Макроячейка (МЯ) в PAL 22V10
50. Канальные вентиляционные матрицы (ВМ)
51. Бесканальные ВМ
52. Блочные ВМ
53. Архитектура ПЛИС типа ППВМ
54. Мелкозернистые КЛБ (Транзисторные пары)
55. Логические модули на основе мультиплексоров
56. Крупнозернистый блок с триггерной памятью конфигурации.
57. ЛЭ семейства Cyclone (Altera)
58. Воспроизведение функций многих переменных на ППВМ
59. Spartan 3. Особенности архитектуры
60. Spartan 3. Особенности КЛБ
61. Spartan-3. Блочная память
62. Spartan-3. Цифровые блоки управления синхронизацией
63. Spartan-3. Глобальная сеть тактовых линий
64. Подчинённый последовательный режим конфигурирования ППВМ
65. Ведущий последовательный режим конфигурирования ППВМ
66. Подчинённый параллельный режим конфигурирования ППВМ