

Характеристика дисциплины «Проектирование ЭВС на ПЛИС»

Цель преподавания дисциплины. Целью преподавания дисциплины является обучение магистров теоретическим основам и практическим навыкам автоматизированного проектирования электронных вычислительных средств на современной элементной базе ПЛИС типа FPGA (Field-Programmable Gate Arrays) и CPLD (Complex Programmable Logic Devices).

Задачи изучения дисциплины. Магистранты должны усовершенствовать знания в области VHDL (Very high speed integrated circuits Hardware Description Language) - языка исходного описания проектов цифровых электронных вычислительных средств, представленных на алгоритмическом и структурном уровне описания, изучить архитектуры основных семейств ПЛИС типа FPGA и CPLD, методы сквозного проектирования ПЛИС (высокоуровневый и логический синтез, технологическое отображение), методы схемной реализации параллельных алгоритмов логического управления, методики проектирования цифровых систем в САПР XILINX ISE, ModelSim, LeonardoSpectrum.

Перечень дисциплин, усвоение которых необходимо для изучения данной дисциплины.

| № пп | Название дисциплины | Раздел, тема |
|------|---|---|
| 1. | Основы проектирования ЭВС | Основы проектирования цифровых систем на VHDL |
| 2. | Системы автоматизированного проектирования электронных вычислительных средств | Общие сведения о САПР для проектирования ЭВС |
| 3 | Проектирование электронных вычислительных средств с динамически реконфигурируемой архитектурой. | Основной маршрут проектирования в среде САПР Xilinx ISE |

СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

1. Название тем лекционных занятий, их содержание, объем в часах.

| № пп | Название темы | Содержание | Объем в часах |
|---|---|---|---------------|
| 1 | 2 | 3 | 4 |
| Раздел 1. Язык VHDL исходного описания проектов ЭВС | | | |
| 1. | Описание конечных и микропрограммных автоматов на VHDL. | Математическая и поведенческие модель автомата, дискретное время, синхросигналы. | 2 |
| 2. | Параллельные алгоритмы логического управления. | Язык ПРАЛУ описания параллельных алгоритмов, параллельный автомат как сеть взаимодействующих конечных автоматов. | 2 |
| 3. | Описание регулярных структур. | Описание регулярных структур, параметризуемых по одному и двум направлениям. | 2 |
| Раздел 2. Система StateCAD исходного описания проектов ЭВС | | | |
| 4. | Функциональное назначение системы StateCAD. | Назначение системы StateCAD, основные подсистемы и их функции. | 2 |
| 5. | Задание машин с конечным числом состояний. | Состояния и переходы, графическое задание конечных автоматов. | 2 |
| 6. | Моделирование исходного проекта, создание тестов. | Моделирование проекта, автоматическое создание тестирующих VHDL-программ. | 2 |
| 7. | Получение VHDL-описаний проектов. | Автоматическое создание VHDL-программ по графическим представлениям. | 2 |
| Раздел 3. Система ModelSim моделирования проектов ЭВС | | | |
| 8. | Создание проекта. Различные виды моделирования. | Различные способы создания проекта, базовый маршрут моделирования с использованием графического интерфейса. Различные виды моделирования, их цели. Моделирование с анализатором выполнения. | 2 |
| 9. | Моделирование с использованием команд языка Tcl. | Скриптовые команды для моделирования сложных проектов. | 2 |

| | | | |
|--|--|---|----|
| 10. | Моделирование с проверкой ожидаемых реакций. | Верификация комбинационных устройств на основе моделирования на всем пространстве состояний. | 2 |
| Раздел 4. Архитектуры ПЛИС. | | | |
| 11. | FPGA семейства Spartan-II, Spartan-3. | Особенности архитектур микросхем семейств Spartan-II, Spartan-3, структур конфигурируемых логических блоков, блоков ввода-вывода, программируемых соединений. | 2 |
| 12. | FPGA семейства Virtex. | Особенности архитектур микросхем семейства Virtex, структур конфигурируемых логических блоков, блоков ввода-вывода, программируемых соединений. | 2 |
| 13. | CPLD семейства XC9500. | Особенности архитектуры микросхем CPLD семейства XC9500, функциональные блоки, макроячейки, блоки ввода-вывода. | 2 |
| 14. | CPLD семейства CoolRunner-II. | Особенности архитектуры и основные характеристики. | 2 |
| Раздел 5. Системы Xilinx ISE и LeonardoSpectrum синтеза структур ПЛИС | | | |
| 15. | Теоретические основы высокоуровневого и логического синтеза. | Технологически независимая оптимизация. Логическая оптимизация. Технологическое отображение. | 2 |
| 16. | Синтезируемые и не синтезируемые VHDL-конструкции. | Особенности понимания синтезируемых конструкций в Xilinx ISE и LeonardoSpectrum. | 2 |
| 17. | Методики синтеза в LeonardoSpectrum. | Использование графического интерфейса, использование скриптовых команд, синтез в пакетном режиме при проведении экспериментов. | 2 |
| Итого: за семестр | | | 34 |
| Всего за учебный год | | | 34 |

2. Перечень тем практических (семинарских) занятий, их содержание и объем в часах

| № пп | Название темы | Содержание | Объем в часах |
|------|--|--|---------------|
| 1 | 2 | 3 | 4 |
| 1. | Создание VHDL-модели микропрограммного автомата | Переход от граф-схемы автомата к табличному заданию и графу переходов. Представление автомата в виде двух взаимодействующих процессов. | 2 |
| 2. | Создание VHDL-модели матричного умножителя | Вложенный параллельный оператор generate, выделение регулярных частей умножителя. | 2 |
| 3. | Работа и изучение возможностей системы StateCAD | Назначение системы StateCAD, основные подсистемы и их функции, возможность автоматического получения VHDL-кодов. | 2 |
| 4. | Создание модели конечного автомата в StateCAD | Графическое изображение состояний и переходов, задание условий переходов для автомата Мили и автомата Мура. | 2 |
| 5. | Изучение системы ModelSim, моделирование с помощью скриптов языка Tcl. | Задание периодических входных воздействий, выполнение моделирования, документирование результатов | 2 |
| 6. | Моделирование в ModelSim с проверкой ожидаемых реакций | Описание входных воздействий и ожидаемых реакций в виде текстовых файлов, использование средств стандартных пакетов | 2 |
| 7. | Пакет Numeric_std языка VHDL | Назначение пакета, операции преобразования типов, синтезируемость | 2 |
| 8. | Пакет Std_logic_textio языка VHDL | Назначение пакета, типы, процедуры, назначение средств пакета при моделировании | 2 |
| 9. | Работа и изучение возможностей системы LeonardoSpectrum. | Синтезируемые конструкции, графический интерфейс, скриптовые команды, использование собственной библиотеки синтеза. | 2 |

| | | | |
|----------------------|--|---|----|
| 10. | Работа и изучение возможностей системы Xilinx ISE. | Синтезируемые конструкции, графический интерфейс, использование различных синтезаторов, этап имплементации. | 2 |
| Итого: за семестр | | | 20 |
| Всего за учебный год | | | 20 |

3. Реферат

Целью подготовки реферата является проверка полученных знаний в области описания проектов цифровых систем, предназначенных для решения конкретных задач обработки информации либо управления, а также проверка умения самостоятельной работы в системах моделирования и синтеза ПЛИС. В реферате должны быть приведены VHDL-коды, результаты моделирования, протоколы реализации (синтеза) на конкретной микросхеме ПЛИС.

Темы :

Синхронные реализации параллельных алгоритмов логического управления.

Реализация на ПЛИС логико-комбинаторных задач.

Реализация на ПЛИС спецпроцессора для перемножения матриц.

Реализация на ПЛИС спецпроцессора для решения задачи “выполнимость КНФ”.

Другие темы рефератов приводятся в разделе 26 задачника [4.1.11].

4. ЛИТЕРАТУРА

4.1. ОСНОВНАЯ

- 4.1.1. Бибило П.Н. Основы языка VHDL. Второе издание. – М.: Солон-Р, 2002. – 224 с.
- 4.1.2. Бибило П.Н. Синтез логических схем с использованием языка VHDL – М.: Солон-Р, 2002. – 384 с.
- 4.1.3. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. – СПб.: БХВ-Петербург, 2002. – 608 с.
- 4.1.4. Зотов Ю.В. Проектирование цифровых устройств на основе ПЛИС фирмы XILINX в САПР WebPack ISE. – М.: Горячая линия-Телеком, 2003. – 624 с.
- 4.1.5. Кнышев Д.А., Кузелин М.О. ПЛИС фирмы “Xilinx”: описание структуры основных семейств. – М.: Издательский дом “Додэка-XXI”, 2001. – 238 с.
- 4.1.6. Соловьев В.В., Климович А. Логическое проектирование цифровых систем на основе программируемых логических интегральных схем. – М.: Горячая линия – Телеком, 2008. – 376 с.
- 4.1.7. Суворова Е.А., Шейнин Ю.Е. Проектирование цифровых систем на VHDL. – СПб.: БХВ-Петербург, 2003. – 576 с.
- 4.1.8. Уэйкерли Дж. Ф. Проектирование цифровых устройств. Т. 2. – М.: Постмаркет, 2002. – 528 с.
- 4.1.9. Бибило П.Н. Системы проектирования интегральных схем на основе языка VHDL. StateCAD, ModelSim, LeonardoSpectrum. - М.: СОЛОН-Пресс, 2005. – 384 с.
- 4.1.10. Максфилд К. Курс молодого бойца. – М.: Издательский дом «Додэка XXI». 2007. – 408 с.
- 4.1.11. Бибило П.Н. Задачи по проектированию логических схем с использованием языка VHDL. М.: Изд-во ЛКИ, 2010. – 328 с.

4.2. Дополнительная

- 4.2.1. Закревский А.Д. Параллельные алгоритмы логического управления. – Мн.: Ин-т техн. кибернетики НАН Беларуси, 1999. – 202 с.
- 4.2.2. Косткин М.Д., Лохов А.Л. Комплексное проектирование FPGA/ASIC с помощью пакета FPGA Advantage. Часть 2. ModelSim. // Информационные технологии. – 2002. – N 11. – С. 45 – 48.
- 4.2.3. Поляков А.К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры. – М.: СОЛОН-Пресс, 2003. – 320 с.
- 4.2.4. Сергиенко А.М. VHDL для проектирования вычислительных устройств. – К.: ЧП “Корнейчук”, ООО “ТИД “ДС”, 2003. – 208 с.
- 4.2.5. Бибило П.Н. О несинтезируемых конструкциях языка VHDL. // Современная электроника. 2008, N 5. – С. 68 – 71.

5. ПЕРЕЧЕНЬ КОМПЬЮТЕРНЫХ ПРОГРАММ, НАГЛЯДНЫХ И ДРУГИХ ПОСОБИЙ, МЕТОДИЧЕСКИХ УКАЗАНИЙ И МАТЕРИАЛОВ И ТЕХНИЧЕСКИХ СРЕДСТВ ОБУЧЕНИЯ

Включаются только те, использование которых предусмотрено методической концепцией преподавания дисциплины на кафедре.

- 5.1. Система ModelSim моделирования цифровых схем.
- 5.2. Система LeonardoSpectrum синтеза цифровых схем.
- 5.3. Система Xilinx ISE проектирования цифровых систем на ПЛИС.
- 5.4. Подсистема StateCAD система Xilinx ISE.
- 5.5. VHDL – обучающий портал www.bsuir.by/vhdl/